

# Estudio del Efecto de las Impedancias Fuera de Banda sobre la Intermodulación en un Amplificador a FET Utilizando un Modelo Gran Señal

Jon Santiago<sup>(1)</sup>, Joaquín Portilla<sup>(1)</sup>, Tomás Fernández<sup>(2)</sup>

lebsafej@lg.ehu.es, joaquin@we.lc.ehu.es, fernandt@unican.es

<sup>(1)</sup> Dpto. de Electricidad y Electrónica. Universidad del País Vasco. Apdo. de Correos 644, 48080 Bilbao

<sup>(2)</sup> Dpto. de Ingeniería de Comunicaciones. Universidad de Cantabria. ETSIT, Avda. Los Castros, 39005 Santander

**Abstract-** GaAs Field Effect Transistors are widely used for medium- and high-power amplifiers. This kind of amplifiers have great influence in the performance of a communication system, as far as cost, power consumption, and signal degradation of the transmitter are concerned. Thus, accurate nonlinear models of the transistors are needed in order to predict their behaviour. In this paper, a large-signal continuous model is extracted from measurements of a transistor. Then, a simple amplifier based on the device has been designed, and simulations are carried out in order to predict the performance of a power amplifier built with this type of transistor. Finally, effects arising from baseband and 2<sup>nd</sup>-harmonic load impedances are analysed by a load-pull method, and their influence on the IMD behaviour is discussed.

## I. INTRODUCCIÓN

En la gran mayoría de los transmisores de radiocomunicaciones, los amplificadores de potencia (PAs) son utilizados para que la señal, ya codificada y modulada, alcance el nivel de potencia necesario antes de llegar a la antena y ser radiada al interfaz aéreo. Estos amplificadores son los responsables de un gran porcentaje del consumo del transmisor en su totalidad, así que es interesante que sean eficientes en la conversión de potencia consumida a potencia útil. Desgraciadamente, una eficiencia alta suele producir niveles elevados de distorsión no lineal, deteriorando la calidad de la señal y empeorando figuras de mérito como el ACPR o el NPR. Distintas clases de amplificadores [1], e incluso técnicas de linealización [2], han sido propuestas para mejorar este compromiso.

Uno de los objetivos del diseño de amplificadores basados en FETs, además de conseguir un cierto nivel de potencia de salida y eficiencia, es conseguir reducir la IMD y los efectos de memoria que causan asimetrías sobre dicho fenómeno. La magnitud de esta distorsión se ve influenciada por efectos térmicos [3] y por las impedancias eléctricas presentadas en las bandas de envolvente, fundamental y 2<sup>o</sup> armónico para distintas frecuencias de señal moduladora [4]. Se ha demostrado mediante series de Volterra que la naturaleza reactiva de las redes de polarización y adaptación de los amplificadores es la principal causa de las asimetrías y las pendientes en las características de IMD obtenidas a partir de una prueba de dos tonos [5].

De este modo, si disponemos de un buen modelo gran señal del transistor podemos diseñar las redes de polarización

y adaptación de forma más adecuada, consiguiendo reducir el nivel de intermodulación del amplificador resultante, o evitar las asimetrías entre los productos de IMD inferior y superior [6]. Para señales más complejas, esto se traducirá en una disminución de los niveles de ACPR, NPR y EVM, que permitirán emplear el amplificador de forma más eficiente.

Hasta el momento se han dedicado grandes esfuerzos a modelar de forma adecuada las no linealidades de los transistores [7] [8], así como a realizar automáticamente la extracción de los parámetros, tanto lineales como no lineales, para que puedan ser empleados en programas de diseño asistido por ordenador [9].

En el presente trabajo se ha obtenido un modelo gran señal para un transistor de media potencia, y posteriormente se ha utilizado dicho modelo para diseñar un amplificador a 950 MHz con redes de adaptación y polarización simples. A continuación, se han calculado las características no lineales del amplificador mediante balance armónico. Por último, se ha empleado una técnica de load-pull para estudiar la influencia de las impedancias de carga a la frecuencia fundamental, envolvente y segundo armónico sobre la IMD del amplificador.

## II. EXTRACCIÓN Y VALIDACIÓN DEL MODELO

Se ha utilizado un FET de GaAs de media potencia ( $P_{out,1dB} = 32.5$  dBm en clase A) para banda L de la casa Fujitsu, concretamente el modelo FLU17XM. El punto de polarización se ha elegido manteniendo un compromiso entre potencia de salida y eficiencia ( $V_{gs} = -1.2$  V;  $V_{ds} = 4.5$  V,  $I_d = 287$  mA).

El modelo equivalente se presenta en la Fig. 1 [10]. Los elementos no lineales son la fuente de corriente  $I_{ds}$ , el diodo  $D_{gs}$  y las capacidades  $C_{gs}$  y  $C_{gd}$ . Para extraer los elementos del modelo, deben realizarse distintos tipos de medidas.

### A. Medidas DC

Mediante este tipo de medidas se obtienen los valores de las resistencias de acceso  $R_g$ ,  $R_d$  y  $R_s$ , así como las características del diodo  $D_{gs}$  de la Fig. 1, según la ecuación que rige la corriente que pasa por dicho elemento:

$$I_{Dgs} = I_{nss} \cdot (e^{\alpha_s V_{gs}} - 1) \quad (1)$$

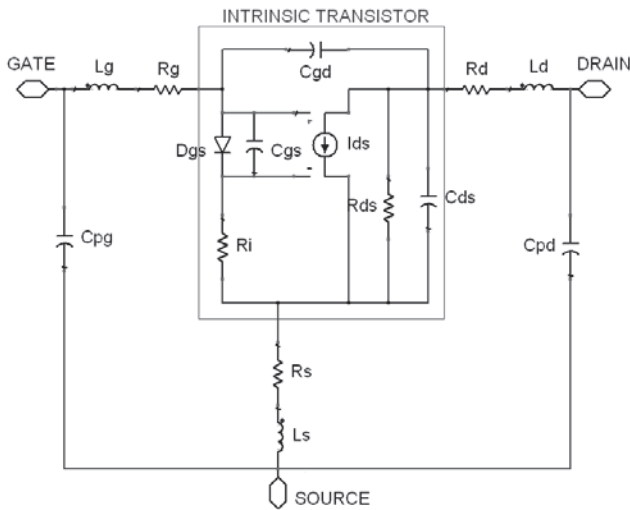


Fig. 1. Modelo equivalente de un FET de GaAs

**B. Medidas de parámetros [S]**

Se han medido, mediante un analizador vectorial de redes, los parámetros [S] del transistor polarizado. Las características del circuito empleado para polarizar y acceder a los terminales del transistor se han descontado de la medida (de-embedding). Posteriormente, y mediante un proceso de optimización lineal, se obtienen los valores de los extrínsecos ( $L_g, L_d, L_s, C_{pg}, C_{pd}$ ) y de los intrínsecos independientes de la polarización ( $C_{ds}, R_i$ ). También se calculan los valores de la aproximación de pequeña señal para la fuente del transistor ( $g_m, \tau, R_{ds}$ ):

$$I_{ds} = g_m \cdot V_{C_{gs}} \cdot e^{-j\omega\tau} \quad (2)$$

En cuanto a  $C_{gs}$  y  $C_{gd}$ , se definen mediante la ecuación de la capacidad de una unión Schottky (ecuación 3). Para extraer los valores  $V_{bi}$  y  $C_0$  de cada elemento se realizan optimizaciones lineales a partir de los parámetros [S] medidos en distintos puntos de polarización, con distintas tensiones  $v$  que controlan la capacidad de la unión.

$$C = \frac{C_0}{\sqrt{1 - \frac{v}{V_{bi}}}} \quad (3)$$

**C. Medidas pulsadas**

Para caracterizar la fuente de corriente  $I_{ds}$  de la Fig. 1 se utiliza un banco de medidas pulsadas [11]. Mediante la medida pulsada se pueden obtener las curvas  $I_d = f(V_{gs}, V_{ds})$  del transistor desde el punto de polarización deseado, discriminando los efectos derivados del calentamiento que se producen en las medidas DC, así como los niveles “trampa”. Las curvas obtenidas son muy distintas a las curvas de continua, permitiéndonos caracterizar de forma más exacta el comportamiento del transistor en régimen de gran señal.

Para modelar el comportamiento de esta fuente de corriente se utilizan como base las ecuaciones propuestas por Materka [7], con un término exponencial añadido que representa la compresión de la transconductancia [12]. Este modelo describe correctamente el comportamiento de la no-linealidad  $I_{ds}$ , incluso en las cercanías de la región de

pinchoff, donde otros modelos fallan. Las ecuaciones de este modelo son las siguientes:

$$I_{ds} = I_{dss} \cdot e^{-(v_{gs,ich} / \mu)} \cdot (v_{git,eff})^{(E+K_E \cdot v_{gi})} \cdot \left(1 + \frac{S_S \cdot v_{di}}{I_{dss}}\right) \cdot \tanh\left(\frac{S_L \cdot V_{di}}{I_{dss} \cdot (1 - K_G \cdot v_{gi})}\right) \quad (4)$$

donde

$$\begin{aligned} v_{git,eff} &= \frac{1}{2 \cdot \eta} \cdot (\chi \cdot v_{git} + v_{git,ich}); \\ v_{git,ich} &= \ln(2 \cdot \cosh(\chi \cdot v_{git})); \\ v_{gij,ich} &= \ln(2 \cdot \cosh(v_{gij})); \\ v_{git} &= v_{gi} - (V_P + \gamma \cdot v_{di}); \\ v_{gij} &= v_{gi} - V_{PF} \end{aligned} \quad (5)$$

Para obtener los parámetros del modelo se realiza una optimización no-lineal a partir de los valores obtenidos con las medidas pulsadas.

**D. Resultados y validación**

En la Fig. 2 puede observarse que existe una buena correspondencia entre las medidas pulsadas y las simulaciones realizadas con el modelo extraído. Por otra parte, en la Fig. 3 se han comparado los parámetros [S] medidos y los simulados con el modelo para la polarización escogida. Además, el modelo se corresponde muy bien con las medidas realizadas sobre el transistor polarizado sin redes de adaptación (ganancia de pequeña señal 13 dB, punto de compresión de 1 dB a la salida 23.5 dBm).

**III. DISEÑO DE UN AMPLIFICADOR CON EL DISPOSITIVO MODELADO**

A continuación se ha procedido a diseñar un amplificador a 950 MHz con el dispositivo modelado. Para conseguir la máxima potencia de salida [13] la impedancia que ve la fuente de corriente del transistor debe aproximarse a:

$$R_{L,opt} = \frac{V_{DS,Q} - V_{knee}}{I_{max} - I_{DS,Q}} \approx 12 \Omega \quad (6)$$

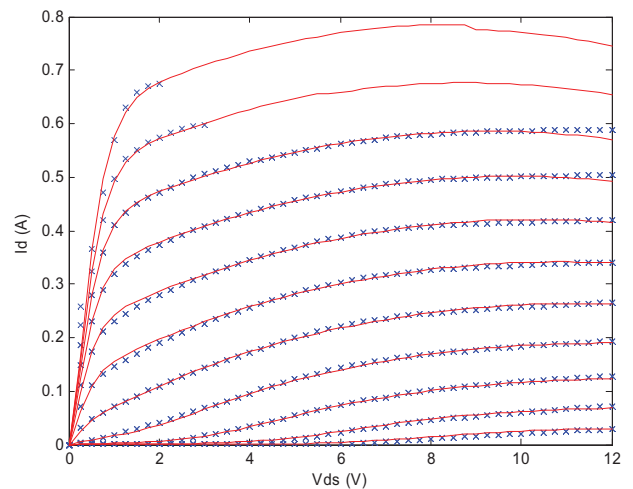


Fig. 2. Curvas I-V medidas (cruces) y simuladas con el modelo (línea continua), para  $V_{gs}$  desde 0 hasta -2.5 V en saltos de 0.25 V

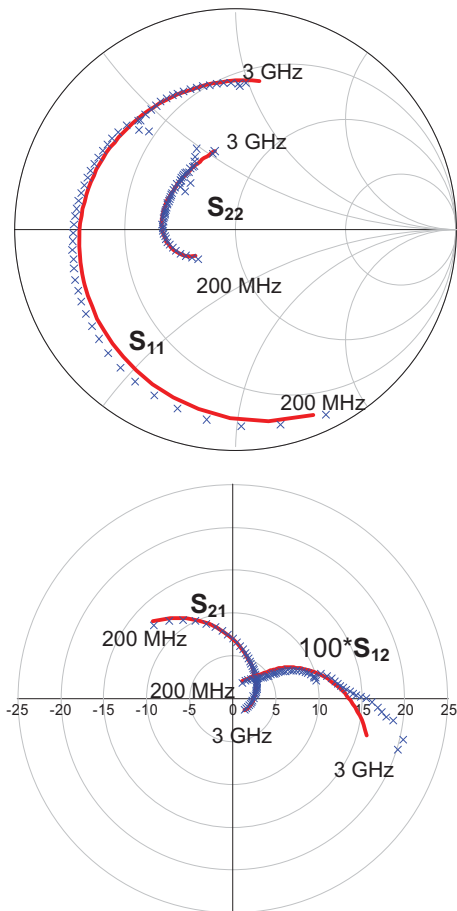


Fig. 3. Comparación entre los parámetros S medidos tras el de-embedding (cruces) y los obtenidos con el modelo (línea continua)

Además, el ciclo de carga debe ser lo más plano posible para que no se almacene energía en el circuito, y ha de cumplirse la condición de máxima ganancia en la entrada (adaptación conjugada).

Se han utilizado los modelos del fabricante para describir el comportamiento de los pasivos con los que se han construido las redes de adaptación. El resultado final es un amplificador con una ganancia en pequeña señal de 14.1 dB, una potencia de salida en el punto de compresión a 1 dB de 28.2 dBm, y una PAE (Power Added Efficiency) del 56% en dicho punto.

En la Fig. 4 se muestra el ciclo de carga simulado para tres potencias de entrada distintas, una de pequeña señal ( $P_{in} = 0$  dBm), otra que origina compresión leve ( $P_{in} = 10$  dBm) y, por último, una potencia cercana al  $P_{1dB}$  ( $P_{in} = 15$  dBm).

IV. INFLUENCIA DE LAS IMPEDANCIAS DE CARGA FUERA DE BANDA EN LA IMD

Como se ha comentado anteriormente, los efectos de memoria que se observan en las medidas de intermodulación, tales como barridos de dos tonos o medidas del ACPR, se deben principalmente a la naturaleza reactiva de las redes de adaptación y polarización. Dichos efectos se manifiestan en el resultado de una prueba de dos tonos como pendientes con la separación entre los tonos y asimetrías que van cambiando según aumenta el nivel de la potencia de entrada.

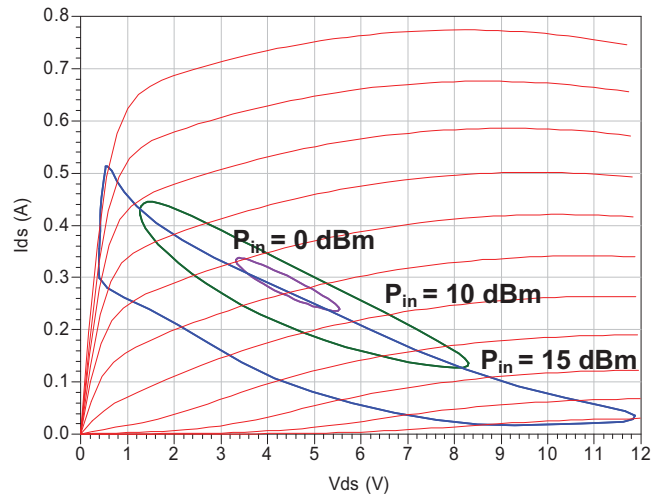


Fig. 4. Trayectoria del ciclo de carga para distintas potencias de entrada

Se ha demostrado que estos efectos dependen, no sólo de las impedancias presentadas a los terminales del transistor en la banda de trabajo, sino también de las impedancias en banda base y a la frecuencia del 2º armónico [5] [6]. Para cuantificar la influencia de estas impedancias y poder escogerlas para mejorar la linealidad y la memoria de un amplificador es necesario disponer de un modelo gran señal fiable como el propuesto en el presente documento.

Para analizar estos fenómenos se han calculado las impedancias presentadas en los terminales de puerta y drenador en el amplificador descrito en el apartado III, para todas las frecuencias consideradas en un análisis de dos tonos mediante balance armónico, con una separación entre los tonos de 10 MHz. Así es posible analizar mediante load-pull [14] el efecto de las impedancias en cada banda.

Desde este punto de partida, si se modifica únicamente la impedancia de carga a la frecuencia fundamental (950 MHz) se obtienen las curvas de IMD constante que se observan en la Fig. 5. En esta figura se puede destacar que la zona de menor IMD es la misma en el caso del lower IMD que en el del upper.

En cambio, si se realiza el load-pull de la impedancia de carga a la frecuencia de envolvente (10 MHz), se obtienen los resultados de la Fig. 6 para potencias bajas. La influencia en la IMD no es tan grande como variando la impedancia a la frecuencia de trabajo, pero es muy significativa. En este caso, ya no coinciden las impedancias que minimizan el lower y el upper IMD, existiendo zonas de la carta de Smith que presentan gran asimetría entre ellos. Por otra parte, si aumentamos la potencia hasta el punto de compresión de 1 dB para dos tonos (Fig. 7), las impedancias que minimizan la IMD son distintas a las que hacen en pequeña señal.

Por último, en la Fig. 8 se muestra el resultado de hacer un load-pull de la impedancia de carga presentada a la frecuencia del 2º armónico (1900 MHz) para una  $P_{in} = 0$  dBm. Se podría destacar la simetría del resultado y lo poco afectado que se ve el upper IMD por esta impedancia.

El mismo estudio se ha realizado para la impedancia presentada a la puerta del transistor, pero los resultados son menos llamativos debido a que la no-linealidad de la fuente de corriente es la dominante en un FET de GaAs [5] [6].

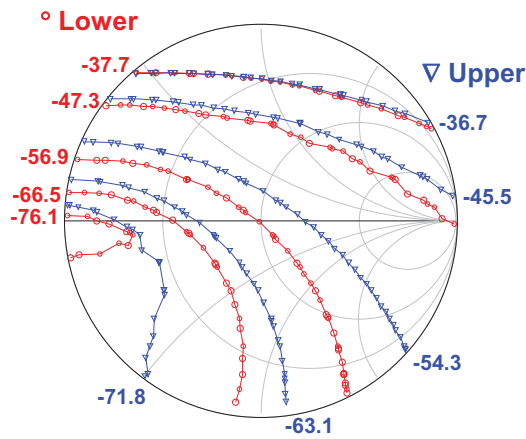


Fig. 5. Curvas de IMD constante (dBc) variando la impedancia de carga a la frecuencia fundamental y para  $P_{in} = 0$  dBm

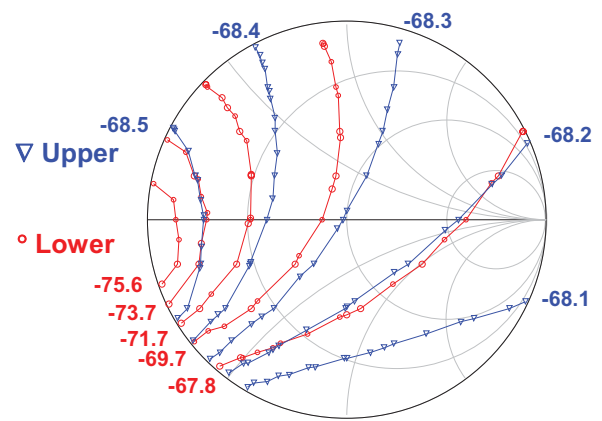


Fig. 8. Curvas de IMD constante (dBc) variando la impedancia de carga al 2º armónico y para  $P_{in} = 0$  dBm

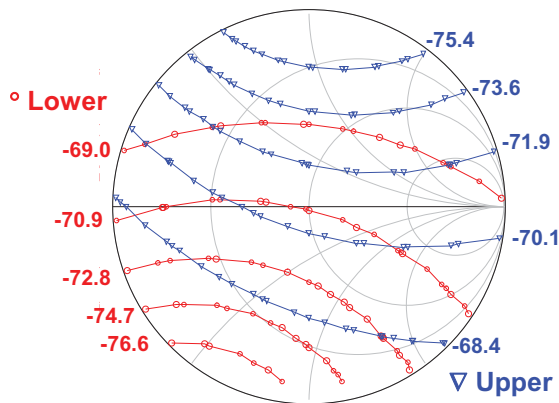


Fig. 6. Curvas de IMD constante (dBc) variando la impedancia de carga a la frecuencia de envolvente y para  $P_{in} = 0$  dBm

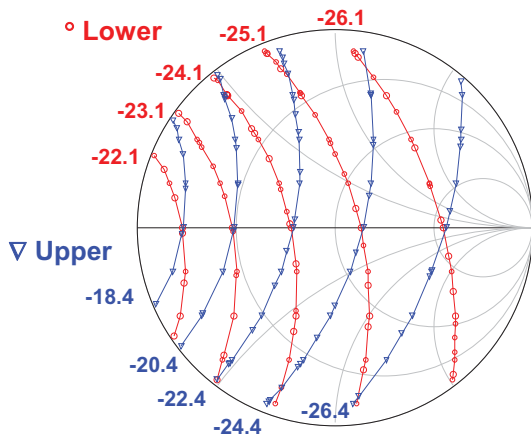


Fig. 7. Curvas de IMD constante (dBc) variando la impedancia de carga a la frecuencia de envolvente y para  $P_{in} = 14$  dBm

### V. CONCLUSIONES

En el presente trabajo se ha planteado la necesidad de un modelo no lineal para poder analizar el efecto de las impedancias de carga sobre la IMD de un transistor. Se ha extraído dicho modelo y se ha diseñado un amplificador con componentes comerciales. Se ha realizado un load-pull de las impedancias de carga del amplificador, tanto en la banda de trabajo, como en las de envolvente y 2º armónico. En el caso de la impedancia de envolvente, se ha comprobado que tiene mucha influencia sobre la IMD, tanto en pequeña señal como en la zona de compresión.

### AGRADECIMIENTOS

Este trabajo ha sido realizado como resultado de una cooperación dentro de la Red de Excelencia TARGET – “Top Amplifier Research Groups in a European Team”, respaldada por el Programa de Tecnologías de la Sociedad de la Información de la UE, bajo el contrato IST-1-507893-NOE, [www.target-net.org](http://www.target-net.org). Los autores de la Universidad del País Vasco agradecen también la financiación proporcionada por el proyecto MCyT con referencia TIC2003-04453.

### REFERENCIAS

- [1] S.C. Cripps, “RF Power Amplifiers for Wireless Communications”, Norwood, MA: Artech House, 1999.
- [2] P.B. Kenington, “High Linearity Amplifier Design”, Norwood, MA: Artech House, 2000.
- [3] A.E. Parker and J.G. Rathmell, “Contribution of Self Heating to Intermodulation in FETs”, IEEE MTT-S International Microwave Symposium Digest, vol. 2, 2004, pp. 803-806.
- [4] J. Vuolevi and T. Rahkonen, “Distortion in RF Power Amplifiers”, Norwood, MA: Artech House, 2003.
- [5] N. Borges de Carvalho and J.C. Pedro, “A Comprehensive Explanation of Distortion Sideband Asymmetries”, IEEE Transactions on Microwave Theory and Techniques, vol. 50, no. 9, 2002, pp. 2090-2101.
- [6] J. Brinkhoff and A.E. Parker, “Effect of Baseband Impedance on FET Intermodulation”, IEEE Transactions on Microwave Theory and Techniques, vol. 51, no. 3, 2003, pp. 1045-1051.
- [7] A. Materka and T. Kacprzak, “Computer Calculation of Large-Signal GaAs FET Amplifier Characteristics”, IEEE Transactions on Microwave Theory and Techniques, vol. 33, no. 2, 1985, pp. 129-135.
- [8] I. Angelov, H. Zirath, and N. Rorsman, “Validation of a Nonlinear Transistor Model by Power Spectrum Characteristics of HEMT’s and MESFET’s”, IEEE Transactions on Microwave Theory and Techniques, vol. 43, no. 5, 1995, pp. 1046-1052.
- [9] J. Portilla, R. Quere and J. Obregon. “An Improved CAD Oriented FET Model for Large-Signal and Noise Applications”, MTT-S International Microwave Symposium Digest, 1994, vol. 2, pp. 849-852.
- [10] J.M. Golio, “Microwave MESFETs and HEMTs”, Norwood, MA: Artech House, 1991.
- [11] T. Fernández, Y. Newport, J.M. Zamanillo, A. Tazón and A. Mediavilla, “Extracting a Bias-Dependent Large Signal MESFET model from Pulsed I/V Measurements”, IEEE Transactions on Microwave Theory and Techniques, vol. 44, no. 3, 1996, pp. 372-378.
- [12] T. Fernández, J.A. García, A. Tazón, A. Mediavilla, J.C. Pedro and J.L. García, “Accurately Modelling the Drain to Source Current in Recessed Gate P-HEMT Devices”, IEEE Electron Device Letters, vol. 20, no. 11, 1999, pp. 557-559.
- [13] G. Gonzalez, “Microwave Transistor Amplifiers, Analysis and Design”, Englewood Cliffs, NJ: Prentice Hall, 1984.
- [14] J.M. Golio, “The RF and Microwave Handbook”, Boca Raton, FL: CRC Press LLC, 2001.