

ESCUELA TÉCNICA SUPERIOR DE  
INGENIEROS INDUSTRIALES Y DE TELECOMUNICACIÓN  
UNIVERSIDAD DE CANTABRIA



**TRABAJO FIN DE MÁSTER**

CONTROL DIGITAL DE  
CONVERTIDORES AC/DC  
BIDIRECCIONALES SIN SENSOR DE  
CORRIENTE DE DOS NIVELES CON  
ALTO FACTOR DE POTENCIA

MÁSTER EN INVESTIGACIÓN EN  
INGENIERÍA INDUSTRIAL

Santander, 2015

Felipe López Vidal

Universidad de Cantabria  
Escuela Técnica Superior de Ingenieros Industriales  
y de Telecomunicación

CONTROL DIGITAL DE  
CONVERTIDORES AC/DC  
BIDIRECCIONALES SIN SENSOR DE  
CORRIENTE DE DOS NIVELES CON  
ALTO FACTOR DE POTENCIA

**REALIZADO POR**  
Felipe López Vidal

**DIRIGIDO POR**  
Francisco J. Azcondo Sánchez

**Dpto. de:** Electrónica de Potencia (TEISA)

**Palabras clave:** PFC, control, digital, sensorless, FPGA, estimación, potencia, convertidor, bidireccional

**Titulación:** Máster de Investigación en Ingeniería Industrial

**Resumen:** En corrección de factor de potencia monofásico es necesario medir tres variables: la tensión de red, la corriente demandada por la carga de la red y la tensión DC en lado de continua del convertidor. Sin embargo, en ciertas topologías es posible evitar la medida de alguna de ellas, reduciendo así el número de variables a medir y el coste asociado al sensado y acondicionamiento de éstas para su posterior tratamiento. Este aspecto es el que se plantea en el trabajo que aquí se presenta. La idea es no realizar la medida de la intensidad de entrada ( $i_g$ ). En su lugar, la corriente de entrada es “reconstruida” digitalmente basándose en la emulación de la etapa de corrección de factor de potencia en un dispositivo FPGA. La topología sobre la que se aplica la propuesta es el convertidor puente completo, operando como rectificador y como inversor.

Santander, 16 de mayo de 2015

# Índice

<b>I</b>	<b>Introducción</b>	<b>1</b>
<b>1</b>	<b>Introducción</b>	<b>3</b>
1.1	Introducción . . . . .	3
1.2	Motivación . . . . .	6
<b>II</b>	<b>Trabajo de Investigación</b>	<b>11</b>
<b>2</b>	<b>Estado del arte</b>	<b>13</b>
2.1	Topología Full-Bridge . . . . .	13
2.2	Control de corriente . . . . .	20
2.3	Sincronización con la tensión de red . . . . .	32
2.4	Control digital de correctores de factor de potencia . . . . .	41
2.5	Lazo de tensión . . . . .	44
2.6	Reconstrucción de corriente . . . . .	50
<b>3</b>	<b>Implementación y Resultados Experimentales</b>	<b>53</b>
3.1	Implementación . . . . .	53
3.2	Resultados Experimentales . . . . .	57
<b>III</b>	<b>Conclusiones, Resumen de Aportaciones, Líneas Futuras de Investigación y Publicaciones Relacionadas</b>	<b>63</b>
<b>4</b>	<b>Conclusiones, Resumen de Contribuciones y Líneas Futuras de Investigación</b>	<b>65</b>
4.1	Conclusiones . . . . .	65
4.2	Resumen de Aportaciones . . . . .	66
4.3	Líneas Futuras de Investigación . . . . .	67
4.4	Publicaciones relacionadas . . . . .	67



# Índice de figuras

1.1	Ejemplo de red compuesta por sistemas de generación tradicionales así como basados en energías renovables . . . . .	4
1.2	Etapas rectificadora basada en puente de diodos . . . . .	4
1.3	Algunas soluciones para mejora del PF . . . . .	5
1.4	Lazos de control involucrados en un PFC . . . . .	6
1.5	Esquema de un PFC tradicional monofásico . . . . .	7
1.6	Topología Bridgeless básica . . . . .	8
1.7	Topología Full-Bridge utilizada en este trabajo . . . . .	9
2.1	Topología seleccionada para realizar el circuito demostrador: Full-Bridge	14
2.2	Modulación PWM . . . . .	14
2.3	Estructura básica de un modulador PWM . . . . .	15
2.4	Formas de onda obtenidas con modulación bipolar . . . . .	16
2.5	Formas de onda obtenidas con modulación unipolar . . . . .	16
2.6	Cruces por cero de la corriente donde es necesario el uso del dead-time	17
2.7	Modulación PWM . . . . .	18
2.8	Secuencia de conmutación en modulación unipolar . . . . .	19
2.9	Gráfica resumen con los distintos algoritmos de control de corriente .	21
2.10	Lazos de corriente y tensión que realizan el control del convertidor en aplicaciones de PFC . . . . .	22
2.11	Control de corriente en eje de referencia síncrono o control $dq$ . . . . .	23
2.12	Formas de onda obtenidas con control por histéresis . . . . .	24
2.13	Algoritmo NLC original con modulación bipolar . . . . .	26
2.14	Formas de onda obtenidas con control NLC y modulación bipolar . . .	27
2.15	Algoritmo NLC original con modulación unipolar . . . . .	28
2.16	Formas de onda obtenidas con control NLC y modulación unipolar . . .	29
2.17	Algoritmo NLC modificado para permitir flujo de potencia bidireccional en el convertidor . . . . .	31
2.18	Filtro paso banda basado en el análisis de Fourier . . . . .	35
2.19	Falsos positivos en detector de cruce por cero . . . . .	36
2.20	Estructura de un PLL . . . . .	37

2.21	Diente de sierra interna al PLL . . . . .	38
2.22	PLL con señales en cuadratura . . . . .	39
2.23	Estructura modificada del PLL original . . . . .	40
2.24	Implementación del PLL basado en un retardo de $T/4$ . . . . .	41
2.25	Modelo de un rectificador ideal . . . . .	44
2.26	Puerto de salida de un rectificador ideal . . . . .	45
2.27	Puerto de salida de un rectificador ideal . . . . .	46
2.28	Modelo de pequeña señal del rectificador PFC modificado . . . . .	47
2.29	Modelo de pequeña señal del rectificador PFC simplificado . . . . .	48
2.30	Diagrama de bloques del lazo de tensión . . . . .	49
2.31	Respuesta en frecuencia de la función de transferencia de la planta ( $G_{CV}$ ), del controlador ( $G_{PI}$ ) y del conjunto controlador/planta/sensor ( $G_{CL}$ ) . . . . .	49
2.32	Modelo equivalente de la bobina . . . . .	50
2.33	Control de corriente NLC modificado utilizando reconstrucción de corriente . . . . .	51
3.1	Esquema de conexionado del prototipo de laboratorio . . . . .	54
3.2	Setup utilizado en el laboratorio . . . . .	56
3.3	Diagrama de bloques del algoritmo de control implementado . . . . .	56
3.4	Modelo PLECS utilizado para la realización de simulaciones . . . . .	58
3.5	Diagrama de bloques del algoritmo de control implementado . . . . .	58
3.6	Simulación del algoritmo de control usando MATLAB/Simulink y PLECS . . . . .	59
3.7	Conexión de las fuentes y la carga al convertidor . . . . .	59
3.8	Convertidor funcionando como rectificador: amarillo (tensión de red $v_g$ , 50V/div), azul (corriente de red $i_g$ , 2A/div), verde (tensión bus DC $V_{DC}$ , 50V/div). Escala de tiempos: a)200ms/div, b) 40ms/div . . . . .	60
3.9	Transitorio de carga $R = 500\Omega$ a sin carga ( $R = \infty$ ): amarillo (tensión de red $v_g$ , 50V/div), azul (corriente de red $i_g$ , 2A/div), verde (tensión bus DC $V_{DC}$ , 50V/div). Escala de tiempos: 200ms/div . . . . .	61
3.10	Convertidor funcionando como inversor: amarillo (tensión de red $v_g$ , 50V/div), azul (corriente de red $i_g$ , 2A/div), verde (tensión bus DC $V_{DC}$ , 50V/div). Escala de tiempos: a)100ms/div, b) 20ms/div . . . . .	61
3.11	Contenido armónico de la corriente demandada de la red por el convertidor comparada con la norma EN 61000-3-2 Clase C. . . . .	62

# Índice de Tablas

2.1	Secuencia de conmutación utilizando modulación unipolar. . . . .	17
3.1	Principales componentes utilizados en la elaboración del prototipo de laboratorio. . . . .	55
3.2	Setup utilizado en el laboratorio. . . . .	57
3.3	Fuentes de alimentación utilizadas en la realización de las pruebas de laboratorio . . . . .	59



# Parte I

## Introducción



# Capítulo 1

## Introducción

### Contenido

---

1.1	Introducción . . . . .	3
1.2	Motivación . . . . .	6

---

### 1.1. Introducción

La transmisión y distribución de energía eléctrica en España se lleva a cabo en AC. Sin embargo, una gran parte de los aparatos eléctricos y electrónicos utilizan una tensión DC para su funcionamiento. Por lo tanto, se necesita de una etapa de conversión AC/DC (rectificadora) para la conexión de dichos equipos a la red de distribución.

Debido a la creciente presencia de sistemas de generación basados en fuentes de energías renovables, tanto AC (eólica principalmente) como DC (solar fotovoltaica principalmente), así como sistemas de almacenamiento en DC (principalmente baterías o condensadores), hacen necesario la utilización de una interfaz que permita conectar dichas aplicaciones DC a la red eléctrica de distribución AC (Fig. 1.1).

La solución tradicional para etapas de rectificación estaba basada en un puente de diodos (Fig. 1.2), seguido de un gran condensador que reducía el rizado de la tensión a la salida del puente. Sin embargo, en este tipo de soluciones, el factor de potencia (PF) es muy bajo. El PF define como de resistiva es la carga desde el punto de vista de la red. Así, una corriente en fase y proporcional a la tensión de red, describe a una carga puramente resistiva y un factor de potencia unidad, que es lo ideal en cualquier aplicación conectada a la red de distribución.

Existen diferentes tipos de soluciones tanto pasivas (filtros pasivos, circuitos *Valley-fill* (Fig. 2.2a), etc), como activas (rectificadores activos (Fig. 2.2b)) que

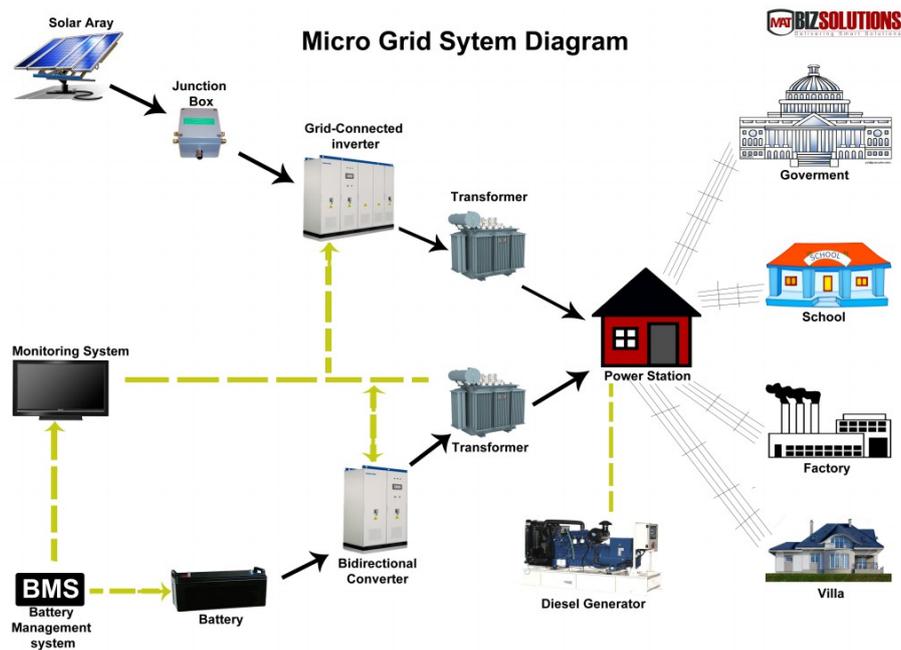


Figura 1.1: Ejemplo de red compuesta por sistemas de generación tradicionales así como basados en energías renovables

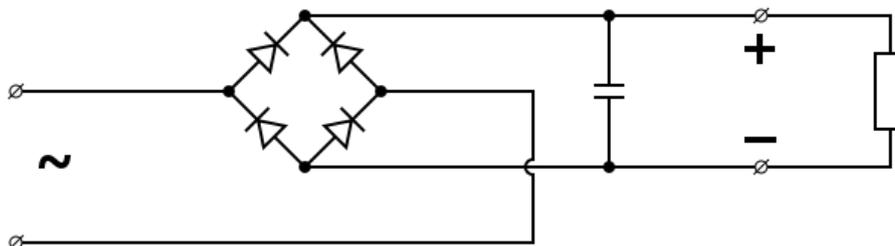


Figura 1.2: Etapa rectificadora basada en puente de diodos

mejoran el factor de potencia y que se tratarán con más detalle a lo largo de este documento.

Así mismo, en este tipo de soluciones, el contenido armónico de la corriente es elevado, lo que tiene efectos perjudiciales para la red eléctrica:

- Mayor valor eficaz para el valor de potencia demandada, limitando los valores de potencia activa a entregar a la carga para un determinada sección de cable.
- Aumento de la corriente por el neutro en sistemas trifásicos, provocando in-

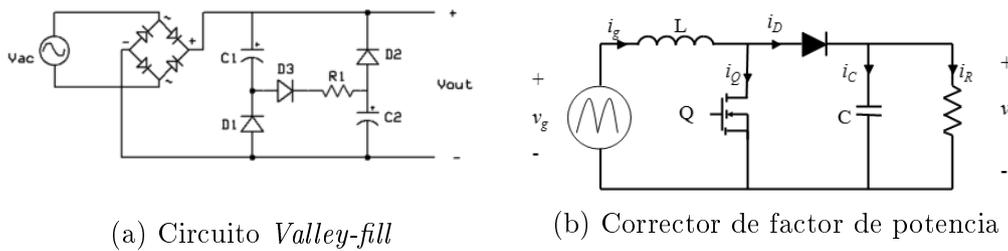


Figura 1.3: Algunas soluciones para mejora del PF

estabilidades y distorsión en la tensión.

Para mantener una calidad en la energía eléctrica y mitigar estos efectos negativos, diferentes normativas internacionales como la EN 61000-3-2, definen los límites admisibles de armónicos de corriente inyectados a la red eléctrica para diferentes tipos de cargas.

La solución alternativa basada en etapas rectificadoras activas, es decir, a continuación del puente de diodos se introduce un convertidor DC/DC conmutado, mejora sustancialmente también la distorsión armónica de la corriente demandada de la red.

Entre los tipos de convertidores conmutados trabajando como PFC (*Power Factor Corrector*), el convertidor elevador (*boost*) y el reductor-elevador (*buck-boost*) son los más ampliamente utilizados. En general, el convertidor elevador trabajando como PFC tiene mayor factor de utilización de sus dispositivos (se puede dar la expresión para el factor de utilización), que el reductor-elevador, haciendo que éste sea el tipo de convertidor más usado.

Aunque para esta aplicación, el control analógico ha sido aplicado satisfactoriamente para modular la intensidad de entrada, con la rápida evolución de la electrónica y dispositivos digitales, el control digital está siendo cada día más atractivo para estas aplicaciones. Algunos de los factores que han ayudado a esta evolución son:

- Reproducibilidad de resultados
- Facilidad de diseño
- Flexibilidad y funcionalidad
- Programabilidad
- Velocidad
- Coste

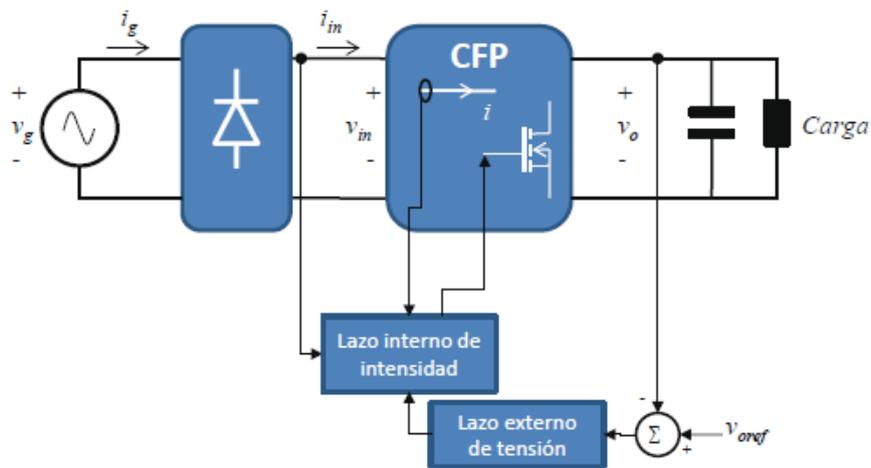


Figura 1.4: Lazos de control involucrados en un PFC

En el caso de rectificadores (convertidores AC/DC) suele haber un doble lazo de control para controlar la tensión de salida y la corriente de entrada y conseguir así la corrección del factor de potencia, tal y como se muestra en la Fig. 1.4.

Para resolver este doble lazo hay circuitos integrados comerciales como el *UC3854* o el *L6560*, que son unos de los más utilizados para corrección de factor de potencia, o en el caso del control utilizado en el presente trabajo (Nonlinear-carrier control), un dispositivo analógico para éste control es el IR1150, que implementan este doble lazo. Por tanto, las aportaciones del control digital en este caso no consisten en poder resolver este problema, sino en mejorar las funciones de los controles analógicos ya existentes gracias a las posibilidades que el control digital aporta; tanto para el lazo de tensión como para el lazo de corriente; o prescindir de la medida de algunas de las variables (tensión o corriente de entrada) para la obtención del control del PFC.

## 1.2. Motivación

La conversión activa AC/DC sigue recibiendo interés como tema de investigación en electrónica de potencia debido a que un gran número de dispositivos hacen uso de él como interfaz de conexión a la red de distribución AC (TV, ordenadores portátiles y de sobremesa, cargadores de baterías, teléfonos móviles, etc). La solución más antigua basado en puente de diodos da lugar a una gran cantidad de armónicos además de un PF bastante pobre. Como es bien sabido, la suma de ambos factores dan lugar a [1, 2]:

- Distorsión de la tensión de línea

- Aumento de las pérdidas en la misma
- Aumento de la potencia activa lo que se traduce en una reducción de la potencia activa máxima transportable por la línea
- Envejecimiento prematuro en transformadores y cables de transmisión/distribución

Debido a la problemática asociada y a la existencia de normativa que regula dichas variables como la IEC 61000-3-2, hacen obligatorio el uso de correctores de PF activos [3]. Muchas topologías serían adecuadas para dicha tarea [4]. A pesar de ello, la topología más usada es la basada en puente de diodos más convertidor DC/DC elevador (*boost*) (Fig. 1.5). Es dicha topología el punto de partida de este trabajo [5], y su alto índice de utilización se debe a su simplicidad, robustez y coste.

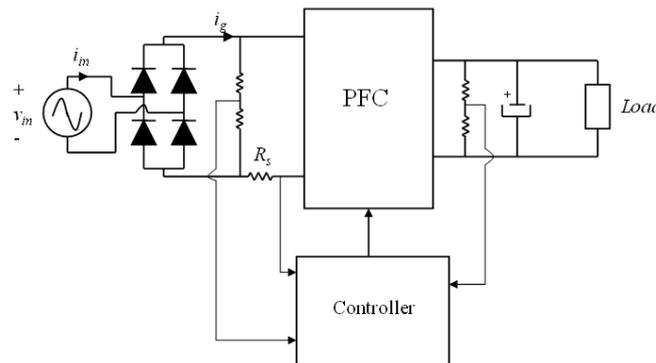


Figura 1.5: Esquema de un PFC tradicional monofásico

Sin embargo, al ser una topología que consta de dos etapas, la eficiencia de la misma se ve penalizada, tendiendo a usarse cada vez más topologías de una única etapa, como podría ser la topología *bridgeless* [6, 7], cuya esquema se muestra en la Fig. 1.6. La contrapartida de estas topologías sin puente de entrada es su mayor complejidad. Uno de los beneficios del puente de diodos de entrada es que proporcionaba una señal rectificada de tal forma que no era necesario un sistema de detección de fase de la tensión de entrada, algo que sí pasa tanto en la topología *Bridgeless* como en la *Full-Bridge*. Es por ello que se utilizará un algoritmo interno al sistema de control que mantiene información instantánea acerca de la fase de la tensión de red.

El creciente interés por la generación distribuida trae de la mano la necesidad de almacenar energía en alguna de sus formas ya que, como es sabido, las energías renovables tienen como principal desventaja su impredecibilidad y variabilidad. Por

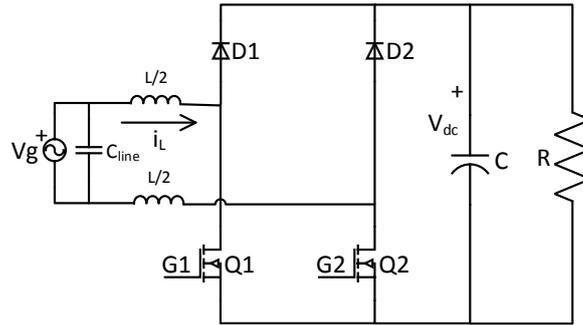


Figura 1.6: Topología Bridgeless básica

otro lado, además, las cargas conectadas a la red son también variables e impredecibles. Es por ello que, para dar mayor estabilidad a la red, se combinan las energías renovables con la presencia de almacenamiento de energía [8, 9, 10, 11, 12]. Actualmente, la forma más utilizada y desarrollada de almacenamiento de energía está basada en baterías aunque existen muchas otras tecnologías en desarrollo y también prometedoras [13, 14]. El esquema es similar al ya mostrado en la Fig. 1.1.

Además, otra de las características de las topologías bidireccionales es que no existe DCM (*Discontinuous Conduction Mode*). DCM se da en topologías unidireccionales como la *bridgeless* o la *Diode Bridge + DC/DC elevador* en los puntos donde el rizado de la corriente es mayor que el valor medio de la misma [15]. Este efecto (DCM) da lugar a distorsión de la corriente de entrada si no es corregido [16].

Por lo tanto, teniendo en cuenta lo anterior, se hace visible la necesidad de una interfaz AC/DC bidireccional que permita la conexión a red de las baterías de almacenamiento [17] y que además evita el modo DCM. Para realizar la prueba de concepto se selecciona la topología Full-Bridge monofásica mostrada en la Fig. 1.7.

Uno de las dificultades que presenta dicha topología es la del sensado de la corriente y de la tensión de línea debido a que dichas variables no comparten referencia con la medida de la tensión del bus DC, al contrario de lo que pasa en la topología de la Fig. 2.2b. En el caso concreto de la corriente de línea, este problema es incluso mayor debido a que [18, 19, 20]:

- La solución es muy cara (sensor de *efecto Hall*)
- La solución es invasiva y da lugar a pérdidas y calor en el circuito de potencia (resistencia de sensado)

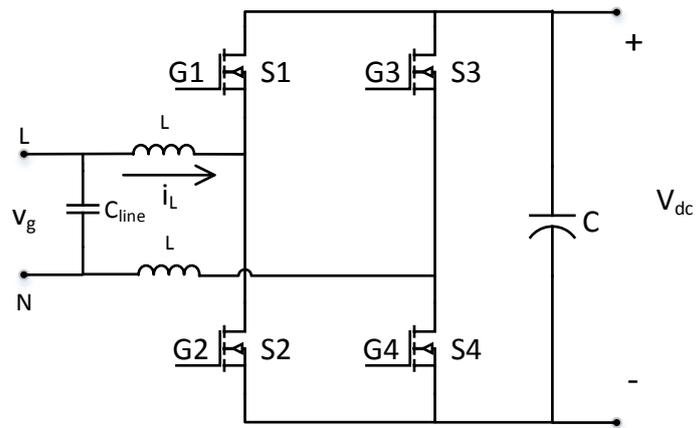


Figura 1.7: Topología Full-Bridge utilizada en este trabajo

- La solución necesita un circuito de medida complicado (transformador de corriente)

Es por este motivo que se plantean diversas soluciones que evitan el uso del sensor de corriente de entrada. Dichas soluciones están basadas en diferentes conceptos, como se detalla en el capítulo 2.4.



Parte II

Trabajo de Investigación



# Capítulo 2

## Estado del arte

### Contenido

---

<b>2.1</b>	<b>Topología Full-Bridge . . . . .</b>	<b>13</b>
<b>2.2</b>	<b>Control de corriente . . . . .</b>	<b>20</b>
<b>2.3</b>	<b>Sincronización con la tensión de red . . . . .</b>	<b>32</b>
<b>2.4</b>	<b>Control digital de correctores de factor de potencia . . .</b>	<b>41</b>
<b>2.5</b>	<b>Lazo de tensión . . . . .</b>	<b>44</b>
<b>2.6</b>	<b>Reconstrucción de corriente . . . . .</b>	<b>50</b>

---

### 2.1. Topología Full-Bridge

En apartados anteriores se ha ido justificando el uso de la topología Full-Bridge (Fig. 2.1). Se han presentado sus principales ventajas frente al resto de topologías expuestas así como sus inconvenientes.

Para explicar el funcionamiento de una topología concreta es necesario saber también la secuencia en que los dispositivos de potencia conmutan. En convertidores de potencia, con el fin de obtener la mejor forma de onda de tensión e intensidad (con menos armónicos) y reducir el tamaño de los filtros de línea necesarios, se utiliza una técnica de modulación llamada *Pulse Width Modulation* (PWM) o modulación por ancho de pulso [36].

La estructura funcional básica de esta estrategia de modulación se representa en la Fig. 2.2. La señal moduladora  $m(t)$ , la señal objetivo, se compara con una señal portadora  $c(t)$  de mayor frecuencia. El resultado de la comparación da lugar a un tren de pulsos cuyo periodo corresponde al periodo de la señal moduladora ( $T_m$ ) y que dará lugar a una frecuencia de conmutación constante, determinada por el periodo de la señal portadora ( $T_c$ ).

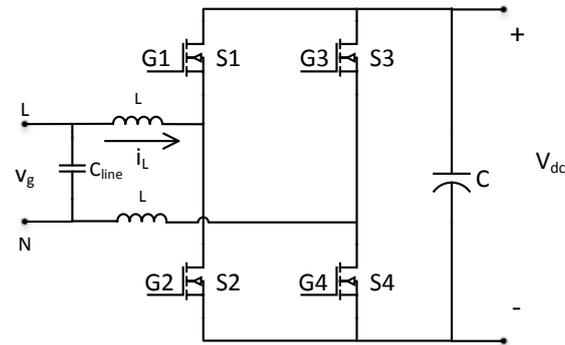
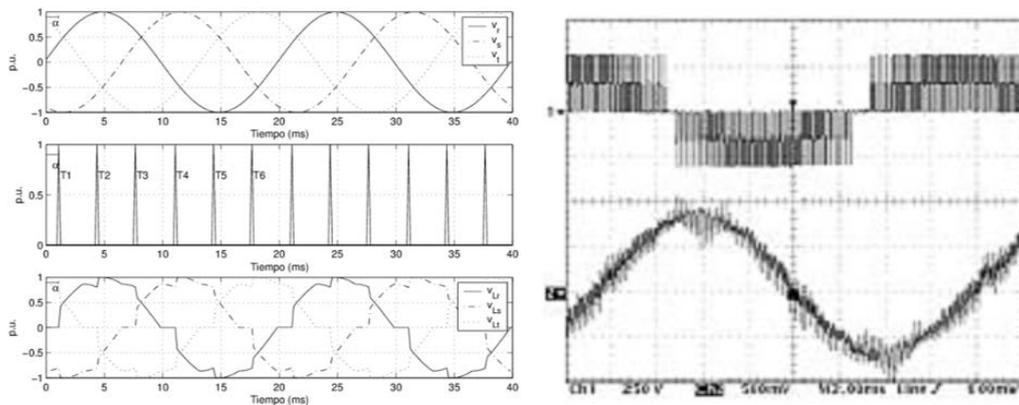


Figura 2.1: Topología seleccionada para realizar el circuito demostrador: Full-Bridge



(a) Formas de onda obtenidas cuando se conmuta a frecuencia de red  
 (b) Formas de onda obtenidas cuando se utiliza modulación PWM

Figura 2.2: Modulación PWM

Existen diferentes técnicas de modulación PWM [37]. En general, las técnicas de modulación por anchura de pulso con frecuencia de conmutación constante pueden agruparse en la siguiente clasificación:

- Modulación con señal portadora
- Modulación por cálculo
- Control por histéresis
- Modulación vectorial
- Modulación aleatoria

Sin embargo, en este documento solo se analizará con cierto detalle la **modulación con señal portadora**. Para mayor información acerca de las distintas técnicas de modulación se puede consultar la referencia [36]. La estructura funcional básica de este tipo de modulación se muestra en la Fig. 2.3. La señal moduladora  $m(t)$  se compara con la señal portadora  $c(t)$  de mayor frecuencia. El resultado de la comparación da lugar a un tren de pulsos cuyo periodo corresponde al periodo de la señal moduladora ( $T_c$ ).

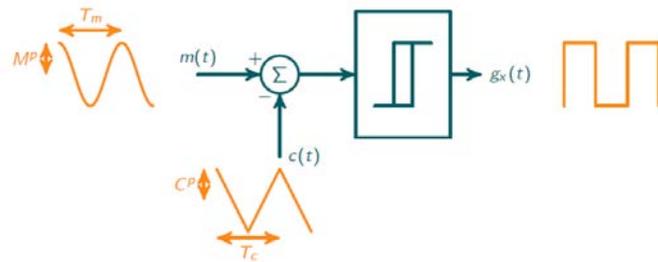


Figura 2.3: Estructura básica de un modulador PWM

Dentro de la modulación con portadora, se pueden distinguir, a su vez, dos casos:

- Modulación bipolar o de dos niveles
- Modulación unipolar o de tres niveles

La técnica de modulación bipolar o de dos niveles de salida es la más sencilla de implementar ya que solo emplea un modulador para la obtención de G1. El resto de señales de puerta verifican:

- $G_2 = G_3 = \overline{G_1}$
- $G_4 = G_1$

La tensión de salida del convertidor entre los puntos  $a$  y  $b$  toma valores  $V_{dc}$  o  $-V_{dc}$  y, en el dominio frecuencia, la primera de las bandas armónicas de la señal de salida está centrada sobre  $f_c$ , como se puede ver en la Fig. 2.4.

La modulación unipolar o de tres niveles se basa en la operación independiente, pero complementaria, de ambas ramas: la señal portadora de la primera rama es aplicada a la segunda añadiendo un desfase de  $\pi$  radianes. Este desfase hace que los armónicos que aparecen en la tensión del punto medio de cada rama, respecto al punto medio del bus DC, se encuentren en contrafase para los armónicos pares de la portadora y que, al componer la tensión entre puntos medios de las dos ramas, éstos se cancelen. En consecuencia, aunque las pérdidas por conmutación del convertidor

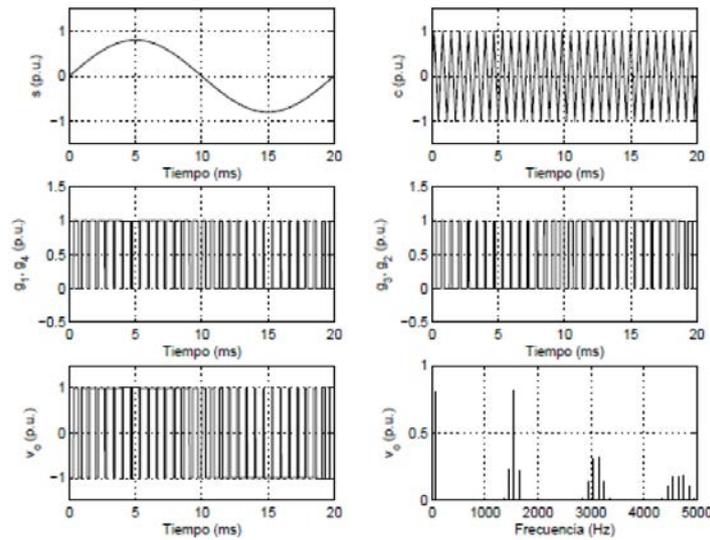


Figura 2.4: Formas de onda obtenidas con modulación bipolar

son iguales al caso en dos niveles, la frecuencia efectiva de conmutación es el doble que en el caso de la modulación bipolar por lo que el diseño del filtro de corriente de red, al tratarse de una bobina, se reduce su tamaño y, por lo tanto su coste y peso. La Fig. 2.5 muestra las formas de onda aplicadas y obtenidas mediante el modulador continuo en tres niveles (modulación unipolar).

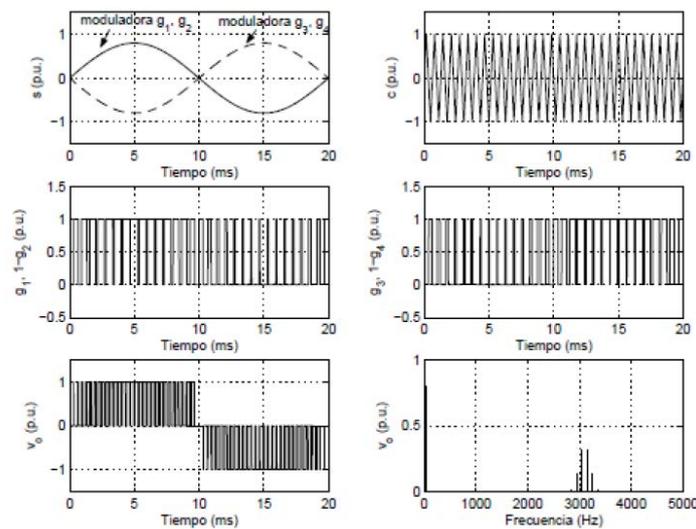


Figura 2.5: Formas de onda obtenidas con modulación unipolar

Además de la reducción del contenido armónico, la modulación unipolar evita el

uso de tiempos muertos, a excepción de el cruce por cero de la corriente de línea [38, 39, 40] (hecho que coincide con el cruce por cero de la tensión de línea en PFCs). En la Fig. 2.6 se indica en qué zonas es necesario el uso de tiempos muertos y en qué zonas se puede evitar su uso.

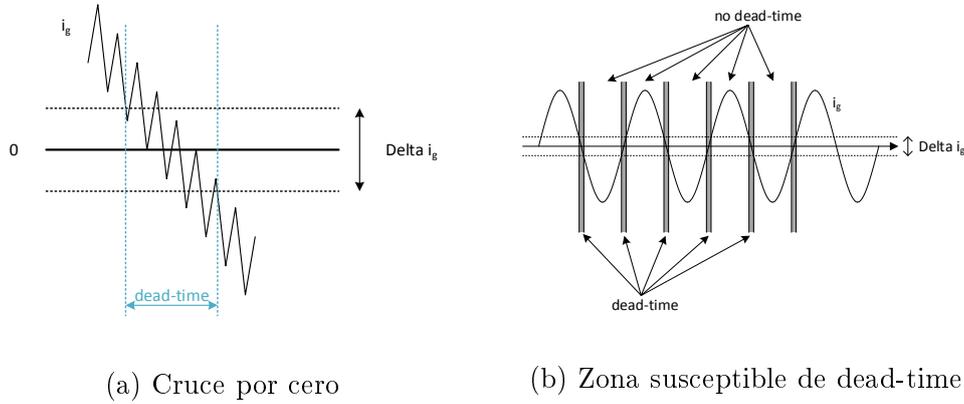


Figura 2.6: Cruces por cero de la corriente donde es necesario el uso del dead-time

La secuencia de conmutación en el convertidor es la que se muestra en la Tabla 2.1. Para clarificar dicha secuencia, esta se expone gráficamente en la Fig. 2.7.

$v_g > 0$	G1,G3=ON	$v_{ab} = 0$	$v_L = v_g$
	G1,G4=ON	$v_{ab} = V_{DC}$	$v_L = v_g - V_{DC}$
	G2,G4=ON	$v_{ab} = 0$	$v_L = v_g$
	G1,G4=ON	$v_{ab} = V_{DC}$	$v_L = v_g - V_{DC}$
	G1,G3=ON	$v_{ab} = 0$	$v_L = v_g$
	...	...	...
$v_g < 0$	G1,G3=ON	$v_{ab} = 0$	$v_L = v_g$
	G2,G3=ON	$v_{ab} = -V_{DC}$	$v_L = v_g + V_{DC}$
	G2,G4=ON	$v_{ab} = 0$	$v_L = v_g$
	G2,G3=ON	$v_{ab} = -V_{DC}$	$v_L = v_g + V_{DC}$
	G1,G3=ON	$v_{ab} = 0$	$v_L = v_g$
	...	...	...

Tabla 2.1: Secuencia de conmutación utilizando modulación unipolar.

Partiendo de las formas de onda de la Fig. 2.8, en lugar de utilizar el modo tradicional, es decir, el periodo de conmutación completo  $T_{sw}$  para definir el ciclo de trabajo, en este caso se utiliza el semiperiodo,  $T_{sw}/2$ . Esto se debe a que, al utilizar modulación unipolar, cada ciclo de trabajo está dividido en 4 partes, siendo

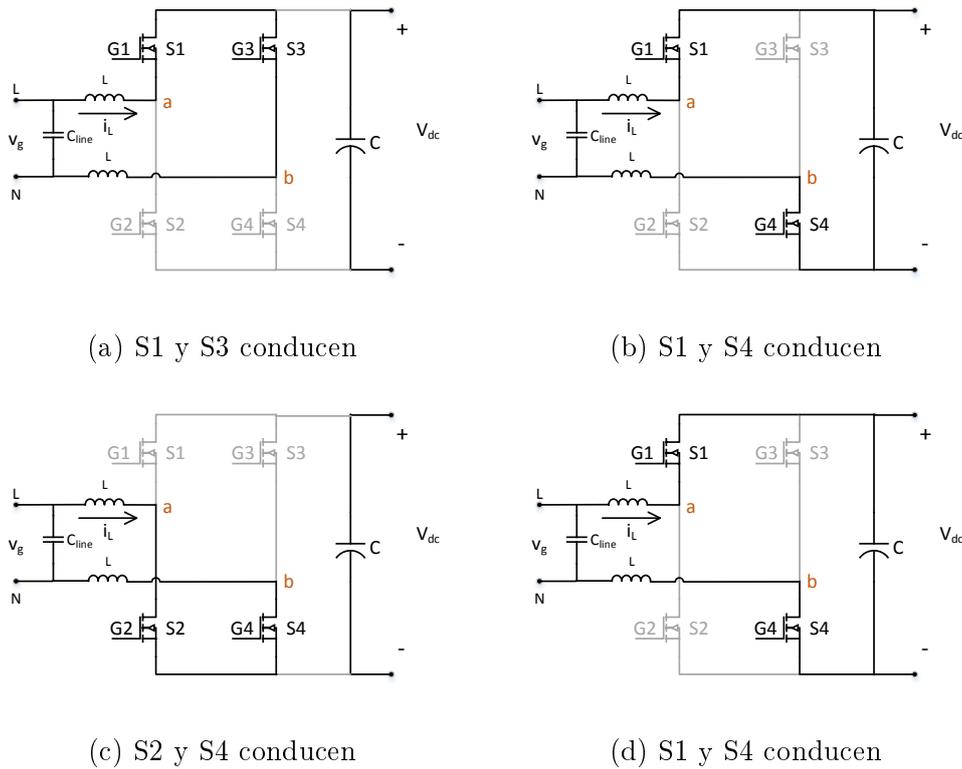


Figura 2.7: Modulación PWM

las dos primeras partes y las dos segundas, idénticas (en régimen estacionario) como se puede ver tanto en la Tabla 2.1 como en la Fig. 2.7. Siendo así, se utilizará la Fig. 2.8 como referencia.

Durante el tiempo de ON  $-d-$ , es decir, G2 y G4 cerrados (Fig. 2.7c), tenemos las siguientes ecuaciones:

$$v_L = v_g \quad (2.1)$$

$$i_C = -i_{DC} \quad (2.2)$$

Durante el tiempo de OFF  $-(1-d)-$ , es decir, G1 y G4 cerrados (Fig. 2.7b), tenemos las siguientes ecuaciones:

$$v_L = v_g - V_{DC} \quad (2.3)$$

$$i_C = i_L - i_{DC} \quad (2.4)$$

Promediando la ecuación de la tensión en la bobina teniendo en cuenta el semi-periodo de conmutación  $0,5T_{sw}$  y, aproximando a la situación de conversión DC/DC

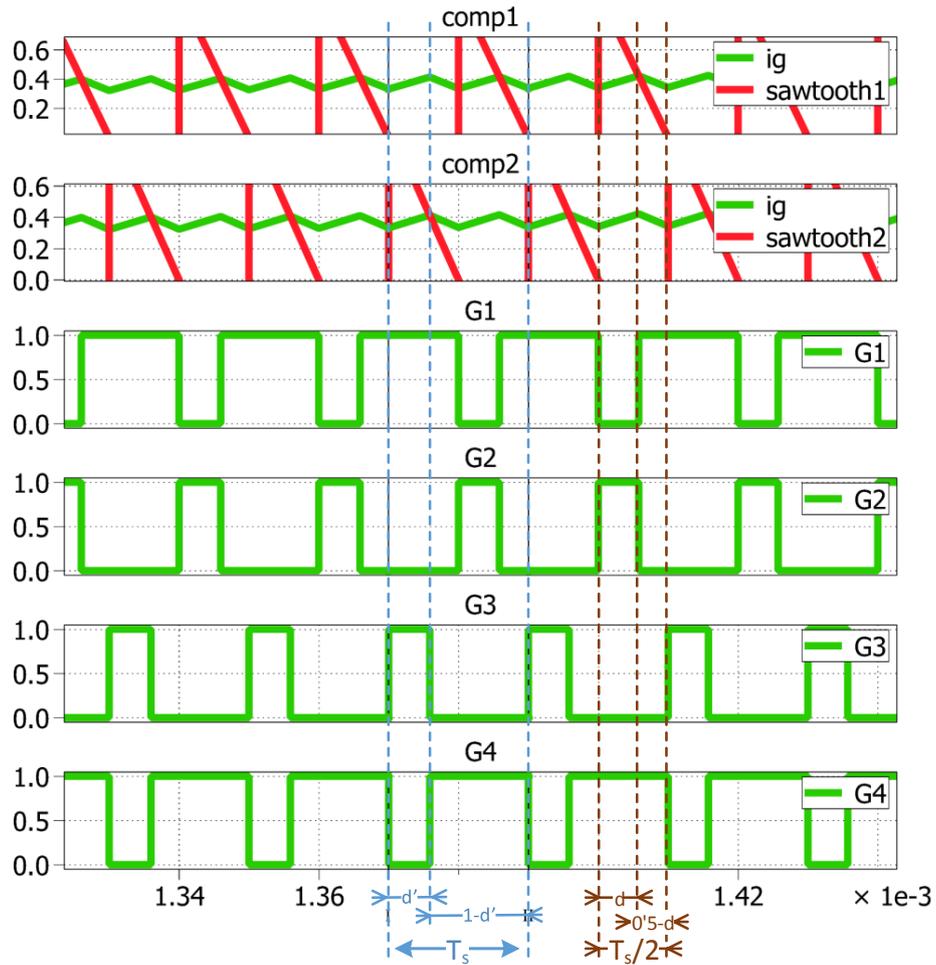


Figura 2.8: Secuencia de conmutación en modulación unipolar

en régimen permanente se cumple que tanto  $v_L$  como  $i_C$  deben ser 0, nos queda:

$$\begin{aligned} \langle v_L \rangle_{0,5T_{sw}} &= v_g d + (v_g - V_{DC})(0,5 - d) = \\ &= 0,5v_g - V_{DC}(0,5 - d) \end{aligned} \quad (2.5)$$

$$0 = v_g - V_{DC}(1 - 2d) \Rightarrow \boxed{\frac{V_{DC}}{v_g} = \frac{1}{1 - 2d}} \quad (2.6)$$

De igual forma, promediando la corriente en el condensador para  $0,5T_{sw}$  queda:

$$\begin{aligned} \langle i_c \rangle_{0,5T_{sw}} &= (-i_{DC})d + (i_L - i_{DC})(0,5 - d) = \\ &= -0,5i_{DC} + i_L(0,5 - d) \end{aligned} \quad (2.7)$$

$$0 = -i_{DC} + i_L(1 - 2d) \Rightarrow \boxed{\frac{i_{DC}}{i_g} = 1 - 2d} \quad (2.8)$$

## 2.2. Control de corriente

En general, se pide que cualquier carga conectada a la red tenga un caracter resistivo. De ser así, si la forma de onda de la tensión es sinusoidal pura, es decir, según (2.9), la corriente de red también lo será. Para que la corriente de entrada tenga una determinada forma de onda, es necesario añadir un lazo de control de corriente.

$$v_g(t) = \sqrt{2}V_g \sin(\omega t) \quad (2.9)$$

Si bien hay otros tipos de modulación como la modulación *Sigma-Delta* (ó  $\Sigma-\Delta$ ) [41] o la modulación *aleatoria* [42], una gran parte de los controles de corriente para convertidores de potencia están basados en modulación PWM [36]. Dentro de dicho tipo de control, se puede distinguir a su vez dos tipos [43]. Por un lado están los controladores que mantienen una frecuencia de conmutación constante (la mayoría) frente a otro tipo que tienen una frecuencia de conmutación variable [44]. Este último tipo de control fue ampliamente utilizado en el pasado pero lo es cada vez menos en el presente. Cabe destacar principalmente tres algoritmos:

- Control lineal o por rampa [45, 46, 47]
- Control por histéresis [48, 49]
- Control predictivo [50, 51, 52]

El otro grupo de controladores es el que está basado en una modulación PWM con frecuencia de conmutación constante. Es el tipo de control más habitual en la actualidad y, a su vez, dividido en dos subgrupos. Por un lado tenemos el control no lineal mientras que por otro, el control lineal. Dentro del control no lineal, los algoritmos más destacados son los siguientes [53]:

- *Linear Peak Current Mode Control* ó LPCM [54]
- *Nonlinear Carrier Control* ó NLC [55]
- *One Cycle Control* ó OCC [56]
- *Predictive Switching Modulator* ó PSM [57]

Finalmente, el último grupo de controladores de corriente está formado por los controladores lineales [43, 58, 59, 60]:

- *Proportional-Integral* o PI control
- *Proportional-Resonant* o PR control
- *Predictive deadbeat*

En la Fig. 2.9 se puede ver de forma resumida los distintos algoritmos de control posibles para aplicaciones de corrección de factor de potencia.

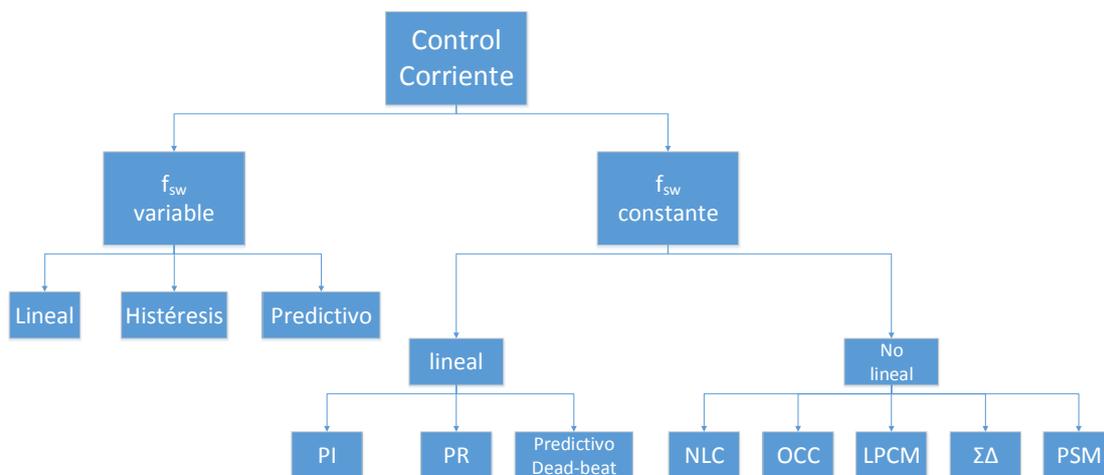


Figura 2.9: Grafica resumen con los distintos algoritmos de control de corriente

Para evaluar el resultado de un controlador de corriente, hay que especificar los distintos criterios a tener en cuenta. Dichos criterios dependen del tipo de aplicación en el que se va a hacer uso del controlador de corriente. Sin embargo, de forma general se puede asegurar que:

- Seguimiento ideal de la referencia (en fase y amplitud)
- Respuesta dinámica elevada
- Frecuencia de conmutación acotada o fija para asegurar un funcionamiento correcto y seguro del convertidor
- Contenido armónico reducido

Como se puede adivinar de los puntos anteriores, algunos de los requerimientos son opuestos. Por ejemplo, exigir una buena respuesta dinámica a la vez que se pide

una alta inmunidad al ruido (bajo contenido armónico) son criterios contrapuestos. Sin embargo, primar un criterio u otro depende de la aplicación. En este caso, corrección de factor de potencia, el objetivo es que el contenido armónico sea reducido ya que se persigue conseguir que la corriente sea una réplica de la tensión de red cuyo contenido armónico es generalmente muy bajo.

Se empezará describiendo los distintos algoritmos de control lineal. Posteriormente se pasará al control no lineal, empezando por aquellos cuya frecuencia de conmutación es variable y terminando por los que utilizan una frecuencia de conmutación fija.

En cuanto al control lineal, al contrario de lo que sucede con los controladores no lineales, separan la parte de control de la parte de modulación. El esquema de control de corriente lineal está formado por un lazo de corriente interno claramente diferenciado, como se puede ver en la Fig. 2.10. En dicha figura, el bloque llamado *Current Regulator* puede estar formado por varios bloques en algunos casos.

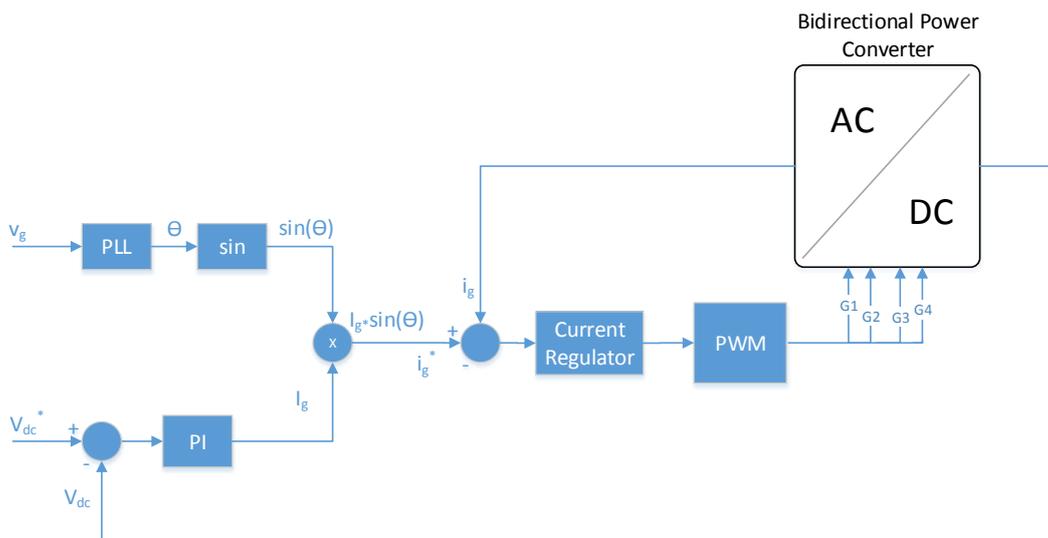


Figura 2.10: Lazos de corriente y tensión que realizan el control del convertidor en aplicaciones de PFC

El regulador PI, por ejemplo, es utilizado para el control de la corriente de red tanto en eje referencia estático como síncrono. El eje de referencia estático es el método de control en el que la variable medida se resta de la variable de referencia y la señal de error obtenida se aplica directamente al regulador. En el caso del eje de

referencia síncrono, a la corriente medida se le aplica una transformada (transformada de Park [61]) de tal forma que los ejes de referencia giran de forma síncrona con la frecuencia de red. Dichas variables se comparan con la señal de referencia (a la que obviamente también se le ha aplicado dicha transformada) y, al igual que en el caso anterior, la señal de error se aplica al regulador. La salida del regulador se llevará ahora a un bloque que realiza la transformada inversa de Park para volver al eje de referencia estático [43]. De forma gráfica, se puede ver dicho control en la Fig. 2.11. En dicha figura,  $i_\alpha$  y  $i_\beta$  son las variables en el eje de referencia estático mientras que  $i_d$  e  $i_q$  son las variables en el eje de referencia síncrono. Es por ello que a la transformada de Park también se la conoce como transformada  $dq$ . De la misma forma,  $e^{-j\theta}$  y  $e^{j\theta}$  representan la transformada de Park directa e inversa respectivamente.

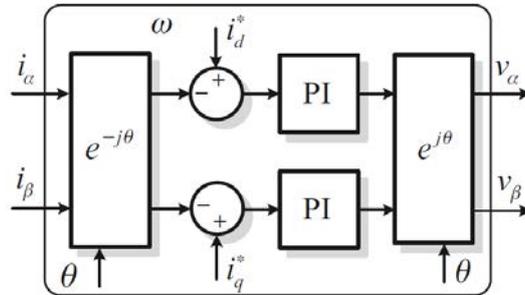


Figura 2.11: Control de corriente en eje de referencia síncrono o control  $dq$

El control *Proporcional + Resonante* es también muy usado en control de convertidores conectados a red, principalmente en aplicaciones de filtrado activo (APF) y en corrección de factor de potencia [62]. En este caso, el bloque *Current Regulator* es un controlador PR cuyo funcionamiento es equivalente al del PI en  $dq$  como se explica en [43].

A continuación se introduce el control no lineal. El primer grupo tiene como principal característica que su frecuencia de conmutación es variable (aunque existen implementaciones que permiten una frecuencia de conmutación constante, originalmente fueron concebidos para utilizar una frecuencia de conmutación variable). Por ejemplo, el control por histéresis, utiliza un concepto simple: define una banda de histéresis de tal forma que los eventos de conmutación se producen en los instantes en los que la variable a controlar alcanza los valores de los límites de la banda de histéresis (Fig. 2.12).

Debido a este comportamiento, tanto las pérdidas por conmutación como el THD (*Total Harmonic Distortion*) son también variables y dependientes de la carga del convertidor. Esto hace difícil el diseño del filtro de red (en este caso es una bobina

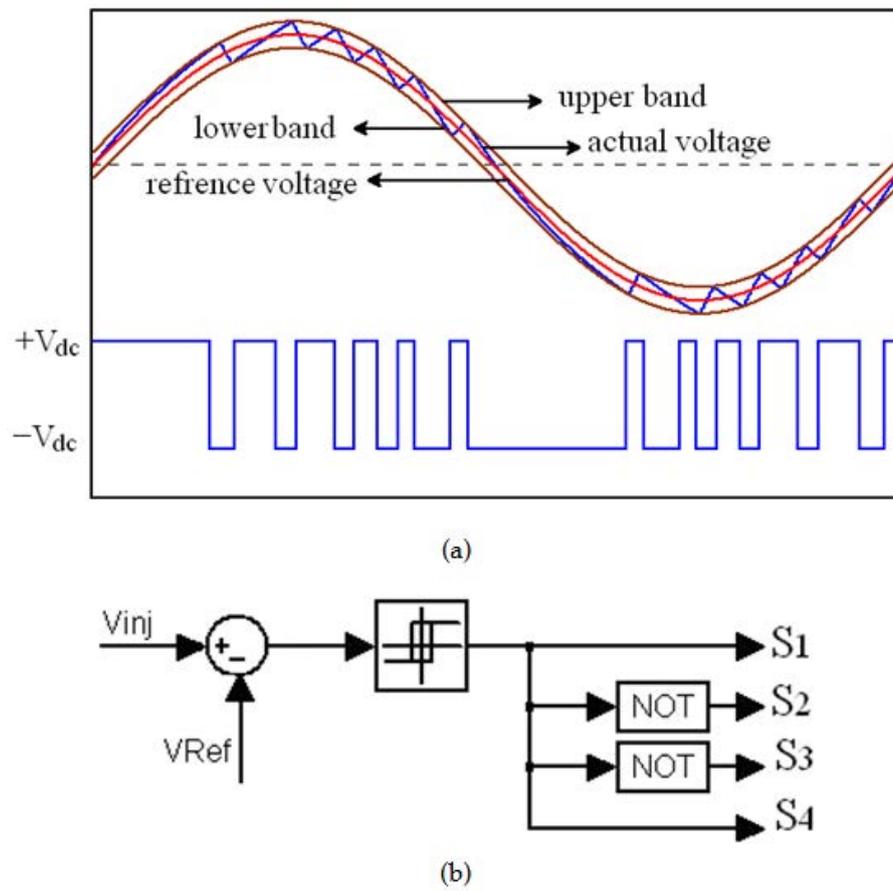


Figura 2.12: Formas de onda obtenidas con control por histéresis

exclusivamente) ya que no hay una frecuencia objetivo. El THD, como se puede ver en 2.10, cuyos límites están recogidos en estándares como el IEEE-Std 519-1992 [63], es también variable y dependiente de la carga. A medida que aumenta la frecuencia de conmutación, el THD disminuye, pero las pérdidas por conmutación aumentan [64, 65, 66, 67, 68].

$$THD = \frac{i_{gh}}{i_{g1}} = \sqrt{\frac{i_{g2}^2 + i_{g3}^2 + i_{g4}^2 + \dots}{i_{g1}^2}} \quad (2.10)$$

En 2.10,  $i_g$  representa la corriente de red y el subíndice  $h$  indica el orden de los armónicos (1 indica componente fundamental). La ventaja de este tipo de control es su simplicidad ya que, como se puede ver en la Fig. 2.12, consta únicamente de un lazo de control externo para mantener constante la tensión en el bus de continua y un simple comparador que es el que realiza la misión del lazo de corriente.

Los eventos de conmutación se producen en los instantes en los que la variable a controlar alcanza los valores de los límites de la banda de histéresis. Las principales características de este tipo de control se enumeran a continuación:

- THD variable y dependiente de la carga
- Diseño complejo del filtro de conexión a red

Diversas contribuciones proponen mejoras y potenciar las ventajas del control por histéresis. Por ejemplo, si dicha frecuencia de conmutación se acota dentro de un intervalo de frecuencia pequeño, puede ser una ventaja desde dos puntos de vista [69, 70, 71]:

- Por un lado, se disminuyen las pérdidas en conmutación bajando la frecuencia de conmutación en determinados puntos de operación del convertidor
- Se reducen los valores máximos de las interferencias electromagnéticas (EMI) repartiendo toda la potencia armónica asociada a la conmutación de los dispositivos en un intervalo más amplio de frecuencias reduciendo así el pico de la densidad espectral de potencia (haciendo que la densidad espectral de potencia sea más plana alrededor de la frecuencia de conmutación) [72]

Incluso existen alternativas para lograr que dicha frecuencia de conmutación sea constante [68, 64, 65] añadiendo más complejidad al control del mismo.

Sin embargo, en aplicaciones de corrección de factor de potencia, el control no lineal con frecuencia de conmutación constante es más utilizado. Su facilidad de implementación, su baja utilización de recursos en comparación con el control lineal y su buen comportamiento lo hacen una buena opción para este tipo de aplicaciones. Algunas de las desventajas son:

- Baja inmunidad al ruido debido a su gran ancho de banda
- Baja flexibilidad al no disponer de un lazo de control propiamente dicho

Se presenta a continuación el algoritmo NLC [55] utilizando modulación unipolar ya que es el punto de partida del algoritmo utilizado en este trabajo, que resulta de aplicar una pequeña modificación del anterior para aumentar el margen de potencia en el que el algoritmo es estable.

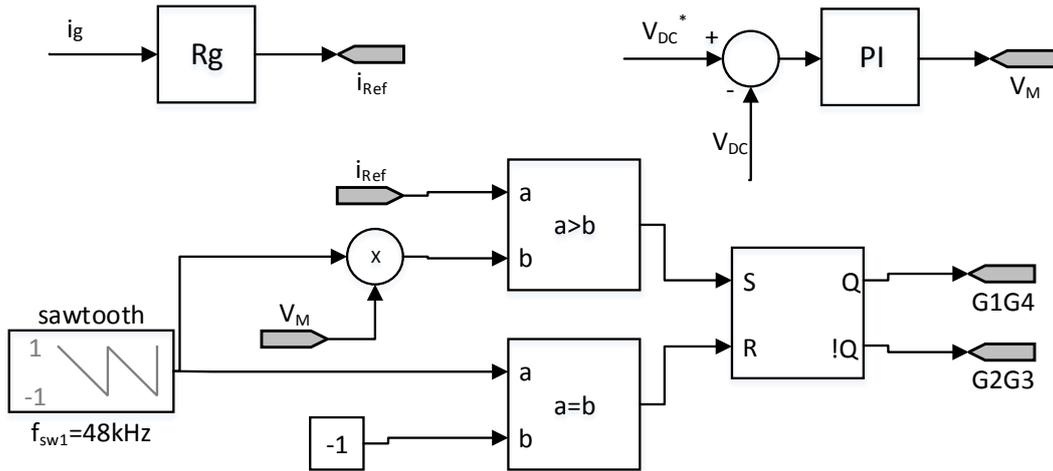


Figura 2.13: Algoritmo NLC original con modulación bipolar

Como se puede ver, la corriente sensada a través de una resistencia  $R_g$  se compara con una señal en diente de sierra (Fig. 2.14). Así se obtiene directamente el ciclo de trabajo a aplicar al convertidor.

Sin embargo, al utilizar modulación unipolar, el algoritmo también cambia, quedando como se puede ver en la Fig. 2.15. En este caso, en lugar de una única señal en diente de sierra, se utilizan dos desfasadas  $180^\circ$  y cada rama del convertidor trabaja por separado, utilizando la secuencia de conmutación de la Tabla 2.1.

Con este nuevo algoritmo, las formas de onda son las mostradas en la Fig. 2.16. Al utilizar modulación unipolar, el resultado es equivalente a dividir cada periodo de conmutación  $T_s$  en dos de igual duración  $T_s/2$ , cuyo análisis ya ha sido introducido en 2.1.

Por debajo de ciertos valores de  $V_M$ , el algoritmo deja de ser estable. Se realiza a continuación el análisis matemático que justifica tal afirmación. Como referencia para dicho análisis se utilizará la Fig. 2.16.

En primer lugar se van a definir tres variables que resultan imprescindibles para el análisis de estabilidad que se va a realizar:

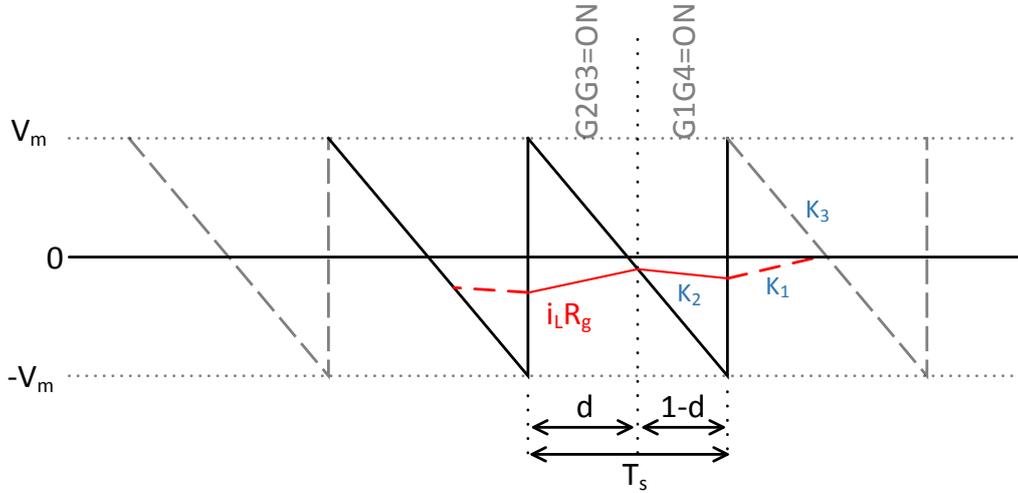


Figura 2.14: Formas de onda obtenidas con control NLC y modulación bipolar

$K_1$  Es el valor de la pendiente durante el tiempo de ON ( $d$ ) en un semiperíodo de conmutación multiplicado por el valor de la resistencia de sensado  $R_g$

$K_2$  Es el valor de la pendiente durante el tiempo de OFF ( $0.5-d$ ) en un semiperíodo de conmutación multiplicado por el valor de la resistencia de sensado  $R_g$

$K_3$  Es el valor de la pendiente del diente de sierra  $sw_1$  y  $sw_2$  utilizados para la generación de la señal PWM

$$K_1 = \frac{v_g}{L} R_g \quad (2.11)$$

$$K_2 = \frac{v_g - V_{DC}}{L} R_g \quad (2.12)$$

$$K_3 = -2 \frac{V_M}{T_s} \quad (2.13)$$

Para analizar el NLC se va a utilizar la Fig. 2.16 como referencia, de la que se obtiene:

$$K_2(0,5 - d_N)T_s + K_3 d_N T_s = K_1 d_{N+1} T_s + K_3 d_{N+1} T_s \quad (2.14)$$

Operando sobre la ecuación anterior, se obtiene la siguiente expresión:

$$0,5K_2 - (K_2 - K_3)d_N = (K_1 + K_3)d_{N+1} \Rightarrow d_{N+1} = \frac{0,5K_2}{K_1 + K_3} - \frac{K_2 - K_3}{K_1 + K_3} d_N \quad (2.15)$$

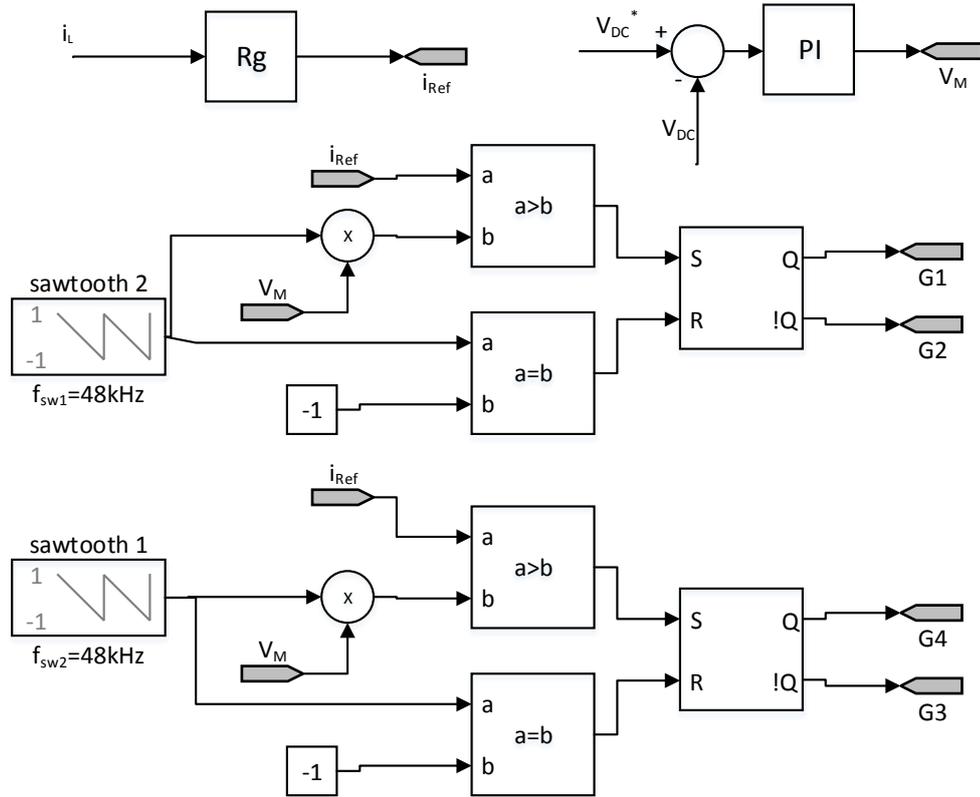


Figura 2.15: Algoritmo NLC original con modulación unipolar

Partiendo de 2.15 se puede comprobar que el algoritmo NLC con modulación unipolar será estable si dicha ecuación converge, lo cual significa que:

$$\left| \frac{K_2 - K_3}{K_1 + K_3} \right| < 1 \quad (2.16)$$

que se puede descomponer en dos inecuaciones:

$$-1 < \frac{K_2 - K_3}{K_1 + K_3} < 1 \quad (2.17)$$

Por lo tanto, para que el algoritmo sea estable, se deben de cumplir dos condiciones:

$$\frac{K_2 - K_3}{K_1 + K_3} > -1 \quad (2.18)$$

$$\frac{K_2 - K_3}{K_1 + K_3} < 1 \quad (2.19)$$

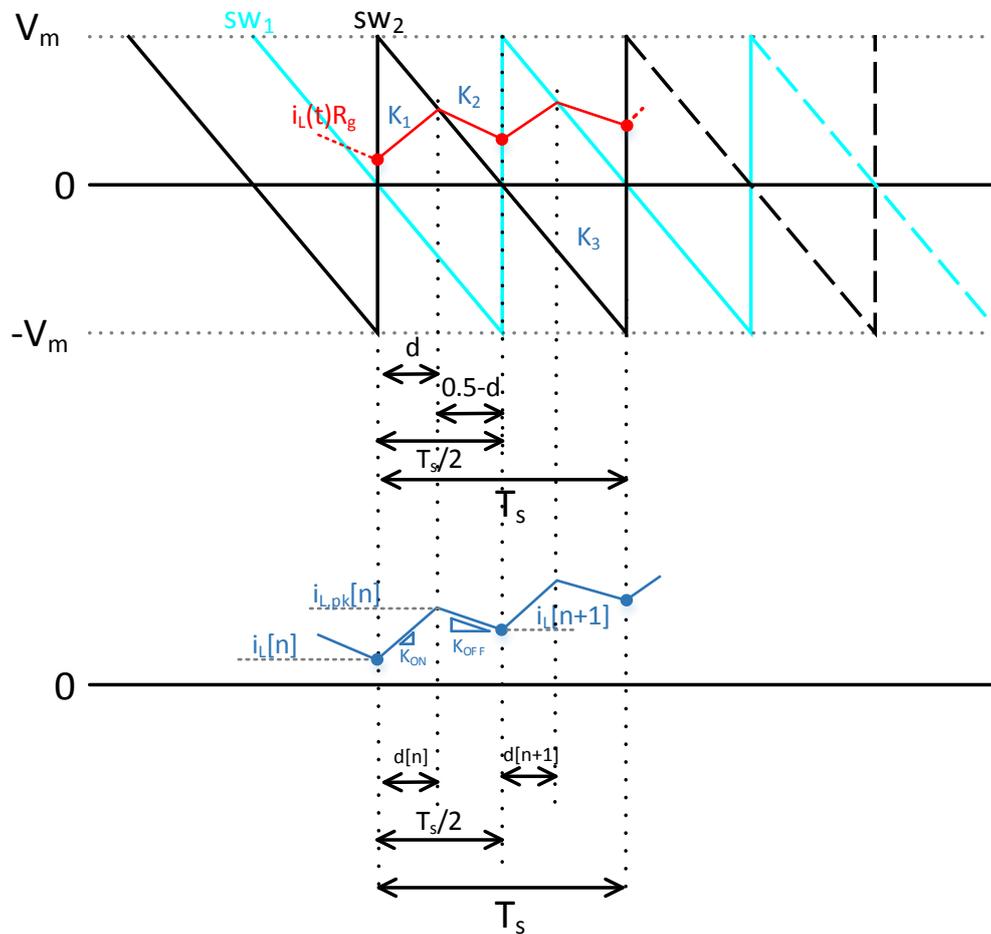


Figura 2.16: Formas de onda obtenidas con control NLC y modulación unipolar

Substituyendo y operando en 2.18 nos queda:

$$\frac{\frac{v_g - V_{DC}}{L} R_g + 2 \frac{V_M}{T_s}}{\frac{v_g}{L} R_g - 2 \frac{V_M}{T_s}} < 1 \quad (2.20)$$

cuyo resultado una vez resuelta la inecuación es el que se muestra a continuación 2.21.

$$\boxed{V_M > \frac{V_{DC} R_g T_s}{4L}} \quad (2.21)$$

Por otro lado, procediendo de igual forma con 2.19, nos queda:

$$\frac{\frac{v_g - V_{DC}}{L} R_g + 2 \frac{V_M}{T_s}}{\frac{v_g}{L} R_g - 2 \frac{V_M}{T_s}} > -1 \quad (2.22)$$

Simplificando la ecuación anterior se puede comprobar que dicha inecuación no depende del algoritmo de control ( $V_M$ ).

$$\frac{2v_g - V_{DC}}{L} R_g > 0 \quad (2.23)$$

Finalmente, partiendo de las siguientes ecuaciones ya conocidas, podemos determinar el margen de potencia en el que el control opera de forma estable así como otras expresiones interesantes. En primer lugar, debido a que el convertidor trabaja como PFC, se cumple:

$$i_g(t) = \frac{v_g(t)}{R_e} \quad (2.24)$$

donde  $R_e$  representa la impedancia ofrecida por el convertidor a la red. En segundo lugar, como ya se ha visto previamente, la ecuación de control del convertidor sería la siguiente:

$$i_{g,peak} R_g = V_M (1 - 2d) \quad (2.25)$$

Y en tercer y último lugar, la función de transferencia  $V_{DC}/v_g$  del convertidor es

$$\frac{V_{DC}}{v_g} = \frac{1}{1 - 2d} \quad (2.26)$$

De dichas expresiones - 2.24, 2.25 y 2.26 - se obtiene otra de gran interés dado que muestra la potencia manejada por el convertidor en función del parámetro de control  $V_M$  (suponiendo un esquema sin pérdidas). En la siguiente ecuación estamos asumiendo  $i_{g,peak} = i_g$ , aproximación válida para el análisis de potencia si el rizado no es muy grande.

$$P = i_g^2 R_e = v_g^2 \frac{V_M}{R_g V_{DC}} \Rightarrow V_M = P \frac{R_g V_{DC}}{v_g^2} \quad (2.27)$$

De 2.27 y 2.21 se obtiene la siguiente ecuación, que muestra el margen de potencias en las que el control funciona de forma estable.

$$P \frac{R_g V_{DC}}{v_g^2} > \frac{V_{DC} R_g T_s}{4L} \Rightarrow \boxed{P > \frac{v_g^2 T_s}{4L}} \quad (2.28)$$

La principal conclusión que se saca de 2.28 es que el algoritmo NLC no funciona en circuito abierto ( $P = 0$ ), ni en el caso de que el convertidor esté funcionando

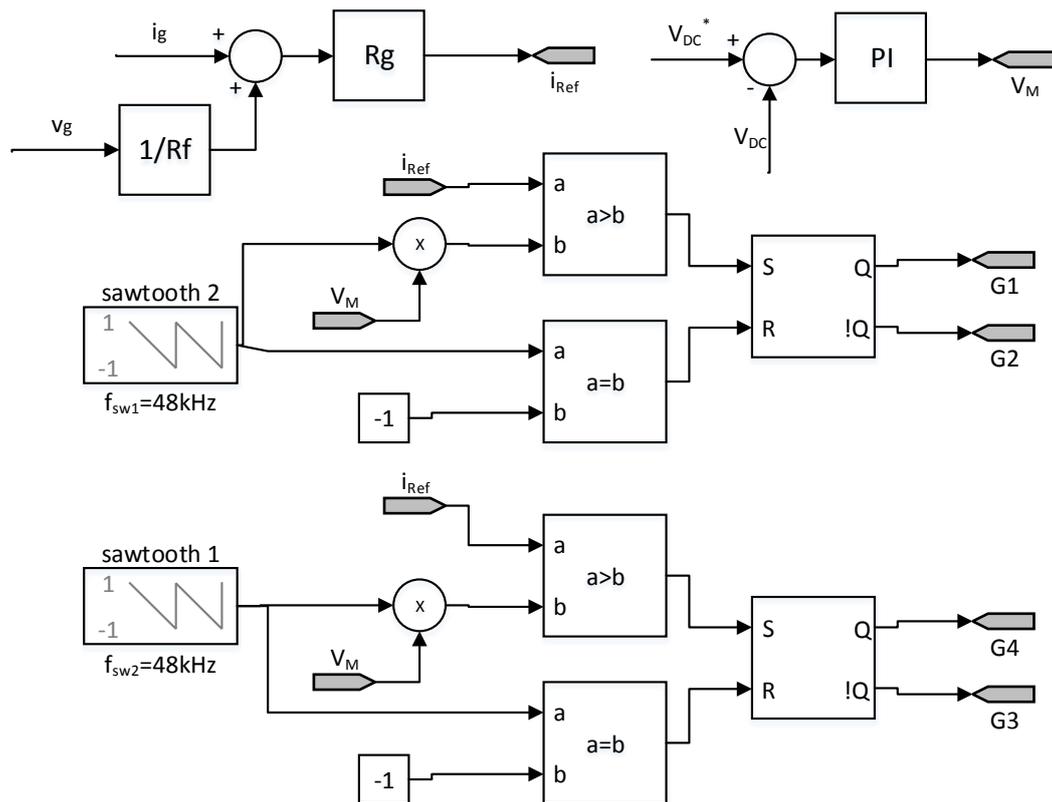


Figura 2.17: Algoritmo NLC modificado para permitir flujo de potencia bidireccional en el convertidor

como inversor ( $P < 0$ ). Dado que ambas situaciones son habituales, se añade una pequeña modificación al NLC de tal forma que se cumplan ambas características.

Dicha modificación consiste en añadir a la corriente sensada  $i_g$  una corriente ficticia  $i_f$  de valor  $i_f = v_g/R_f$ , como se puede ver en la Fig. 2.17.

El criterio de estabilidad no cambia en este caso. Sin embargo, la fórmula de la potencia debido a que la ecuación 2.25 pasa a quedar como sigue:

$$(i_g + \frac{v_g}{R_f})R_g = V_M(1 - 2d) \quad (2.29)$$

Como consecuencia, la admitancia ofrecida por el convertidor a la red sería la siguiente:

$$\frac{1}{R_e} = \frac{V_M}{V_{DC}R_g} - \frac{1}{R_f} \quad (2.30)$$

Por lo que la potencia manejada por el convertidor sería la mostrada en la siguiente expresión:

$$P = \frac{v_g^2}{R_e} = v_g^2 \left( \frac{V_M}{V_{DC}R_g} - \frac{1}{R_f} \right) \quad (2.31)$$

Lo más interesante de la expresión anterior es que ahora, al añadir esta pequeña modificación al algoritmo NLC, la potencia manejada por el convertidor puede ser tanto positiva como negativa o cero, en función del valor escogido para  $R_f$ .

Con esta pequeña modificación se consigue que el algoritmo NLC sea estable incluso en el caso de que el convertidor esté funcionando como inversor, algo que era perfectamente posible dada la topología (Full-Bridge) pero limitado en este caso su funcionamiento por el algoritmo de control, que solo permitía su funcionamiento como rectificador.

## 2.3. Sincronización con la tensión de red

Las redes eléctricas son sistemas complejos afectados por muchas eventualidades como conexión y desconexión de cargas, resonancias como consecuencia de la presencia de corrientes armónicas en las líneas, faltas debido a fallos de operación, etc. Por lo tanto, las variables eléctricas no pueden ser consideradas constantes. Es más, en aplicaciones de PFC deben ser continuamente monitorizadas con el fin de obtener las mejores prestaciones posibles del convertidor conectado a la red. Por otro lado, los códigos de red establecen los límites (tanto de tensión como de frecuencia) por encima de los cuales un convertidor debe desconectarse de la red cuando estos están funcionando como generadores. En cuanto a respuesta dinámica, dichos códigos de red también establecen unos límites en cuanto al transitorio que se pueda producir

debido a una falta.

Además, en el caso no utilizar sensor de corriente, la existencia de una variable interna al dispositivo digital que indique con precisión el cruce por cero de la tensión de red sirve como punto de referencia para el algoritmo de control de corriente, ya que sabemos que en ese punto, la corriente debe cruzar también por cero.

Por lo tanto, una de las partes del algoritmo de control debe ser la sincronización del mismo con la red. Dicho algoritmo debe monitorizar el estado de la red de forma continua y precisa. Sincronización y monitorización son dos conceptos relacionados. Sincronización no es más que una monitorización continua e instantánea del estado de la red, lo que permite al convertidor trabajar al unísono con la red.

Como ya se ha dicho, sincronización significa generar una variable interna al dispositivo de control que monitorice de forma precisa la fase de la tensión de red  $v_g$ . En el caso de sistemas monofásicos como es el que nos ocupa, los métodos de detección/medida se pueden clasificar en dos grupos:

- Análisis en el dominio del tiempo. Están basados en algún tipo de lazo que permite a un oscilador interno seguir la variable de interés de la señal de entrada.
- Análisis en el dominio de la frecuencia. Basados en alguna implementación discreta de las series de Fourier, como puede ser DFT (*Discrete Fourier Transform*), RDFT (*Recursive Discrete Fourier Transform*) o FFT (*Fast Fourier Transform*).

A continuación se analizarán más en detalle los métodos más utilizados de cada subgrupo. Empezaremos por el **análisis en frecuencia** que, como ya se ha mencionado, hace uso de la transformada de Fourier [73, 74]. Dicha transformada permite, dada una  $f(t)$  Debido a que dicha transformada debe ser implementada en un dispositivo digital en el que la señal de entrada está discretizada, se utilizará una versión discreta de la misma: DFT, FFT, etc.

Cuando una función coseno es multiplicada por otra función coseno unitaria a la misma frecuencia, su amplitud aparece como una componente continua de amplitud la mitad de la original, como se puede ver en la siguiente expresión:

$$\begin{aligned} A\cos(n\omega t)\cos(n\omega t) &= A\cos^2(n\omega t) = \frac{A}{2} + \frac{A\cos(2n\omega t)}{2} \\ B\sin(n\omega t)\sin(n\omega t) &= B\sin^2(n\omega t) = \frac{B}{2} - \frac{B\cos(2n\omega t)}{2} \end{aligned} \quad (2.32)$$

Además, el resultado de multiplicar dos funciones seno/coseno de distintas frecuencias es siempre cero, se puede utilizar dichas funciones básicas para detectar amplitud y fase de una determinada señal. Fourier determinó que una señal periódica puede ser expresada como una suma de los siguientes términos:

$$v(t) = a_0 + \sum_{n=1}^{\infty} (a_n \cos(n\omega t) + b_n \sin(n\omega t)) \quad (2.33)$$

donde los diferentes coeficientes son calculados como sigue:

$$\begin{aligned} a_0 &= \frac{1}{T} \int_0^T v(t) dt \\ a_n &= 2 \frac{1}{T} \int_0^T v(t) \cos(n\omega t) dt = \frac{1}{\pi} \int_{-\pi}^{\pi} v(\theta) \cos(n\theta) d\theta \\ b_n &= 2 \frac{1}{T} \int_0^T v(t) \sin(n\omega t) dt = \frac{1}{\pi} \int_{-\pi}^{\pi} v(\theta) \sin(n\theta) d\theta \end{aligned} \quad (2.34)$$

Las expresiones 2.33 y 2.34 pueden ser reescritas de una forma más compacta utilizando las ecuaciones de Euler, que permiten expresar las funciones seno/coseno como una exponencial compleja:

$$\begin{aligned} \cos(n\omega t) &= \frac{e^{jn\omega t} + e^{-jn\omega t}}{2} \\ \sin(n\omega t) &= \frac{e^{jn\omega t} - e^{-jn\omega t}}{2j} \end{aligned} \quad (2.35)$$

quedando los coeficientes  $a_n$  y  $b_n$  como sigue:

$$\begin{aligned} a_n &= \frac{1}{T} \int_0^T v(t) (e^{jn\omega t} + e^{-jn\omega t}) dt \\ b_n &= \frac{-j}{T} \int_0^T v(t) (e^{jn\omega t} - e^{-jn\omega t}) dt \end{aligned} \quad (2.36)$$

Si se redefinen los coeficientes como:

$$c_n = \frac{1}{2}(a_n - jb_n) = \frac{1}{T} \int_0^T v(t) e^{-jn\omega t} dt \quad (2.37)$$

nos queda la expresión de la descomposición de una señal periódica en series de Fourier en forma compacta:

$$v(t) = \sum_{-\infty}^{\infty} c_n e^{jn\omega t} \quad (2.38)$$

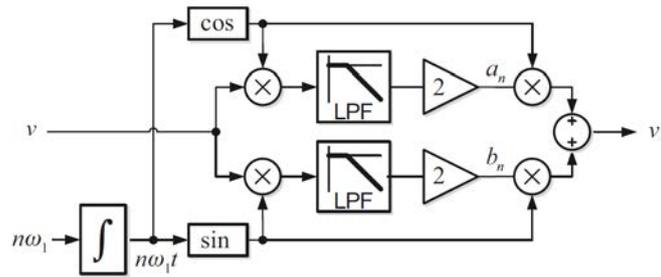


Figura 2.18: Filtro paso banda basado en el análisis de Fourier

en la cual ya están incluidas las componentes positiva y negativa de la frecuencia [43].

Por lo tanto, con una implementación similar a la de la Fig. 2.18 se puede realizar un filtro paso banda sintonizable.

Un caso particular es el de la medida de la fase y amplitud de la componente fundamental de la tensión de red. Suponiendo que la frecuencia de red es fija y conocida, para extraer la componente fundamental, es decir,  $n = 1$ , se realiza la siguiente operación:

$$V'_n = V_n \angle \theta_n \begin{cases} V_n = \sqrt{a_n^2 + b_n^2} \\ \theta_n = \arctan\left(\frac{b_n}{a_n}\right) \end{cases} \quad (2.39)$$

Sin embargo, si se presta atención a la expresión 2.38, se puede comprobar que para implementar dicha ecuación es necesario almacenar muestras desde  $-\infty$  hasta  $+\infty$  lo cual es, aparte de no-causal, imposible. Es por ello que, en dispositivos digitales donde se dispone de un tamaño máximo de memoria y recursos, se implementa una versión discreta de la misma como podría ser la DFT 2.40 o, más habitualmente, una versión optimizada para dispositivos de procesamiento de señal por su bajo consumo de recursos comparada con la DFT como sería la FFT. Sin embargo, en este apartado no se va a tratar con detalle ninguna de ellas, dejando las referencias a las mismas para consulta del lector [75, 43].

$$V[n] = \sum_{k=0}^{N-1} v[k] \cdot e^{-j2\pi \frac{k}{N}n} \quad (2.40)$$

En lo referente a las técnicas basadas en el **análisis temporal**, las más conocidas y utilizadas son distintas implementaciones de lazos enganchados en fase o PLL (*Phase-Locked Loop*). El PLL se utiliza en diferentes ámbitos como las comunicaciones o cualquier dispositivo electrónico moderno (PC, radio, etc). Un convertidor conectado a la red cumple perfectamente con la filosofía del PLL ya que debe trabajar en sintonía con esta. De forma breve consiste en un oscilador interno enganchado

en fase con alguna variable externa, normalmente la tensión de red.

En un primer momento, los convertidores conectados a red estaban basados en rectificadores controlados de silicio (*SCR*). Aquellos convertidores solo necesitaban conocer el cruce por cero de la tensión de red para funcionar de forma adecuada. Es por ello que utilizaban únicamente detectores de cruce por cero, basados fundamentalmente en comparadores. Es una técnica muy barata y sencilla. Sin embargo, tiene numerosas contrapartidas:

- Sensibilidad a ruido: una tensión de red con carácter ruidoso daría lugar a numerosos falsas detecciones (Fig. 2.19).
- Poco preciso: en presencia de armónicos, estos pueden hacer que el cruce por cero de la tensión de red no coincida con el cruce por cero de la componente fundamental, algo poco deseable en algunas aplicaciones como la de corrección de factor de potencia.

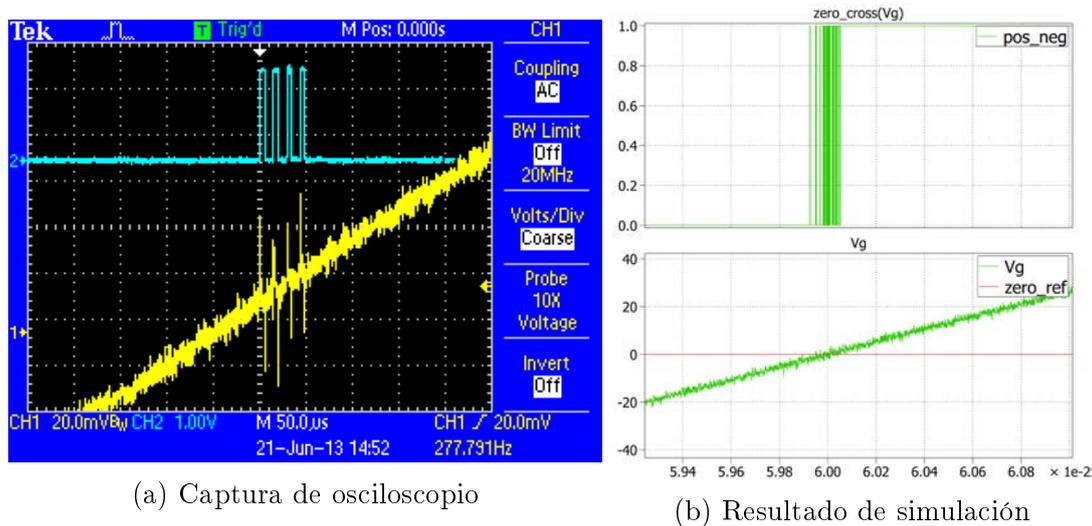


Figura 2.19: Falsos positivos en detector de cruce por cero

Con el fin de mejorar el funcionamiento de dichas técnicas, existen algunos trabajos basados en circuito con histéresis [76] así como otros basados en algoritmos de filtrado [77, 78]. Sin embargo, dichas mejoras añaden complejidad al sistema y su funcionamiento no es del todo satisfactorio. Los convertidores actuales conectados a red están basados en dispositivos de potencia que permiten trabajar a una frecuencia de conmutación más elevada, que da lugar a mayor libertad desde el punto de vista del control. Es por ello que cualquier convertidor moderno conectado a red tiene como algoritmo de sincronización un PLL. Además, teniendo en cuenta que el PLL

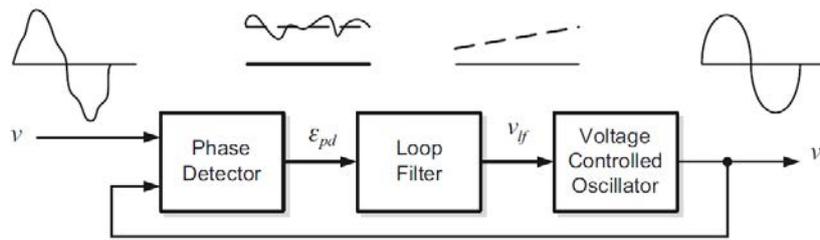
da una información precisa del ángulo en todo el periodo de red, esto permite compensar ciertos retrasos introducidos por la cadena de sensado, el modulador PWM, etc.

Un PLL está formado básicamente por los siguientes elementos (Fig. 2.20) [43]:

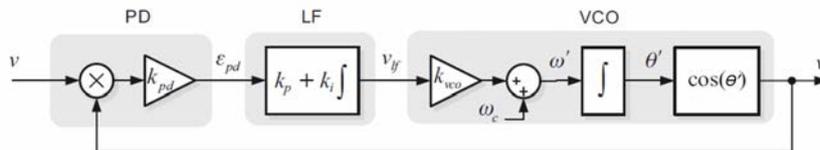
**Detector de fase (PD)** Este bloque genera una señal que es proporcional a la diferencia entre la fase de la señal de entrada  $v$  y la fase del oscilador interno  $v'$ . Habitualmente consiste en un multiplicador.

**Filtro paso bajo (LF)** Como resultado de la etapa anterior pueden aparecer componentes de alta frecuencia. Es por ello que se añade un filtro paso bajo (LPF) con el fin de quedarnos única y exclusivamente con la señal de interés.

**Oscilador controlado por tensión (VCO)** Genera una señal AC cuya frecuencia es proporcional a la tensión a la entrada del mismo



(a) Estructura básica de un PLL



(b) Diagrama de bloques de un PLL básico

Figura 2.20: Estructura de un PLL

A continuación se va a realizar el desarrollo matemático que justifica el funcionamiento del PLL en régimen estacionario. El análisis transitorio que se describe, por ejemplo en [79] queda fuera del alcance de este documento.

De acuerdo con la Fig. 2.20 se define, en primer lugar, la señal de entrada  $v$  asumiendo que es sinusoidal:

$$v = V \sin(\omega t + \phi) = V \sin(\theta) \quad (2.41)$$

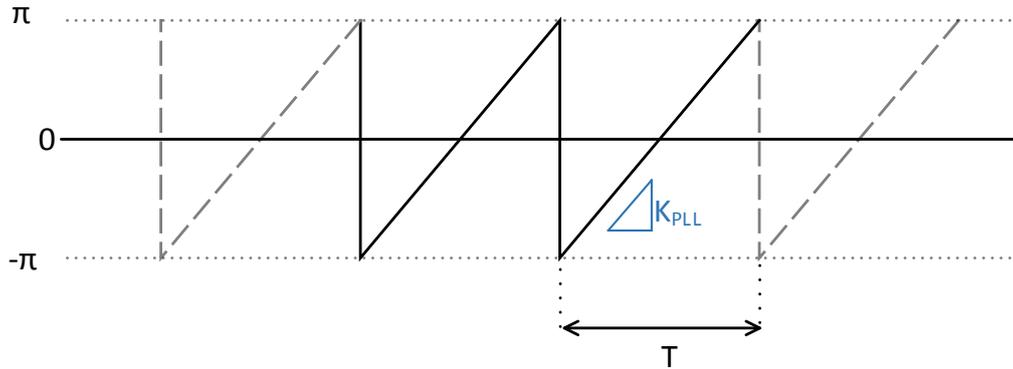


Figura 2.21: Diente de sierra interna al PLL

y la señal de salida del oscilador VCO como:

$$v' = \cos(\omega't + \phi') = \cos(\theta') \quad (2.42)$$

Teniendo en cuenta que el detector de fase es un simple multiplicador, nos queda:

$$\begin{aligned} \epsilon_{pd} &= V k_{pd} \sin(\omega t + \phi) \cos(\omega't + \phi') \\ &= \frac{V k_{pd}}{2} \left[ \underbrace{\sin((\omega - \omega')t + (\phi - \phi'))}_{\text{baja frecuencia}} + \underbrace{\sin((\omega + \omega')t + (\phi + \phi'))}_{\text{alta frecuencia}} \right] \end{aligned} \quad (2.43)$$

La siguiente etapa al detector de fase es un filtro paso bajo (LPF) que se encargará de eliminar el término de alta frecuencia de la ecuación anterior por lo que la señal a la entrada del VCO ( $V_{lf}$ ) está dada por la siguiente expresión,

$$V_{lf} = \frac{V k_{pd}}{2} [\sin((\omega - \omega')t + (\phi - \phi'))] \quad (2.44)$$

Si además se asume que el PLL está correctamente sintonizado, esto es  $\omega = \omega'$ , queda la siguiente expresión:

$$V_{lf} = \frac{V k_{pd}}{2} \sin(\phi - \phi') \quad (2.45)$$

La misión del VCO de crear una señal en diente de sierra entre  $-\pi$  y  $\pi$  como la de la Fig. 2.21, donde  $\omega = 1/T$ . A dicha señal en diente de sierra se le aplica un coseno y

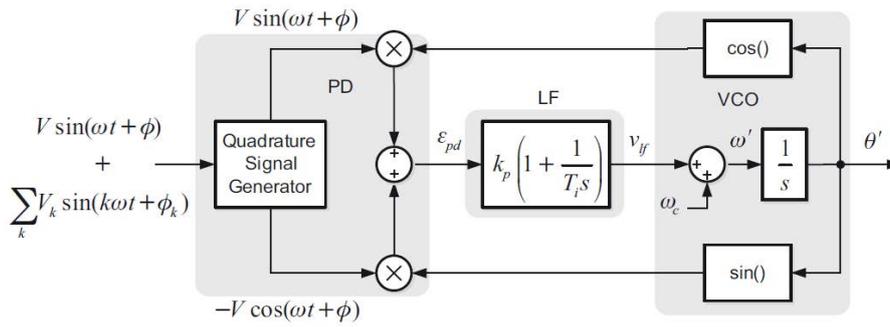


Figura 2.22: PLL con señales en cuadratura

se realimenta al detector de fase. La pendiente de la señal en diente de sierra viene dada por la siguiente expresión:

$$K_{PLL} = \omega' = V_{lf} k_{VCO} + \omega_c \quad (2.46)$$

siendo  $\omega_c$  la frecuencia central o de referencia (en el caso de España, dicha frecuencia sería  $\omega_c = 2\pi 50[\text{rad/s}]$ ).

Las ecuaciones anteriores muestran un escenario que no es del todo correcto. Dicho escenario supone que el término de alta frecuencia en 2.43 es cero. En aplicaciones conectadas a la red de distribución, la frecuencia es de 50/60Hz mientras que el primer armónico aparece al doble de la frecuencia de red (100/120Hz) lo cual lleva al diseño de un filtro paso bajo muy severo para prevenir que la señal de salida del LPF presente oscilaciones que afecten al funcionamiento del PLL [43].

Con el fin de evitar dicho problema, en lugar de utilizar una única señal de entrada al PLL, se utilizarán dos señales en cuadratura, como se puede ver en la Fig. 2.22. Dichas señales están desfasadas  $90^\circ$  y a continuación se justifica su beneficio en la mejora del funcionamiento del PLL.

$$\begin{aligned} \epsilon_{pd} &= V \sin(\omega t + \phi) \cos(\omega' t + \phi') - V \cos(\omega t + \phi) \sin(\omega' t + \phi') \\ &= V \sin((\omega - \omega')t + (\phi - \phi')) \\ &= V \sin(\theta - \theta') \end{aligned} \quad (2.47)$$

De acuerdo con la ecuación anterior, se puede comprobar que, cuando está bien sintonizado ( $\omega = \omega'$ ), el detector de fase en cuadratura no genera ninguna oscilación de estado estacionario lo que permite incrementar el ancho de banda del mismo para hacerlo más rápido ante transitorios sin perjudicar su respuesta en estado estacionario [43].

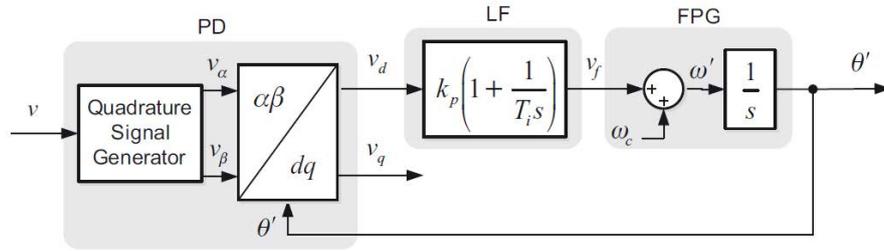


Figura 2.23: Estructura modificada del PLL original

Revisando la ecuación 2.47 se puede comprobar que dicha multiplicación es una parte de la transformada de Park [43], cuya expresión se incluye a continuación:

$$\begin{bmatrix} v_d \\ v_q \end{bmatrix} = \begin{bmatrix} \cos(\theta') & \sin(\theta') \\ -\sin(\theta') & \cos(\theta') \end{bmatrix} \begin{bmatrix} v_\alpha \\ v_\beta \end{bmatrix} \quad (2.48)$$

La otra parte para completar al transformada de Park se encuentra en el módulo VCO de tal forma que el esquema final se puede redibujar como se muestra en la Fig. 2.23. Al realizar este cambio, el módulo VCO pasa a llamarse FPG, de *Frequency/phase-angle generator*, mientras que el detector de fase pasa de ser un simple multiplicador a un bloque que realiza la transformada de Park.

Existen numerosas alternativas basadas en dicho concepto. A continuación se numeran algunas de ellas:

**PLL T/4** Las señales  $\alpha$  y  $\beta$  se obtienen de la señal entrada y esta misma retrada T/4

**Transformada de Hilbert** Dicha transformada tiene una respuesta en frecuencia que lo hace ideal para este caso ya que tiene ganancia 1 en todo el margen de frecuencias a la vez que produce un desfase de  $90^\circ$ [75].

**Transformada inversa de Park** PLL basado en la transformada inversa de Park [43].

Por su sencillez de implementación y sus buenas características, para la aplicación que nos ocupa se ha elegido la primera de las posibles alternativas propuestas. Básicamente consiste en retrasar la señal de entrada un cuarto del periodo de red ( $T/4$ ) con el fin de obtener las dos señales en cuadratura deseadas ( $\alpha, \beta$ ), como se puede ver en la Fig. 2.24. Para ello se utilizará una memoria FIFO cuya longitud dependerá de la frecuencia de muestreo. Su funcionamiento empeora si la tensión de red tiene un contenido armónico elevado o si su frecuencia se desvía de la frecuencia para la que está pensado ya que las señales de entrada no estarán perfectamente en cuadratura (habría que variar la longitud de la memoria FIFO).

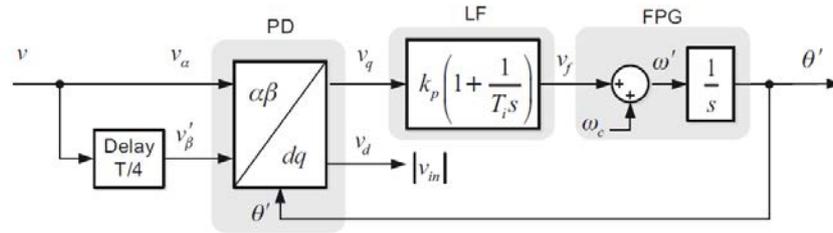


Figura 2.24: Implementación del PLL basado en un retardo de  $T/4$

## 2.4. Control digital de correctores de factor de potencia

Desde la década de los 90, el control digital es una alternativa al control analógico de convertidores conmutados de mediana y baja potencia. El control analógico sigue siendo una alternativa fiable y robusta, sobre todo en entornos industriales. Sin embargo, el control digital permite que el control del convertidor tenga, en muchos casos, funciones extra que un control analógico no es capaz de dar, o que son más fáciles de obtener con un control digital que con uno analógico debido a la versatilidad de este último.

Una tendencia a destacar es la de prescindir de la medida de determinadas variables. En condiciones normales, para el caso de PFC monofásico, es necesaria la medida de tres variables:

- Tensión de red  $v_g$ . En [80, 81, 82] se prescinde de la medida de esta variable
- Tensión en el bus de continua  $V_{DC}$ . En [83, 84] se prescinde de dicha medida
- Corriente de red  $i_g$

En este trabajo se investiga la sustitución de la medida de  $i_g$  por su estimación en tiempo real, calculada en un circuito digital. Existen numerosos ejemplos en la literatura que siguen esta línea de investigación aunque la solución se alcanza de formas muy diferentes:

- Ciclo precalculado [21, 22, 23, 24, 85]
- Reconstrucción de corriente [5, 25, 26, 27, 28]
- Basado en filtros de Kalman [29]
- Basado en control predictivo [30, 31]

- Basado en un observador de corriente [32, 33]
- Basado en control deslizante [34, 35]

Uno de los aspectos importantes a tener en cuenta en el control digital es que la velocidad de los dispositivos digitales, o sus recursos, pueden limitar la frecuencia de conmutación a la que puede trabajar el convertidor. Por ello, algunos autores presentan algoritmos donde el dispositivo digital necesite bajos requerimientos [86, 87].

Finalmente, se pueden diferenciar tres grupos de dispositivos digitales en los que se pueden implementar los controladores digitales de convertidores conmutados:

- Dispositivos basados en núcleo microprocesador
- Dispositivos digitales de hardware específico
- Dispositivos que combinan ambas tecnologías

Los dispositivos basados núcleo de **microprocesador** son dispositivos programables que ejecutan un código de forma secuencial. Dentro de este tipo de dispositivos se encuentran los microcontroladores, que son dispositivos con el núcleo de un microprocesador y algunos periféricos que facilitan las tareas de control, como pueden ser convertidores analógico digitales, interfaces de comunicaciones, contadores, bloques de temporización o bloques de generación de señales periódicas. Este último bloque es el más usado en convertidores conmutados, pues es capaz de generar una señal de frecuencia fija y ciclo de trabajo controlable, con lo que se implementa de forma digital el bloque PWM tan usual en estas aplicaciones. Esto se conoce como DPWM (*Digital PWM*). En los dispositivos basados en núcleo microprocesador también se incluyen los DSP (*Digital Signal Processor*). Se trata de nuevo de dispositivos programables que ejecutan el código de una manera secuencial, y en los que la diferencia respecto a los microcontroladores está en que se encuentran más orientados a las operaciones aritméticas complejas y al tratamiento de señal digital. Esta capacidad de cálculo complejo y la inclusión de periféricos, al igual que en el caso de los microcontroladores, los hace especialmente adecuados para tareas de control. De hecho, la mayoría de los dispositivos basados en núcleo microprocesador que se utilizan para el control de convertidores conmutados son DSP.

En cuanto a los dispositivos basados en **hardware específico**, la principal diferencia con los dispositivos anteriores es que el hardware es dedicado y no estándar. Esto permite aprovechar la ventaja de la ejecución concurrente frente a la secuencial, es decir, ejecutar su funcionalidad toda a la vez en lugar de la ejecución instrucción tras instrucción de los microprocesadores. En general, esto resulta en un mayor gasto

de recursos ya que si una determinada operación se utiliza varias veces en el algoritmo, se utilizarán tantos elementos de lógica como veces se utilice. Por ejemplo, si el algoritmo tiene cinco comparaciones, en principio, se implementarán cinco comparadores. Sin embargo, un microprocesador ejecutaría cinco veces la instrucción de comparación. Esto se traduce en una gran ventaja en términos de tiempo de ejecución, ya que con lógica concurrente todas las operaciones se ejecutan a la vez. Además de la ventaja del menor tiempo de ejecución, un dispositivo de hardware específico no siempre utiliza más recursos que uno basado en microprocesador, incluso en el caso de paralelización. Esto se debe a que los microprocesadores tienen multitud de recursos no empleados, ya que es muy normal que un buen número de instrucciones no se lleguen a utilizar. Los recursos necesarios para todas las instrucciones no empleadas están malgastados. Además, el resultado de cada operación se tiene que almacenar hasta que se utilice, lo que implica la necesidad de uso de memoria RAM y un mayor tiempo de acceso a los resultados temporales, y el código de programa tiene que estar en otra memoria no volátil (ROM). Por todo ello, en el caso de aplicaciones sencillas, como el control de convertidores conmutados, es muy común que una solución basada en hardware específico ocupe menos recursos que otra basada en microprocesador. En cuanto a los dispositivos concretos que se encuadran en este grupo de hardware específico, son básicamente dos: las FPGA (*Field Programmable Gate Array*) y los ASIC (*Application-Specific Integrated Circuit*). Se utilizará el término FPGA para referirse también a las CPLD (*Complex Programmable Logic Device*) por ser dispositivos muy similares, al menos en cuanto a su funcionamiento y estructura se refiere. La diferencia entre las FPGA y los ASIC está en que las FPGA son programables en el laboratorio, por lo que su funcionalidad se puede variar sin cambiar de dispositivo (al igual que con los microprocesadores). La desventaja es que son algo más lentas que los ASIC y que estos últimos son más baratos para grandes tiradas.

Finalmente, se mencionan los dispositivos digitales que combinan ambas características, también llamados *System-on-Chip*. Por un lado, constan de una parte basada en microcontrolador, y por otra, constan de una parte basada en FPGA cuyo fin es el de integrar en dicha parte ciertos periféricos externos necesarios en la mayoría de sistemas de adquisición. La ventaja es que dichos periféricos son totalmente *custom* y pensados para una aplicación específica. Algunos ejemplos de este tipo de dispositivos son la serie *Zynq-7000* de Xilinx o la *Cyclone-V* de Altera.

En este trabajo, el control digital se ha implementado en una FPGA. En [88, 89] se enumeran las funciones, herramientas de diseño, aplicaciones industriales y metodologías de diseño para sistemas de control industriales de las FPGAs. Se puede decir que es en los años 90 es cuando realmente se pueden considerar las FPGAs como otra alternativa para determinadas aplicaciones. Desde 1990 hasta 2003, ha

habido una reducción de dos órdenes de magnitud en el coste de un bloque básico FPGA, formado por una LUT y un flip-flop, desde aproximadamente 1\$ a 0,01\$. Este aspecto ha tenido una gran influencia en el crecimiento de este tipo de tecnología. Unos de los aspectos importantes que se indica en [89] es el uso de FPGAs en varios ámbitos de la electrónica de potencia como modulación de ancho de pulso [90, 91], corrección de factor de potencia [5, 92, 93, 94, 95, 96], convertidores multi-nivel [96, 97], convertidores matriciales [98, 99] o conmutación suave [100].

Para el presente trabajo, se ha elegido este tipo de dispositivos debido a la gran velocidad de operación y la capacidad de manejar con precisión señales de mando de interruptores (MOSFETs), aunque el número de éstos sea elevado. La variable bajo control, es decir, la intensidad de red, se estima digitalmente, y la velocidad de cálculo es un factor muy importante para que el proceso de estimación no produzca errores debidos retrasos.

## 2.5. Lazo de tensión

La tensión del bus de continua del convertidor boost trabajando como PFC debe de estar regulada, de tal forma que ofrezca una tensión estable a la siguiente etapa. Esto se consigue utilizando un lazo de tensión que controle dicha tensión y la mantenga en el nivel deseado. Consideramos el rectificador ideal como punto de partida (Fig. 2.25), es decir, la corriente de entrada  $i_g(t)$  es proporcional a la tensión de entrada  $v_g(t)$  [101].

$$i_g(t) = \frac{v_g(t)}{R_e} \quad (2.49)$$

donde  $R_e$  es una resistencia ficticia que no implica disipación de calor, sino que es la impedancia ofrecida por la carga conectada a la red. Considerando además que

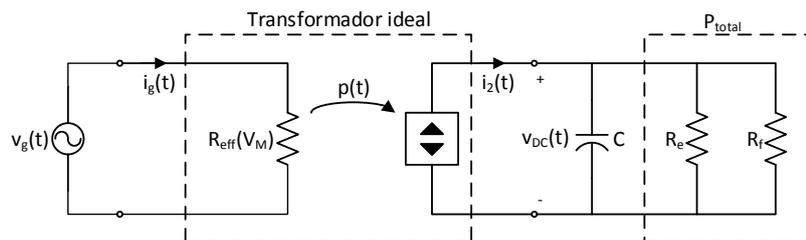


Figura 2.25: Modelo de un rectificador ideal

$v_g(t)$  es una senoide pura, la potencia instantánea transformada por el convertidor

es:

$$v_g(t) = \sqrt{2}V_g \sin(\omega t) \quad (2.50)$$

$$P_{conv} = \frac{v_g(t)^2}{R_e} \quad (2.51)$$

Sin embargo, con el fin de asegurar la convergencia del algoritmo NLC tanto como rectificador como como inversor, se añade una corriente ficticia o, de manera equivalente, una carga extra del lado DC:  $R_f$ . Por lo tanto, la ecuación 2.51 pasa a escribirse como:

$$P_{total} = \frac{v_g(t)^2}{R_{eff}} \quad (2.52)$$

donde  $R_{eff}$  representa el paralelo de la resistencia de carga equivalente  $R_e$  y la resistencia ficticia  $R_f$ .

$$R_{eff} = \frac{R_e R_f}{R_e + R_f} \quad (2.53)$$

Por otro lado, si desarrollamos 2.52 vemos que está formada por dos términos (Fig. 2.26), uno de continua ( $V_g^2/R_{eff}$ ), y otro del doble de la frecuencia de red ( $V_g^2/R_{eff} \cdot \cos(2\omega t)$ ).

$$P_{total} = \frac{V_g^2}{R_{eff}}(1 - \cos(2\omega t)) \quad (2.54)$$

Promediando a lo largo de la mitad de un periodo de red y teniendo en cuenta el

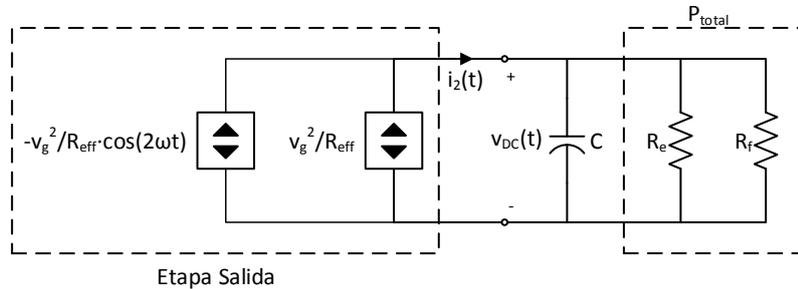


Figura 2.26: Puerto de salida de un rectificador ideal

reducido ancho de banda del lazo de tensión para evitar distorsiones en la corriente de red así como la labor de filtrado del condensador de salida del convertidor, se elimina el término cuya frecuencia es el doble de la frecuencia de línea para obtener el parámetro a controlar (Fig. 2.27), de tal forma que  $P_{total} = \langle P_{total} \rangle_{T2L}$ .

$$P_{total} = \frac{V_g^2}{R_{eff}} \quad (2.55)$$

De la Fig. 2.27 se tiene que:

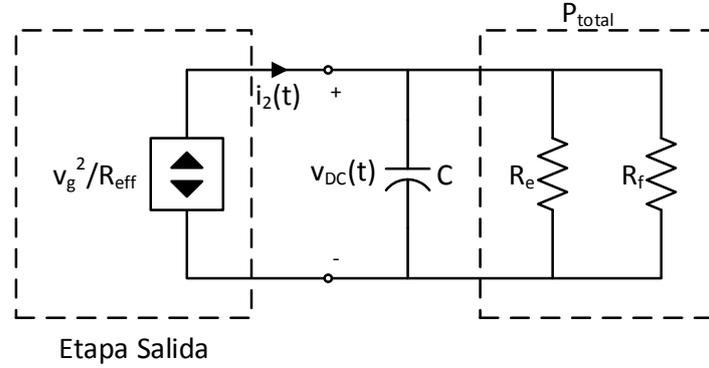


Figura 2.27: Puerto de salida de un rectificador ideal

$$\langle P_{total} \rangle_{T2L} = P_{total} = \langle i_2 \rangle_{T2L} \cdot \langle V_{DC} \rangle_{T2L} \quad (2.56)$$

donde  $\langle \rangle_{T2L}$  representa el promediado a lo largo de un semiperiodo de línea. Combinando 2.55 y 2.56 nos queda:

$$\frac{V_g^2}{R_{eff}} = \langle i_2 \rangle_{T2L} \cdot \langle V_{DC} \rangle_{T2L} \quad (2.57)$$

Como ya se habían eliminado los componentes armónicos de la expresión de 2.55, la expresión anterior se puede reescribir como:

$$i_2 = \frac{V_g^2}{R_{eff} V_{DC}} \quad (2.58)$$

El circuito de la Fig. 2.27 es invariante en el tiempo pero sigue siendo no lineal. Por lo tanto, hay que linealizarlo en torno a un punto de operación y para ello se utilizarán las siguientes variables:

$$\begin{aligned} V_g &= \overline{V_g} + \hat{v}_g \\ V_0 &= \overline{V_0} + \hat{v}_0 \\ V_M &= \overline{V_M} + \hat{v}_M \\ i_2 &= \overline{i_2} + \hat{i}_2 \end{aligned} \quad (2.59)$$

Asumiendo que la amplitud de la tensión de línea es constante,  $\hat{v}_g = 0$  y desarrollando en serie de Taylor la expresión 2.58, nos queda la siguiente expresión:

$$\hat{i}_2 = \frac{\partial i_2}{\partial v_0} \hat{v}_0 + \frac{\partial i_2}{\partial v_M} \hat{v}_M + \underbrace{\frac{\partial i_2}{\partial v_g} \hat{v}_g}_0 \quad (2.60)$$

Analizando término a término, por un lado:

$$\frac{\partial i_2}{\partial v_0} = \frac{-V_g^2}{R_{eff} V_0^2} = -\frac{1}{r_2} \quad (2.61)$$

y por otro lado, utilizando la regla de la cadena:

$$\left. \begin{aligned} \frac{\partial i_2}{\partial v_M} &= \frac{\partial i_2}{\partial R_{eff}} \frac{\partial R_{eff}}{\partial v_M} \\ \frac{\partial i_2}{\partial R_{eff}} &= -\frac{V_g^2}{R_{eff}^2 V_0} \\ \frac{\partial R_{eff}}{\partial v_M} &= \frac{\partial}{\partial v_M} \left( \frac{R_g V_0}{v_M} \right) \end{aligned} \right\} \Rightarrow \frac{\partial i_2}{\partial v_M} = \frac{P_{total}}{V_{DC} V_M} = j_2 \quad (2.62)$$

Substituyendo 2.61 y 2.62 en 2.60 nos queda:

$$\hat{i}_2 = -\frac{1}{r_2} \hat{v}_0 + j_2 \hat{v}_M \quad (2.63)$$

cuyo resultado interpretado gráficamente se incluye en la Fig. 2.28. Utilizando la

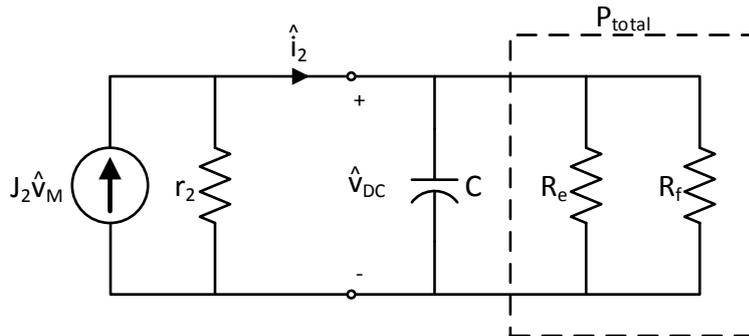


Figura 2.28: Modelo de pequeña señal del rectificador PFC modificado

expresión de  $r_2$  se observa que ésta es una resistencia que disipa potencia negativa

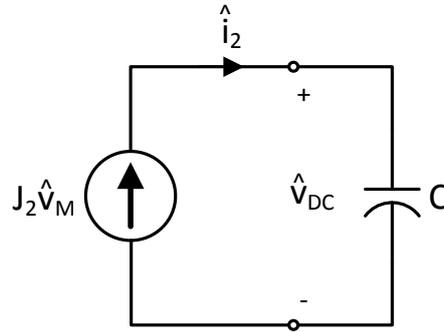


Figura 2.29: Modelo de pequeña señal del rectificador PFC simplificado

(genera potencia) de valor igual a la potencia total consumida por la carga  $P_{total}$ . Siendo así, la Fig. 2.28 se simplifica quedando el circuito mostrado en la Fig. 2.29. Por lo tanto, teniendo en cuenta el resultado mostrado en dicha figura, queda que:

$$G_{CV} = \frac{V_0(s)}{V_M(s)} = \frac{P_{total}}{V_0 V_M C s} \quad (2.64)$$

Una vez conocido el modelo de la planta, teniendo en cuenta el esquema de control mostrado en la Fig. 2.30, se pasa a diseñar el regulador PI para el lazo de tensión, cuya función de transferencia se muestra a continuación:

$$G_{PI} = K_P + \frac{K_I}{s} \quad (2.65)$$

Multiplicando la función de transferencia obtenida en 2.64 por la ganancia del sensor de tensión  $K_V$ , queda:

$$A_1 = K_V \frac{P_{total}}{V_0 V_M C} \quad (2.66)$$

El cruce por cero de la curva de ganancia se produce a la frecuencia  $\omega = A_1 [rad/s]$ . Buscando una frecuencia de corte  $F_c [rad/s]$ , la ganancia  $K_P$  del regulador PI será:

$$K_P = \frac{2\pi F_c}{A_1} \quad (2.67)$$

Sabemos que el regulador PI debe ser lo más rápido posible, por lo que se utilizará un margen de fase de únicamente  $45^\circ$ . Para obtener dicho margen de fase hay que situar en  $F_c$  un cero invertido:

$$K_I = 2\pi F_c K_P \quad (2.68)$$

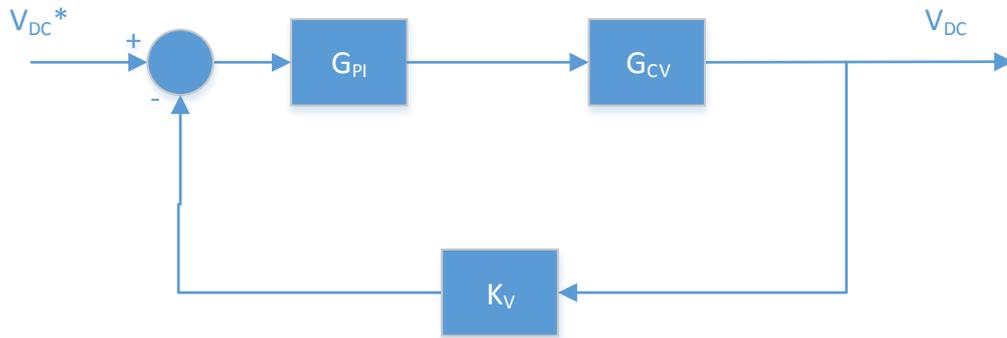


Figura 2.30: Diagrama de bloques del lazo de tensión

En la Fig. 2.31 se muestra la respuesta en frecuencia del sistema sin compensar y del sistema compensado.

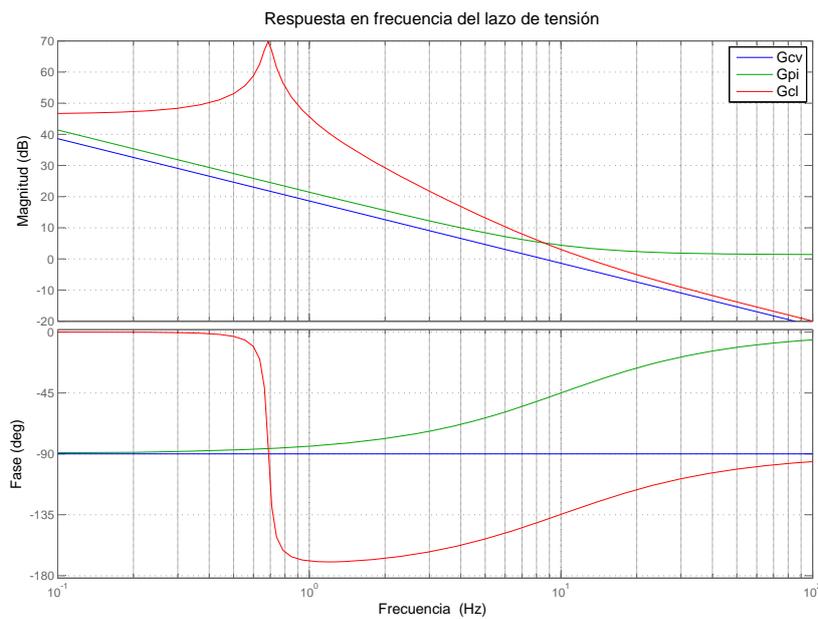


Figura 2.31: Respuesta en frecuencia de la función de transferencia de la planta ( $G_{CV}$ ), del controlador ( $G_{PI}$ ) y del conjunto controlador/planta/sensor ( $G_{CL}$ )

## 2.6. Reconstrucción de corriente

La principal aportación que se presenta en este trabajo es la realización de un controlador de corrección de factor de potencia bidireccional en el cual, la intensidad de entrada es controlada sin necesidad de ser medida [25, 5]. En su lugar, la intensidad de entrada del convertidor es estimada digitalmente a partir de los valores digitales de las tensiones de entrada ( $v_g$ ) y de salida ( $v_{DC}$ ) obtenidos en los ADC  $\Sigma - \Delta$ . Recordando de 2.1 y de los diferentes estados posibles del convertidor incluidos en la Tabla 2.1, conocemos en cada momento la tensión aplicada a la bobina. Por otro lado, también conocemos la función de transferencia de las bobinas empleadas en el convertidor, utilizando el modelo equivalente de inductancia más resistencia en serie, como se puede comprobar en la Fig. 2.32.



Figura 2.32: Modelo equivalente de la bobina

Para determinar los valores de  $L$  y  $R$  asociados a la inductancia, se ha hecho uso de un LCR (HP 4284A). Los valores arrojados por dicho instrumento de medida son:

- $L = 495\mu H$
- $R_L = 0,5\Omega$

La ecuación que relaciona tensión y corriente en una bobina cuyo modelo equivalente es el de la Fig. 2.32 se muestra a continuación:

$$v_L(t) = L \frac{di_L(t)}{dt} + R_L i_L(t) \quad (2.69)$$

que se convierte en 2.70 al aplicar la transformada de Laplace:

$$Y_L(s) = \frac{I_L(s)}{V_L(s)} = \frac{1}{Ls + R_L} \quad (2.70)$$

o, utilizando una expresión de baja entropía:

$$Y_L(s) = \frac{1}{R_L} \frac{1}{1 + s \frac{L}{R_L}} \quad (2.71)$$

Para implementar la ecuación 2.70 en un sistema digital, en este caso una FPGA, se discretiza dicha ecuación. Se ha utilizado el método 'zoh' por ser el más simple, lo que resulta, utilizando un tiempo de muestreo de  $T_s = 1 \cdot 10^{-8}[s]$ , en la siguiente función de transferencia:

$$Y_L(z) = \frac{1,101 \cdot 10^{-5} \cdot z^{-1}}{1 - 0,999989899 \cdot z^{-1}} \quad (2.72)$$

A la salida de dicha función de transferencia se obtiene el valor de la corriente reconstruida internamente  $i_{reb}$ . Solo queda substituir  $i_{reb}$  por  $i_g$  en el esquema de la Fig. 2.17 para integrar el algoritmo de reconstrucción de corriente dentro del control de corriente NLC, como se muestra en la Fig. 2.33. El resto del esquema de control de corriente queda exactamente igual que como se había explicado en el apartado 2.2.

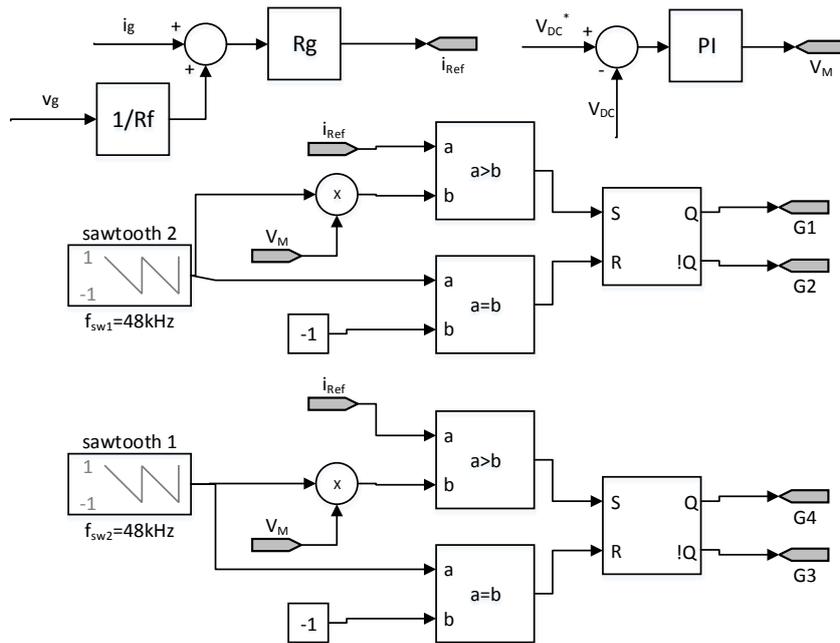


Figura 2.33: Control de corriente NLC modificado utilizando reconstrucción de corriente



# Capítulo 3

## Implementación y Resultados Experimentales

### Contenido

---

3.1 Implementación . . . . .	53
3.2 Resultados Experimentales . . . . .	57

---

### 3.1. Implementación

El trabajo desarrollado está basado principalmente en dos componentes que, como se representa en la Fig. 3.1, son el convertidor Full-Bridge por un lado y la FPGA para la implementación del algoritmo de control por otro.

El convertidor Full-Bridge utilizado se muestra en la fotografía de la Fig. 3.2a. Dicho convertidor se ha desarrollado totalmente por el autor en el laboratorio de electrónica de potencia. Siendo así, todos sus componentes son elegidos con las características deseadas teniendo en cuenta su valor económico y sus prestaciones. En la Tabla 3.1 se enumeran los principales componentes necesarios para la realización del mismo.

La medida de la **tensión de red** ( $v_g$ ) se acondiciona con los siguientes componentes (ver Tabla 3.1):

1. Trafo de aislamiento
2. Divisor de tensión resistivo
3. Conversor AD  $\Sigma\Delta$

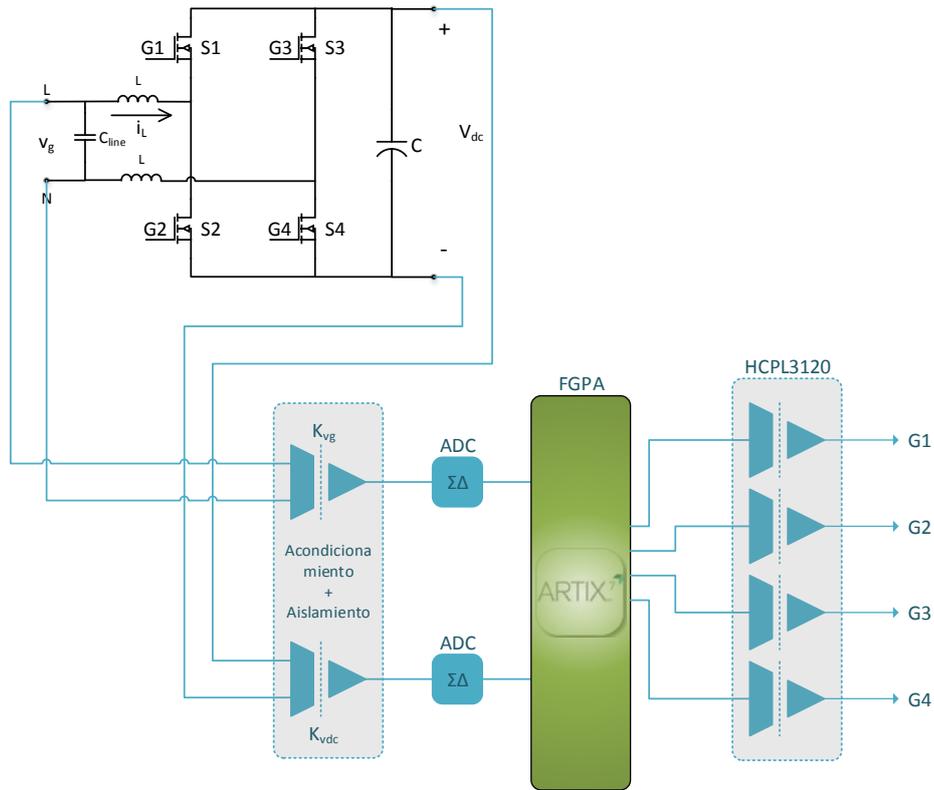


Figura 3.1: Esquema de conexionado del prototipo de laboratorio

El sensado de la **tensión del bus DC** ( $V_{DC}$ ) es ligeramente diferente. Debido a que se trata de una señal eminentemente continua, no se puede utilizar un transformador como elemento de aislamiento. Por ello, se hace uso de sensores de efecto Hall, que tiene un ancho de banda desde DC hasta centenas de kilohertzios y que proporciona aislamiento eléctrico de la misma forma que lo hace un transformador. El principal inconveniente es su alto precio así como el acondicionamiento ya que necesita de una fuente de alimentación bipolar. La decisión de incluir tal solución en el prototipo se debe a que dicho prototipo sirva también para pruebas de laboratorio a mayor tensión donde no es suficiente la capacidad de aislamiento que aporta el ADC. De forma similar, se enumeran a continuación los componentes necesarios:

1. Sensor efecto Hall
2. Divisor de tensión resistivo
3. Conversor AD  $\Sigma\Delta$

Componente	Descripción
MOSFET	IXYS - IXFH24N80P
Driver MOSFET	Avago - HCPL 3120
ADC	Avago - ACPL 796J
Condensador(4x)	470 $\mu$ F, 450V
Bobina(2x)	$L = 495\mu H$
	$R_L = 0,5\Omega$
Trafos	Prim:380V,Sec:12V,2.8VA
Sensor Tensión DC	LEM - LV 25P

Tabla 3.1: Principales componentes utilizados en la elaboración del prototipo de laboratorio.

La ganancia de ambas cadenas de acondicionamiento se muestran a continuación. En primer lugar se muestra la ganancia de la medida de tensión de red  $K_{vg}$ :

$$\begin{aligned}
 K_{vg} &= \frac{1}{19,9} \frac{R2}{R1 + R2} \frac{1}{0,320} = 2,5465 \cdot 10^{-3} \\
 R1 &= 8,2k\Omega \\
 R2 &= 100\Omega
 \end{aligned} \tag{3.1}$$

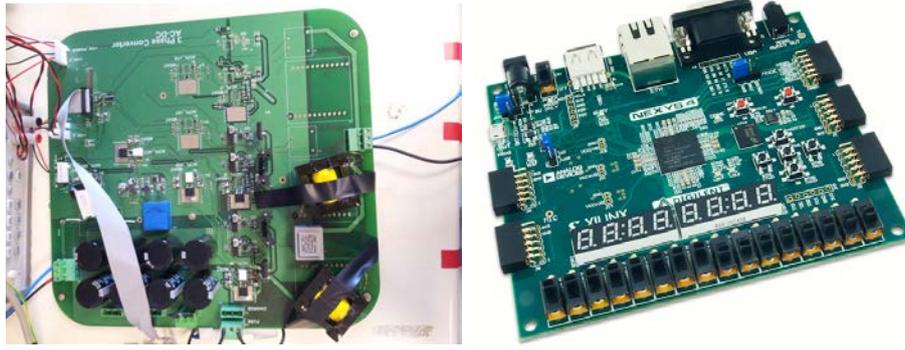
y, en segundo lugar, la ganancia de la tensión DC ( $K_{Vdc}$ ).

$$\begin{aligned}
 K_{Vdc} &= \frac{1}{50 \cdot 10^3} \frac{25 \cdot 10^{-3}}{10 \cdot 10^{-3}} R2 \frac{1}{0,320} = 7,8125 \cdot 10^{-3} \\
 R2 &= 50\Omega
 \end{aligned} \tag{3.2}$$

El otro componente fundamental para la obtención de resultados experimentales es el dispositivo digital en el que se implementará el algoritmo de control. En este caso se trata de un kit de desarrollo basado en la FPGA de Xilinx *Artix-7* (Fig. 3.2b). El algoritmo de control, explicado mediante diagrama de bloques, sería el que se puede ver en la Fig. 3.3. El bloque *CIC*, o *Cascaded Integrator-Comb Filter* es un filtro digital FIR (*Finite Impulse Response*) que filtra señales provenientes de un ADC  $\Sigma\Delta$  y, además del filtrado, realiza también la función de *downsampling*. La ganancia en la banda de paso del mismo viene dado por:

$$G = (R \cdot M)^N \tag{3.3}$$

donde  $R$  representa el factor de diezmado,  $M$  representa el número de retardos de cada etapa y  $N$  el número de integradores [102]. En este caso concreto se incluyen



(a) Foto del convertidor utilizado en el laboratorio (b) FPGA utilizada para la implementación del algoritmo de control

Figura 3.2: Setup utilizado en el laboratorio

dos filtros. Por un lado tenemos el filtro CIC de la tensión de red, cuya ganancia es:

$$G_{CIC,v_g} = (R \cdot M)^N = (256 \cdot 1)^3 = 2^{(8 \cdot 3)} = 2^{24} \quad (3.4)$$

y por otro, el filtro CIC de la tensión del bus DC, cuya ganancia es:

$$G_{CIC,v_{dc}} = (R \cdot M)^N = (256 \cdot 1)^3 = 2^{(8 \cdot 3)} = 2^{24} \quad (3.5)$$

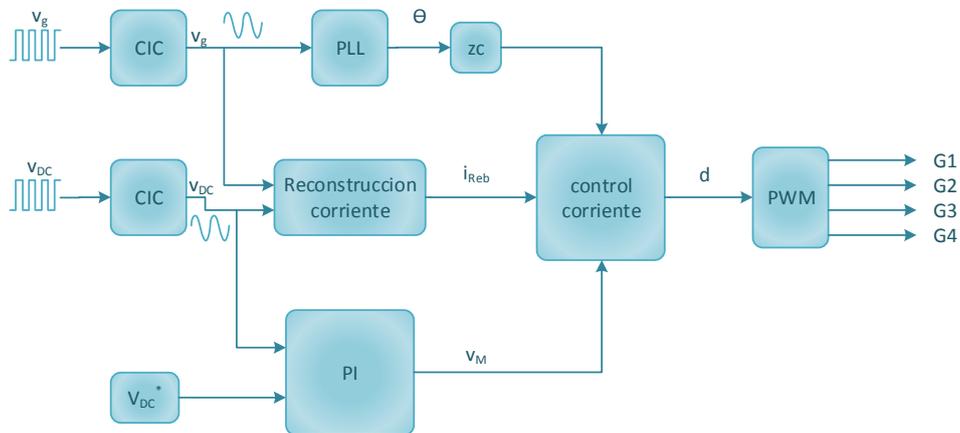


Figura 3.3: Diagrama de bloques del algoritmo de control implementado

## 3.2. Resultados Experimentales

Una vez introducido el “set-up” utilizado para la realización de los resultados experimentales, se describen los resultados. En un primer paso, se realizan una serie de simulaciones bajo las mismas condiciones teóricas (Tabla 3.2) que en las que se llevarán a cabo los resultados en hardware real.

Tensión Fuente AC ( $v_g$ )	$60V_{rms}$
Inductancia	$L = 495\mu H$
	$R_L = 0,5\Omega$
Frecuencia Red	$50Hz$
Frecuencia Conmutación	$48kHz$
Capacidad DC-Link	$470\mu F$
Tensión DC-Link	$150V$
Tensión Fuente DC	$190V$
$R_{DC}$	$100\Omega$
$R$	$500\Omega$

Tabla 3.2: Setup utilizado en el laboratorio.

Para la realización de dichas simulaciones se ha hecho uso de la plataforma Matlab/Simulink y PLECS. PLECS permite modelar circuitos eléctricos. En este caso, sirve para definir la plataforma hardware que será objeto de diferentes pruebas (convertidor full-bridge, bobinas de filtrado de corriente de línea, condensadores de filtrado de la tensión DC, carga, etc) como se puede ver en la Fig. 3.4.

De la misma forma, Simulink permite describir el algoritmo de control. En la Fig. 3.5 se incluye un diagrama de bloques que representa de forma muy abreviada dicho algoritmo.

Entre ambos modelos se intercambia el valor de una serie de variables. Así, del convertidor es necesario leer la tensión de entrada y de salida ( $v_g$  y  $V_{DC}$  respectivamente). Se lee también la corriente por la bobina, pero con la única finalidad de comparar el valor real de la corriente con el valor reconstruido internamente mediante el algoritmo. Por otro lado, del algoritmo de control hacia el convertidor se envían cuatro señales, que son las de puerta para actuar sobre los dispositivos semiconductores.

El resultado de la simulación del comportamiento del convertidor y control propuesto ante un transitorio desde operación como rectificador a operación como inversor se puede ver en la Fig. 3.6. Inicialmente, el convertidor empieza funcionando como rectificador. Debido a que se trata del arranque de todo el sistema (algoritmo sin inicializar, tensión del bus DC no estable, etc) existe un pequeño transitorio al

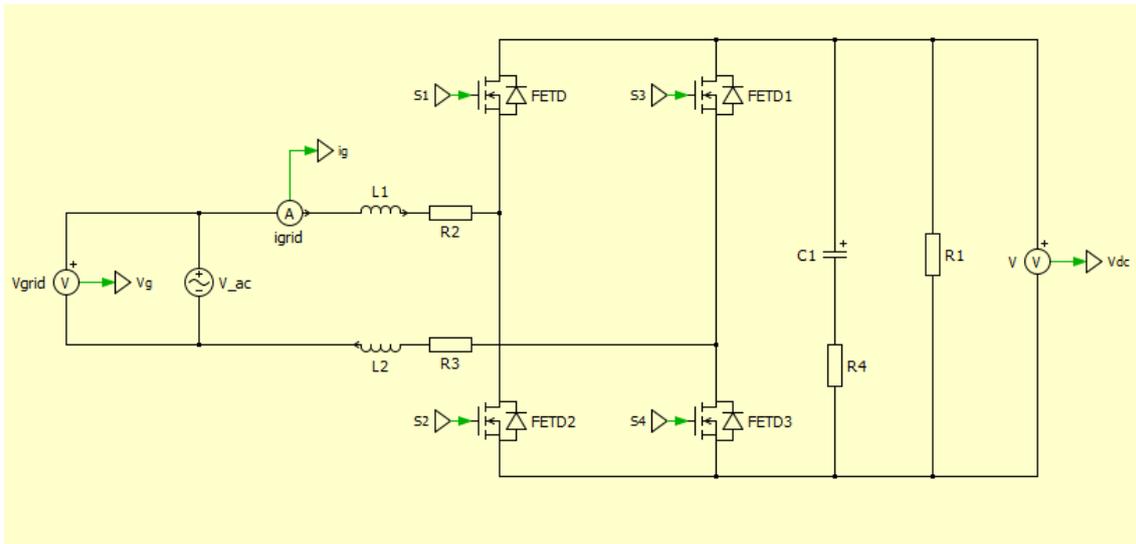


Figura 3.4: Modelo PLECS utilizado para la realización de simulaciones

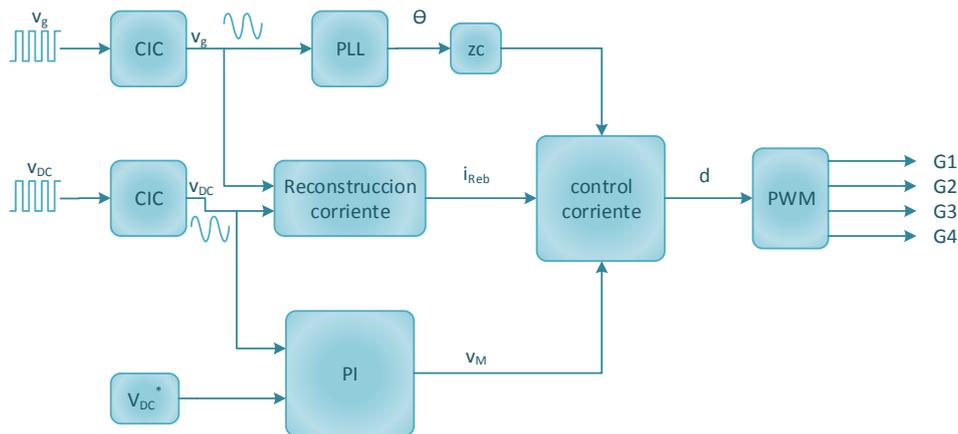


Figura 3.5: Diagrama de bloques del algoritmo de control implementado

inicio de la simulación. Una vez superado dicho transitorio, la tensión de red y la corriente de red deben de estar en fase. Cuando la tensión de salida y la corriente de red se han estabilizado, se realiza un cambio en el sentido del flujo de la potencia de tal forma que el convertidor trabaje como inversor. Eso sucede en la Fig. 3.6 a los 0.25s. El tiempo capturado es bajo debido a que dichas simulaciones tienen una carga computacional muy elevada.

Una vez verificado mediante simulaciones el buen comportamiento del modelo, se pasa a la implementación del mismo en la FPGA para la realización de pruebas

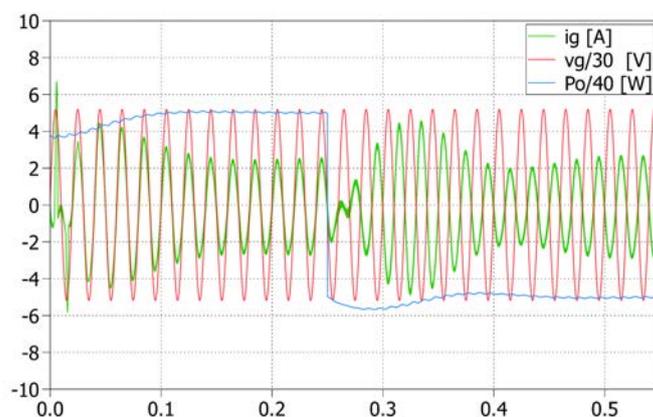


Figura 3.6: Simulación del algoritmo de control usando MATLAB/Simulink y PLECS

sobre el convertidor real (Fig. 3.2a). La dificultad de dicha implementación radica en demostrar la capacidad de controlar flujo de potencia bidireccional en un transitorio. Para elaborar la experiencia se han utilizado dos fuentes de alimentación (Tabla 3.3), una funcionando como generadora y otra como carga.

Fuente DC	Pacific 345-AMX
Fuente AC	Agilent 6813B

Tabla 3.3: Fuentes de alimentación utilizadas en la realización de las pruebas de laboratorio

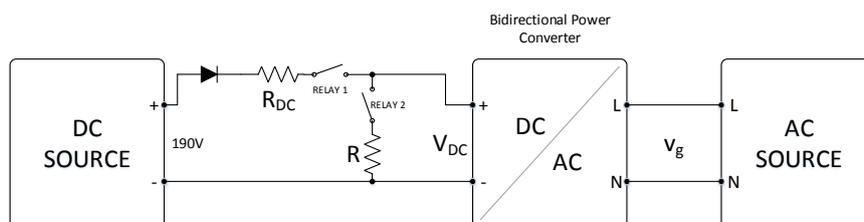


Figura 3.7: Conexión de las fuentes y la carga al convertidor

El diagrama de conexión de todo el setup se puede ver en la Fig. 3.7. A continuación se explica la configuración utilizada:

- En primer lugar, al igual que en la simulación, la potencia circula de la fuente de AC a la carga. Para ello, el relé *Relay1* está abierto mientras que el relé

*Relay2* se cierra. El resultado de dicho punto de trabajo se puede ver en la Fig. 3.8.

- En segundo lugar, y por motivos de seguridad, se hace trabajar al convertidor sin carga abriendo ambos relés (*Relay1* y *Relay2* en la Fig. 3.1). Esto se debe a la dificultad para pasar de rectificador a inversor en un solo paso desde el punto de vista de la seguridad para las fuentes de alimentación. El resultado de dicho estado se muestra en la Fig. 3.9.
- En un tercer paso, el convertidor trabaja como inversor. Para ello, se cierra el relé *Relay1* y se deja abierto el relé *Relay2*. El resultado se puede ver en la Fig. 3.10.

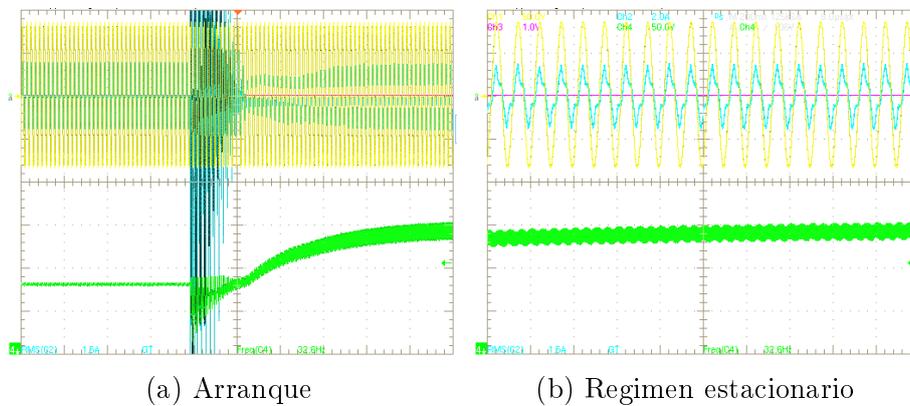


Figura 3.8: Convertidor funcionando como rectificador: amarillo (tensión de red  $v_g$ , 50V/div), azul (corriente de red  $i_g$ , 2A/div), verde (tensión bus DC  $V_{DC}$ , 50V/div). Escala de tiempos: a) 200ms/div, b) 40ms/div

Finalmente, con el fin de verificar que el algoritmo cumple con la normativa EN 61000-3-2 cuando este está funcionando como rectificador, se ha hecho un análisis de armónicos. Para ello se ha usado una aplicación incluida en el osciloscopio usado que permite seleccionar la normativa que aplica (EN 61000-3-2) y comprobar si el PFC está funcionando dentro de los límites marcados por la misma. En la Fig. 3.11 se incluye una captura de pantalla con los resultados arrojados por la misma.

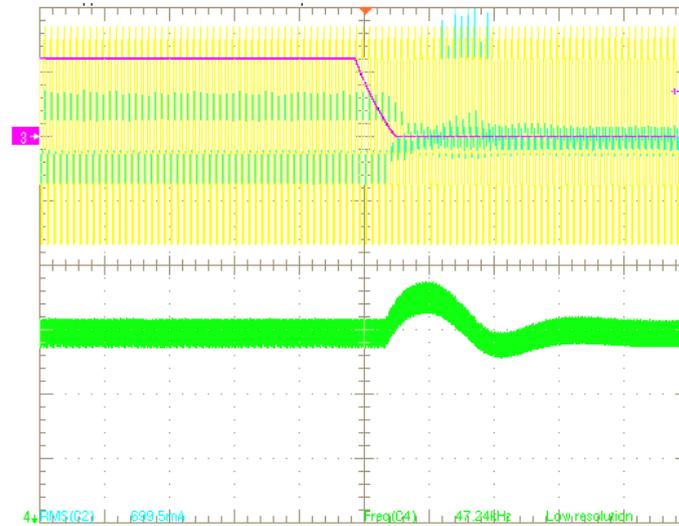
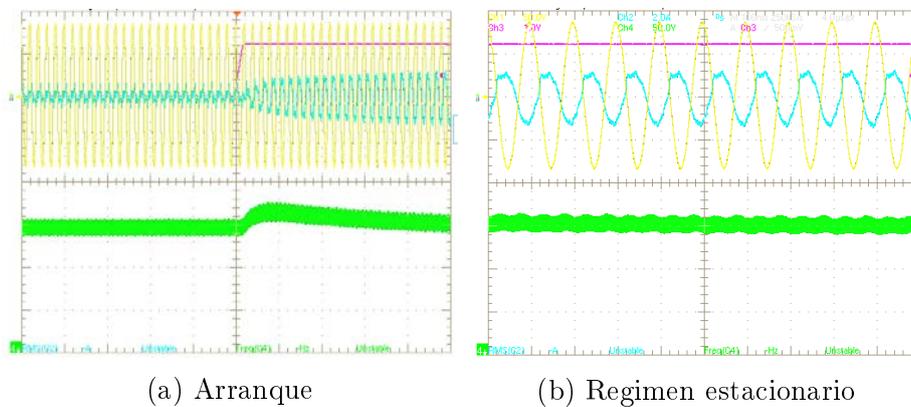


Figura 3.9: Transitorio de carga  $R = 500\Omega$  a sin carga ( $R = \infty$ ): amarillo (tensión de red  $v_g$ , 50V/div), azul (corriente de red  $i_g$ , 2A/div), verde (tensión bus DC  $V_{DC}$ , 50V/div). Escala de tiempos: 200ms/div



(a) Arranque

(b) Regimen estacionario

Figura 3.10: Convertidor funcionando como inversor: amarillo (tensión de red  $v_g$ , 50V/div), azul (corriente de red  $i_g$ , 2A/div), verde (tensión bus DC  $V_{DC}$ , 50V/div). Escala de tiempos: a)100ms/div, b) 20ms/div

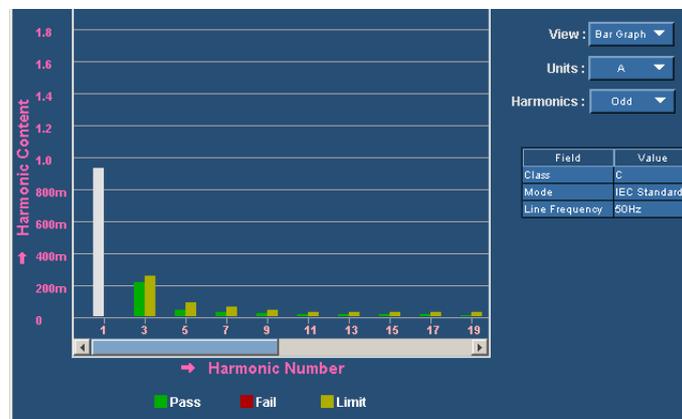


Figura 3.11: Contenido armónico de la corriente demandada de la red por el convertidor comparada con la norma EN 61000-3-2 Clase C.

## Parte III

# Conclusiones, Resumen de Aportaciones, Líneas Futuras de Investigación y Publicaciones Relacionadas



# Capítulo 4

## Conclusiones, Resumen de Contribuciones y Líneas Futuras de Investigación

### Contenido

---

4.1	Conclusiones . . . . .	65
4.2	Resumen de Aportaciones . . . . .	66
4.3	Líneas Futuras de Investigación . . . . .	67
4.4	Publicaciones relacionadas . . . . .	67

---

### 4.1. Conclusiones

En el presente trabajo se presenta un controlador de corrector de factor de potencia bidireccional digital que prescinde del sensor de intensidad de entrada. En su lugar, ésta es reconstruida digitalmente a partir de las muestras de tensión de entrada y de salida del convertidor

La estimación de la intensidad, conlleva eliminar tanto el sensor como el ADC; mientras que se añade una descripción del modelo de convertidor para la estimación de la intensidad a partir de las muestras de tensión. En resumen, se está cambiando un sensor y un ADC por una descripción de un modelo que se implementa en un dispositivo digital.

Se han presentado la técnica de control no lineal utilizada y el algoritmo de estimación o reconstrucción de la intensidad de entrada. En este caso, la imple-

mentación digital se realiza en una FPGA utilizando *System Generator*. Se presenta la descripción, el modelado y simulación del sistema utilizando las herramientas MATLAB/Simulink y PLECS.

Se han presentado resultados experimentales en diferentes condiciones de trabajo. Los resultados experimentales muestran el correcto funcionamiento de la estimación de la intensidad de entrada, y un control correcto de corrección de factor de potencia. Se consiguen valores de factor de potencia elevados, a pesar de no realizar medida de la intensidad de entrada.

Los resultados obtenidos se comparan con los límites de armónicos de intensidad que establece la norma EN-61000-3-2 para equipos de clase C (la más restrictiva). En todos los casos, los armónicos de la intensidad son menores a esos límites y por tanto se cumple la norma. El desarrollo de esta técnica de control presenta su principal ventaja cuando el corrector de factor de potencia alimenta a una segunda etapa donde el convertidor está controlado también digitalmente. En ese caso, si en el controlador digital se puede implementar un bloque que controla el corrector de factor de potencia sin medida de intensidad, se están eliminando tanto el sensor como el ADC por un dispositivo digital ya existente, donde se añade el algoritmo de PFC. Ejemplos de cargas eléctricas o electrónicas de aplicación industrial que utilicen circuitos digitales para el control de su alimentación pueden ser las fuentes de alimentación para equipos de soldadura, los balastos que alimentan a lámparas de descarga, fuentes de alimentación para equipos de electroerosión o mecanizado.

## 4.2. Resumen de Aportaciones

Se resumen a continuación las aportaciones innovadoras realizadas a lo largo del trabajo aquí presentado:

- Corrección de factor de potencia sin sensor de corriente de entrada aplicado a topologías full-bridge con capacidad de obtener flujo de potencia en ambas direcciones AC/DC y DC/AC
- Utilización de PLL para una detección más precisa del cruce por cero de la tensión de red
- Utilización de modulación unipolar en convertidores full-bridge sin sensor de corriente y control NLC

### 4.3. Líneas Futuras de Investigación

Tras el trabajo aquí presentado, se indican a continuación diferentes líneas futuras de trabajo que se pueden llevar a cabo para la mejora del mismo, dando lugar a una futura tesis:

- Identificación y compensación de errores de estimación de forma dinámica. Algunos de los errores ya han sido identificados: resistencia serie en dispositivos semiconductores, bobinas, etc, no linealidades en bobinas, ADC, etc. Sin embargo, dichos errores se han compensado satisfactoriamente en un punto determinado de operación
- Mejoras en el control relativo a la sincronización con red. Al tratarse de un esquema bidireccional, el convertidor puede funcionar también como inversor. Teniendo esto en cuenta y la estricta normativa en cuanto a sincronización con red en sistemas que inyectan potencia, hacen necesario la dedicación de un gran esfuerzo a la mejora de esta etapa.
- Utilizar este control en otras topologías: se ha presentado el control sin medida de intensidad para el convertidor elevador monofásico. Se espera que pequeñas modificaciones en el algoritmo de control NLC pueden hacer esta técnica aplicable a sistemas multifase como el rectificador Vienna, puente trifásico, etc.
- Mejoras en el algoritmo de control NLC de tal forma que el ciclo de trabajo dependa del valor medio de la corriente en lugar del valor de pico de la misma
- Aplicación de dicho esquema a normativas más restrictivas en lo que a armónicos se refiere, como es el caso de aviónica
- Extender el concepto aquí propuesto a topologías *bridgeless*

### 4.4. Publicaciones relacionadas

Este trabajo fin de máster ha permitido publicar dos artículos de congreso. El primero de ellos es un congreso internacional mientras que el segundo es un congreso nacional.

- F. Lopez, A. Pigazo, and F.J. Azcondo. Bidirectional current-sensorless high power factor corrector. In *Power Conversion and Intelligent Motion (PCIM) Europe*, 2015

- F. Lopez, A. Pigazo, and F.J. Azcondo. Input current sensorless bridgeless pfc converter. In *Seminario Anual de Automática, Electrónica Industrial e Instrumentación 2015 (SAAEI15)*, 2015

Así mismo, se ha enviado un artículo a la revista *IEEE Transactions on Industrial Electronics*, el cual se encuentra en revisión.

- V.M. Lopez-Martin, F. Lopez, and F.J. Azcondo. Current Sensorless Low TH-Di Front-End Stage in Aircraft Electric Power Systems. *Industrial Electronics, IEEE Transactions on*, 2016

# Bibliografía

- [1] D.M. Said, K.M. Nor, and M.S. Majid. Analysis of distribution transformer losses and life expectancy using measured harmonic data. In *Harmonics and Quality of Power (ICHQP), 2010 14th International Conference on*, pages 1–6, 2010.
- [2] M. Yazdani-Asrami, M. Mirzaie, and A.A.S. Akmal. Investigation on impact of current harmonic contents on the distribution transformer losses and remaining life. In *Power and Energy (PECon), 2010 IEEE International Conference on*, pages 689–694, 2010.
- [3] O. Garcia, J.A. Cobos, R. Prieto, P. Alou, and J. Uceda. Single phase power factor correction: a survey. 18(3):749–755, 2003.
- [4] B. Singh, B.N. Singh, A. Chandra, K. Al-Haddad, A. Pandey, and D.P. Kothari. A review of single-phase improved power quality AC-DC converters. 50(5):962–981, 2003.
- [5] F. Javier Azcondo, A. de Castro, V.M. Lopez, and O. Garcia. Power factor correction without current sensor based on digital current rebuilding. 25(6):1527–1536, 2010.
- [6] L. Huber, Yungtaek Jang, and M.M. Jovanovic. Performance evaluation of bridgeless pfc boost rectifiers. 23(3):1381–1390, 2008.
- [7] K. Masumoto, K. Shi, M. Shoyama, and S. Tomioka. Comparative study on efficiency and switching noise of bridgeless pfc circuits. In *Power Electronics and Drive Systems (PEDS), 2013 IEEE 10th International Conference on*, pages 613–618, 2013.
- [8] T.K.A. Brekken, A. Yokochi, A. von Jouanne, Z.Z. Yen, H.M. Hapke, and D.A. Halamay. Optimal energy storage sizing and control for wind power applications. *IEEE Transactions on Sustainable Energy*, 2(1):69–77, 2011.

- [9] S. Dutta and R. Sharma. Optimal storage sizing for integrating wind and load forecast uncertainties. In *Innovative Smart Grid Technologies (ISGT), 2012 IEEE PES*, pages 1–7, 2012.
- [10] Y. Makarov, Pengwei Du, M.C.W. Kintner-Meyer, Chunlian Jin, and H. Illian. Optimal size of energy storage to accommodate high penetration of renewable resources in wecc system. In *Innovative Smart Grid Technologies (ISGT), 2010*, pages 1–5, 2010.
- [11] P. Medina, A.W. Bizuayehu, J.P.S. Catalao, E.M.G. Rodrigues, and J. Contreras. Electrical energy storage systems: Technologies’ state-of-the-art, techno-economic benefits and applications analysis. In *System Sciences (HICSS), 2014 47th Hawaii International Conference on*, pages 2295–2304, 2014.
- [12] H. Pandzic, Y. Wang, T. Qiu, Y. Dvorkin, and D.S. Kirschen. Near-optimal method for siting and sizing of distributed storage in a transmission network. to be published. Early Access.
- [13] Z.O. Olaofe and K.A. Folly. Energy storage technologies for small scale wind conversion system. In *Power Electronics and Machines in Wind Applications (PEMWA), 2012 IEEE*, pages 1–5, 2012.
- [14] H. Ibrahim, A. Ilinca, and J. Perron. Comparison and analysis of different energy storage techniques based on their performance index. In *Electrical Power Conference, 2007. EPC 2007. IEEE Canada*, pages 393–398, 2007.
- [15] Ned Mohan, Tore M. Undeland, and William P. Robbins. *Power Electronics: Converters, Applications, and Design*. Wiley, 2002.
- [16] Koen De Gusseme, David M. Van de Sype, A.P.M. Van den Bossche, and J.A. Melkebeek. Input-current distortion of ccm boost pfc converters operated in dcm. *Industrial Electronics, IEEE Transactions on*, 54(2):858–865, April 2007.
- [17] F. Jauch and J. Biela. Single-phase single-stage bidirectional isolated ZVS AC-DC converter with pfc. In *Power Electronics and Motion Control Conference (EPE/PEMC), 2012 15th International*, 2012.
- [18] Tao Qi, Lei Xing, and Jian Sun. Dual-boost pfc converter control without input current sensing. In *Applied Power Electronics Conference and Exposition, 2009. APEC 2009. Twenty-Fourth Annual IEEE*, pages 1855–1861, 2009.
- [19] M. Reddig, Wenqi Zhou, and M. Schlenk. True bridgeless pfc - stages with advanced current measuring circuit. In *Telecommunications Energy Conference (INTELEC), 2011 IEEE 33rd International*, pages 1–6, 2011.

- [20] Chien-Ming Wang. A novel ZCS-PWM power-factor preregulator with reduced conduction losses. *52(3):689–700*, 2005.
- [21] A.P. Finazzi, L.C. de Freitas, Jr. Vieira, J.B., E.A.A. Coelho, V.J. Farias, and L.C.G. Freitas. Current-sensorless pfc boost converter with preprogrammed control strategy. In *Industrial Electronics (ISIE), 2011 IEEE International Symposium on*, pages 182–187, June 2011.
- [22] A. Garcia, A. de Castro, O. Garcia, and F.J. Azcondo. Pre-calculated duty cycle control implemented in fpga for power factor correction. In *Industrial Electronics, 2009. IECON '09. 35th Annual Conference of IEEE*, pages 2955–2960, Nov 2009.
- [23] A. Sanchez, A. de Castro, V.M. Lopez, F.J. Azcondo, and J. Garrido. Single adc digital pfc controller using precalculated duty cycles. *Power Electronics, IEEE Transactions on*, 29(2):996–1005, Feb 2014.
- [24] F. Lopez-Colino, A. Sanchez, G. Alvarez, A. de Castro, and J. Garrido. Handling input voltage frequency variations in power factor correctors with pre-calculated duty cycles. In *Control and Modeling for Power Electronics (COMPEL), 2014 IEEE 15th Workshop on*, pages 1–5, June 2014.
- [25] V.M. Lopez, F.J. Azcondo, A. de Castro, and R. Zane. Universal digital controller for boost ccm power factor correction stages based on current rebuilding concept. *Power Electronics, IEEE Transactions on*, 29(7):3818–3829, July 2014.
- [26] Hung-Chi Chen. Single-loop current sensorless control for single-phase boost-type smr. *Power Electronics, IEEE Transactions on*, 24(1):163–171, Jan 2009.
- [27] Hung-Chi Chen, Chih-Chieh Lin, and Jhen-Yu Liao. Modified single-loop current sensorless control for single-phase boost-type smr with distorted input voltage. *Power Electronics, IEEE Transactions on*, 26(5):1322–1328, May 2011.
- [28] Hung-Chi Chen, Chao-Chiang Chung, Jhen-Yu Liao, and Sheng-Yang Yu. Input current control for bridgeless pfc converter without sensing current. In *Applied Power Electronics Conference and Exposition (APEC), 2014 Twenty-Ninth Annual IEEE*, pages 1821–1826, March 2014.
- [29] J.W. Kimball and P.T. Krein. A current-sensorless digital controller for active power factor correction control based on kalman filters. In *Applied Power Electronics Conference and Exposition, 2008. APEC 2008. Twenty-Third Annual IEEE*, pages 1328–1333, Feb 2008.

- [30] A. Roman-Loera, L.A. Flores, F. de J.Rizo-Diaz, and L.E. Arambula-Miranda. Current sensorless predictive algorithm control for three-phase power factor correction. In *Industrial Electronics, 2008. IECON 2008. 34th Annual Conference of IEEE*, pages 653–658, Nov 2008.
- [31] N. Genc, I. Iskender, and M.A. Celik. Application of interleaved bridgeless boost pfc converter without current sensing. In *Power Engineering and Optimization Conference (PEOCO), 2014 IEEE 8th International*, pages 1–6, March 2014.
- [32] M. Pahlevani, Shangzhi Pan, S. Eren, A. Bakhshai, and P. Jain. An adaptive nonlinear current observer for boost pfc ac/dc converters. *Industrial Electronics, IEEE Transactions on*, 61(12):6720–6729, Dec 2014.
- [33] J. Houseman, S. Eren, M. Pahlevani, A. Bakhshai, and P. Jain. Digital observer-based control technique for an ac/dc converter with a very fast voltage loop. In *Industrial Electronics (ISIE), 2014 IEEE 23rd International Symposium on*, pages 1342–1346, June 2014.
- [34] M.S. Agamy and P.K. Jain. A current sensorless sliding mode controller for a three level resonant single stage pfc ac/dc converter. In *Electrical and Computer Engineering, 2007. CCECE 2007. Canadian Conference on*, pages 698–701, April 2007.
- [35] G. Cimini, G. Ippoliti, G. Orlando, and M. Pirro. Current sensorless solutions for pfc of boost converters with passivity-based and sliding mode control. In *Power Engineering, Energy and Electrical Drives (POWERENG), 2013 Fourth International Conference on*, pages 1175–1180, May 2013.
- [36] D. Grahame Holmes and Thomas A. Lipo. *Pulse Width Modulation for Power Converters: Principles and Practice*. Wiley-IEEE Press, 2003.
- [37] A. Boglietti, G. Griva, M. Pastorelli, F. Profumo, and T. Adam. Different PWM modulation techniques indexes performance evaluation. In *Industrial Electronics, 1993. Conference Proceedings, ISIE'93 - Budapest., IEEE International Symposium on*, pages 193–199, 1993.
- [38] Jung-Soo Choi, Ji-Yong Yoo, Seung-Won Lim, and Young-Seok Kim. A novel dead time minimization algorithm of the PWM inverter. In *Industry Applications Conference, 1999. Thirty-Fourth IAS Annual Meeting. Conference Record of the 1999 IEEE*, volume 4, pages 2188–2193, 1999.
- [39] Lihua Chen and Fang Zheng Peng. Dead-time elimination for voltage source inverters. 23(2):574–580, 2008.

- [40] Jiaxin Yuan, Jianbin Pan, WenLi Fei, Baichao Chen, and Jiabin Jia. An immune-algorithm-based dead-time elimination PWM control strategy in a single-phase inverter. In *Applied Power Electronics Conference and Exposition (APEC), 2013 Twenty-Eighth Annual IEEE*, pages 757–764, 2013.
- [41] G. Luckjiff and I. Dobson. Hexagonal sigma-delta modulation. *Circuits and Systems I: Fundamental Theory and Applications, IEEE Transactions on*, 50(8):991–1005, Aug 2003.
- [42] R. Krishnan M. P. Kazmierkowski and F. Blaabjerg. *Control in Power Electronics: Selected Problems (Academic Press Series in Engineering)*. Academic Press, 2002.
- [43] Remus Teodorescu, Marco Liserre, and Pedro Rodríguez. *Grid Converters for Photovoltaic and Wind Power Systems*. Wiley, 2011.
- [44] L. Malesani and P. Tomasin. Pwm current control techniques of voltage source converters-a survey. In *Industrial Electronics, Control, and Instrumentation, 1993. Proceedings of the IECON '93., International Conference on*, pages 670–675 vol.2, Nov 1993.
- [45] Colin D. Schauder and Roy Caddy. Current control of voltage-source inverters for fast four-quadrant drive performance. IA-18(2):163–171, 1982.
- [46] T.M. Rowan and R.J. Kerkman. A new synchronous current regulator and an analysis of current-regulated PWM inverters. IA-22(4):678–690, 1986.
- [47] Alberto J. Pollmann. Software pulsewidth modulation for  $\mu\text{p}$  control of AC drives. IA-22(4):691–696, 1986.
- [48] W. McMurray. Modulation of the chopping frequency in DC choppers and PWM inverters having current-hysteresis controllers. IA-20(4):763–768, 1984.
- [49] A. Kawamura and Richard Hoft. Instantaneous feedback controlled PWM inverter with adaptive hysteresis. IA-20(4):769–775, 1984.
- [50] R. Wu, S.B. Dewan, and G.R. Slemon. Analysis of a PWM AC to DC voltage source converter under the predicted current control with a fixed switching frequency. 27(4):756–764, 1991.
- [51] Kalyan P. Gokhale, A. Kawamura, and R.G. Hoft. Dead beat microprocessor control of PWM inverter for sinusoidal output waveform synthesis. IA-23(5):901–910, 1987.

- [52] A. Kawamura, T. Haneyoshi, and R.G. Hoft. Deadbeat controlled PWM inverter with parameter estimation using only voltage sensor. 3(2):118–125, 1988.
- [53] Zhiguo Lu, Mingyu Wang, and Lianqing Zheng. A predictive averaged current mode control for high power factor boost rectifier. In *Electrical Machines and Systems, 2005. ICEMS 2005. Proceedings of the Eighth International Conference on*, volume 2, pages 1228–1231, 2005.
- [54] S.-P. Hsu, A. Brown, L. Rensink, and R.D. Middlebrook. Modelling and analysis of switching DC-to-DC converters in constant-frequency current-programmed mode. In *Power Electronics Specialists Conference, 1979 IEEE*, pages 284–301, 1979.
- [55] D. Maksimovic, Yungtaek Jang, and R.W. Erickson. Nonlinear-carrier control for high-power-factor boost rectifiers. *Power Electronics, IEEE Transactions on*, 11(4):578–584, Jul 1996.
- [56] K.M. Smedley and Slobodan Cuk. One-cycle control of switching converters. *Power Electronics, IEEE Transactions on*, 10(6):625–633, Nov 1995.
- [57] S. Chattopadhyay, V. Ramanarayanan, and V. Jayashankar. A predictive switching modulator for current mode control of high power factor boost rectifier. *Power Electronics, IEEE Transactions on*, 18(1):114–123, Jan 2003.
- [58] M. Castilla, J. Miret, J. Matas, L.G. de Vicua, and J.M. Guerrero. Linear current control scheme with series resonant harmonic compensator for single-phase grid-connected photovoltaic inverters. *Industrial Electronics, IEEE Transactions on*, 55(7):2724–2733, July 2008.
- [59] D.N. Zmood, D.G. Holmes, and G.H. Bode. Frequency-domain analysis of three-phase linear current regulators. *Industry Applications, IEEE Transactions on*, 37(2):601–610, Mar 2001.
- [60] M.P. Kazmierkowski and L. Malesani. Current control techniques for three-phase voltage-source pwm converters: a survey. *Industrial Electronics, IEEE Transactions on*, 45(5):691–703, Oct 1998.
- [61] Surajit Chattopadhyay, Madhuchhanda Mitra, and Samarjit Sengupta. Clarke and park transform. In *Electric Power Quality, Power Systems*, pages 89–96. Springer Netherlands, 2011.
- [62] R. Costa-Castello, R. Grino, and E. Fossas. Resonant control of a single-phase full-bridge unity power factor boost rectifier. In *Control Applications, 2007. CCA 2007. IEEE International Conference on*, pages 599–604, Oct 2007.

- [63] Ieee recommended practices and requirements for harmonic control in electrical power systems. *IEEE Std 519-1992*, pages 1–112, April 1993.
- [64] L. Malesani and P. Tenti. A novel hysteresis control method for current-controlled voltage-source PWM inverters with constant modulation frequency. 26(1):88–92, 1990.
- [65] L. Malesani, P. Mattavelli, and P. Tomasin. Improved constant-frequency hysteresis current control of vsi inverters with simple feedforward bandwidth prediction. 33(5):1194–1202, 1997.
- [66] US patent 6,348,780. *Frequency control of hysteretic power converter by adjusting hysteresis level*, Feb 2002.
- [67] US patent 6,885,175. *Fixed frequency hysteretic regulator*, April 2005.
- [68] C.N.-m. Ho, V.S.P. Cheung, and H.S.-H. Chung. Constant-frequency hysteresis current control of grid-connected vsi without bandwidth control. 24(11):2484–2495, 2009.
- [69] Dong Jiang and Fei Wang. Variable switching frequency PWM for three-phase converters based on current ripple prediction. 28(11):4951–4961, 2013.
- [70] Dong Jiang and Fei Wang. Variable switching frequency PWM for three-phase converter for loss and EMI improvement. In *Applied Power Electronics Conference and Exposition (APEC), 2012 Twenty-Seventh Annual IEEE*, pages 1576–1583, 2012.
- [71] Bo Cao and Liuchen Chang. A variable switching frequency algorithm to improve the total efficiency of single-phase grid-connected inverters. In *Applied Power Electronics Conference and Exposition (APEC), 2013 Twenty-Eighth Annual IEEE*, pages 2310–2315, 2013.
- [72] R.L. Kirlin, M.M. Bech, and A.M. Trzynadlowski. Analysis of power and power spectral density in PWM inverters with randomized switching frequency. 49(2):486–499, 2002.
- [73] Eric Stadel. *Fourier Analysis*. Wiley-Interscience, 2005.
- [74] E. Brigham. *Fast Fourier Transform and Its Applications*. Prentice Hall, 1988.
- [75] John G. Proakis and Dimitris K Manolakis. *Digital Signal Processing (4th Edition)*. Prentice Hall, 2006.

- [76] R.W. Wall. Simple methods for detecting zero crossing. In *Industrial Electronics Society, 2003. IECON '03. The 29th Annual Conference of the IEEE*, volume 3, pages 2477–2481, 2003.
- [77] O. Vainio and S.J. Ovaska. Noise reduction in zero crossing detection by predictive digital filtering. 42(1):58–62, 1995.
- [78] O. Vainio and S.J. Ovaska. Adaptive lowpass filters for zero-crossing detectors. In *IECON 02 [Industrial Electronics Society, IEEE 2002 28th Annual Conference of the]*, volume 2, pages 1483–1486, 2002.
- [79] Roland Best. *Phase Locked Loops 6/e: Design, Simulation, and Applications*. McGraw-Hill Professional, 2007.
- [80] B.A. Mather and D. Maksimovic. A simple digital power-factor correction rectifier controller. *Power Electronics, IEEE Transactions on*, 26(1):9–19, Jan 2011.
- [81] Cong-Long Nguyen and Hong-Hee Lee. Ac voltage sensorless control of battery charger system in electric vehicle applications. In *IPEC, 2012 Conference on Power Energy*, pages 515–520, Dec 2012.
- [82] Sung Min Park, Yong Duk Lee, and Sung-Yeul Park. Voltage sensorless feed-forward control of a dual boost pfc converter for battery charger applications. In *Energy Conversion Congress and Exposition (ECCE), 2011 IEEE*, pages 1376–1380, Sept 2011.
- [83] A. Prodic, Jingquan Chen, R.W. Erickson, and D. Maksimovic. Digitally controlled low-harmonic rectifier having fast dynamic responses. In *Applied Power Electronics Conference and Exposition, 2002. APEC 2002. Seventeenth Annual IEEE*, volume 1, pages 476–482 vol.1, March 2002.
- [84] Lina Guo, Youling Yu, Weisheng Xu, Zhaogen Jiang, and Xingbi Chen. A novel control technique for digital power factor correction. In *Solid-State and Integrated Circuit Technology, 2006. ICSICT '06. 8th International Conference on*, pages 2070–2072, Oct 2006.
- [85] Wanfeng Zhang, Yan-Fei Liu, and Bin Wu. A new duty cycle control strategy for power factor correction and fpga implementation. *Power Electronics, IEEE Transactions on*, 21(6):1745–1753, Nov 2006.
- [86] A. Prodic. Digital controller for high-frequency rectifiers with power factor correction suitable for on-chip implementation. In *Power Conversion Conference - Nagoya, 2007. PCC '07*, pages 1527–1531, April 2007.

- [87] W. Zhang, Guang Feng, Yan-Fei Liu, and Bin Wu. A new power factor correction (pfc) control method suitable for low cost dsp. In *Telecommunications Energy Conference, 2002. INTELEC. 24th Annual International*, pages 407–414, 2002.
- [88] J.J. Rodriguez-Andina, M.J. Moure, and M.D. Valdes. Features, design tools, and application domains of fpgas. *Industrial Electronics, IEEE Transactions on*, 54(4):1810–1823, Aug 2007.
- [89] E. Monmasson, L. Idkhajine, M.N. Cirstea, I. Bahri, A. Tisan, and M.W. Naouar. Fpgas in industrial control applications. *Industrial Informatics, IEEE Transactions on*, 7(2):224–243, May 2011.
- [90] Ying-Yu Tzou and Hau-Jean Hsu. Fpga realization of space-vector pwm control ic for three-phase pwm inverters. *Power Electronics, IEEE Transactions on*, 12(6):953–963, Nov 1997.
- [91] H. Abu-Rub, J. Guzinski, Z. Krzeminski, and H.A. Toliyat. Predictive current control of voltage-source inverters. *Industrial Electronics, IEEE Transactions on*, 51(3):585–593, June 2004.
- [92] A. de Castro, P. Zumel, O. Garcia, T. Riesgo, and J. Uceda. Concurrent and simple digital controller of an ac/dc converter with power factor correction based on an fpga. *Power Electronics, IEEE Transactions on*, 18(1):334–343, Jan 2003.
- [93] Barry Mather, B. Ramachandran, and D. Maksimovic. A digital pfc controller without input voltage sensing. In *Applied Power Electronics Conference, APEC 2007 - Twenty Second Annual IEEE*, pages 198–204, Feb 2007.
- [94] L. Roggia, F. Beltrame, J.E. Baggio, H.L. Hey, and J.R. Pinheiro. Implementation issues of a digital control system applied to a pfc boost converter. In *Industrial Electronics, 2009. IECON '09. 35th Annual Conference of IEEE*, pages 1519–1524, Nov 2009.
- [95] A.L.P. Alcalde, F.M. D'aquino, H.B. Mohr, and S.A. Mussa. Implementation of a control strategy for pfc with fpga. In *Power Electronics and Applications, 2007 European Conference on*, pages 1–9, Sept 2007.
- [96] M. Aime, G. Gateau, and T.A. Meynard. Implementation of a peak-current-control algorithm within a field-programmable gate array. *Industrial Electronics, IEEE Transactions on*, 54(1):406–418, Feb 2007.

- [97] A.-M. Lienhardt, G. Gateau, and T.A. Meynard. Digital sliding-mode observer implementation using fpga. *Industrial Electronics, IEEE Transactions on*, 54(4):1865–1875, Aug 2007.
- [98] J. Mahlein, J. Igney, J. Weigold, M. Braun, and O. Simon. Matrix converter commutation strategies with and without explicit input voltage sign measurement. *Industrial Electronics, IEEE Transactions on*, 49(2):407–414, Apr 2002.
- [99] P.W. Wheeler, J. Clare, and L. Empringham. Enhancement of matrix converter output waveform quality using minimized commutation times. *Industrial Electronics, IEEE Transactions on*, 51(1):240–244, Feb 2004.
- [100] R. Garcia-Gil, J.M. Espi, E.J. Dede, and E. Sanchis-Kilders. A bidirectional and isolated three-phase rectifier with soft-switching operation. *Industrial Electronics, IEEE Transactions on*, 52(3):765–773, June 2005.
- [101] Robert W. Erickson and Dragan Maksimovic. *Fundamentals of Power Electronics*. Springer, 2012.
- [102] V. Elamaran, R. Vaishnavi, A.M. Rozario, S.M. Joseph, and A. Cherian. Cic for decimation and interpolation using xilinx system generator. In *Communications and Signal Processing (ICCSP), 2013 International Conference on*, pages 622–626, April 2013.
- [103] F. Lopez, A. Pigazo, and F.J. Azcondo. Bidirectional current-sensorless high power factor corrector. In *Power Conversion and Intelligent Motion (PCIM) Europe*, 2015.
- [104] F. Lopez, A. Pigazo, and F.J. Azcondo. Input current sensorless bridgeless pfc converter. In *Seminario Anual de Automática, Electrónica Industrial e Instrumentación 2015 (SAAEI15)*, 2015.
- [105] V.M. Lopez-Martin, F. Lopez, and F.J. Azcondo. Current Sensorless Low TH-Di Front-End Stage in Aircraft Electric Power Systems. *Industrial Electronics, IEEE Transactions on*, 2016.