

ESCUELA TÉCNICA SUPERIOR DE INGENIEROS
INDUSTRIALES Y DE TELECOMUNICACIÓN

UNIVERSIDAD DE CANTABRIA



Proyecto Fin de Carrera

**DISEÑO DE CONVERTIDOR RESONANTE
CLASE E² EN TECNOLOGÍA E-PHEMT**

**Design of a Class E² Resonant Converter on E-
PHEMT Technology**

Para acceder al Título de

INGENIERO DE TELECOMUNICACIÓN

Autor: David Rojo Olalla

Octubre - 2014

INGENIERÍA DE TELECOMUNICACIÓN

CALIFICACIÓN DEL PROYECTO FIN DE CARRERA

Realizado por: David Rojo Olalla

Director del PFC: José Ángel García García

Título: “Diseño un convertidor Resonante Clase E² en Tecnología E-PHEMT”

Title: “Design of a Class E² Resonant Converter on E-PHEMT Technoly”

Presentado a examen el día: 27/10/2014

para acceder al Título de

INGENIERO DE TELECOMUNICACIÓN

Composición del Tribunal:

Presidente (Apellidos, Nombre): Tazón Puente, Antonio

Secretario (Apellidos, Nombre): García García, José Ángel

Vocal (Apellidos, Nombre): Lameiro Gutiérrez, Cristian

Este Tribunal ha resuelto otorgar la calificación de:

Fdo.: El Presidente

Fdo.: El Secretario

Fdo.: El Vocal

Fdo.: El Director del PFC
(sólo si es distinto del Secretario)

Vº Bº del Subdirector

Proyecto Fin de Carrera Nº
(a asignar por Secretaría)

INDICE

1	Introducción	6
1.2	Objetivos	8
1.3	Estructura de la Memoria	8
1.4	Referencias	9
2	Fundamentos del transmisor cartesiano y polar	10
2.1	Transmisor Cartesiano	11
2.2	Transmisor Polar	12
2.2.1	Arquitectura del Transmisor Polar	12
2.2.2	Transmisor EER Inicial	13
2.2.3	No Idealidades del Transmisor Polar	14
2.4	Influencia de la Rama AM en la Eficiencia del Transmisor Polar	15
2.5	Mejora de la Eficiencia del Transmisor Polar con el Uso de Transistores E-pHEMT	18
2.7	Referencias	18
3	Fundamentos del amplificador conmutado clase E y del convertidor DC/DC	20
3.1	Características de los amplificadores	21
3.1.1	Introducción a los Amplificadores	21
3.1.1.1	Parámetros significativos de los Amplificadores y Convertidores DC/DC	21
3.1.1.2	Comportamiento No Lineal del Amplificador	24
3.1.2	Amplificador Clase E	25
3.1.2.1	Análisis del Circuito Clase E Original	27
3.1.2.2	Circuito clase E con elementos discretos L serie/C paralelo	38
3.3	Convertidor clase E2 basado en un dispositivo HEMT	40
3.3.1	Introducción al convertidor resonante de potencia	40
3.4	Referencias	43
4	Diseño de un Convertidor Resonante Clase E2 en Tecnología E-PHEMT	44
4.1	Introducción al diseño	45
4.2	Elección y verificación del modelo del transistor	45
4.3	Diseño del Inversor Clase E	50
4.4	Diseño del Rectificador Clase E síncrono	53
4.5	Diseño del Convertidor DC/DC	56
4.5.1	Diseño de la red de interconexión del Convertidor DC/DC	57
4.5.2	Simulación del Convertidor DC/DC	60

4.5.3 Diseño de la red de adaptación de entrada	63
4.5.4 Diseño de la red de polarización	64
4.6 Referencias	66
5 Implementación de un Convertidor DC/DC Clase E ²	67
5.1 Fabricación del convertidor clase E ²	68
5.1.1 Realización del layout	68
5.1.2 Montaje y modificaciones experimentales	69
5.1.2.1 Montaje de red de interconexión	71
5.1.2.2 Montaje de red de adaptación de los terminales de puerta	78
5.1.2.3 Montaje	79
5.2 Resultados obtenidos	80
5.2.1 Medida de eficiencia	81
5.3 Referencias	87
6 Conclusiones y líneas futuras	88
6.1 Conclusiones	89
6.2 Líneas futuras de trabajo	90
6.3 Referencias	90

Agradecimientos

En primer lugar, a mi familia, en especial a mis padres por apoyarme en mis decisiones.

A Julia por haberme enseñado tantas cosas, por saber sacar lo mejor de mí, y por lo agradable que se me hace estar a tu lado.

A José Ángel por su trato tan amable, por su consideración, y por todo lo que he aprendido realizando este proyecto.

A Nieves por su tiempo, su predisposición y por toda la ayuda prestada que ha sido mucha.

A toda la gente de Hacinas, porque siempre que voy me hacen sentir como en casa y como si nos viésemos todos los días.

A Tomás por hacer de esta escuela un lugar más cálido y desempeñar su trabajo con tanta profesionalidad, destacando su atención en mi etapa de Erasmus.

A esos compañeros de piso con los que tan buenos momentos he pasado. En especial a Califa e Isma que aunque ahora estamos un poco lejos seguro que pronto nos veremos.

A los compañeros que han hecho estos años tan agradables, en especial a Pablo, Mario, Pablo, Rodri, Erika, Marlon y Chema.

A los compis de Erasmus con los que disfrute del mejor año de mi vida, por todo lo que viajamos y los momentos que pasamos.

Por último al resto de mi familia, a todos mis primos y tíos porque siempre me es placentero verlos.

A todos a los que de una forma u otra han pasado cerca de mí durante estos años de carrera y que han hecho de esta una senda agradable.

1

Introducción

En este capítulo se realiza una breve introducción que describe la importancia de la eficiencia del convertidor en multitud de aplicaciones.

1.1 Importancia del compromiso Linealidad-Eficiencia en Transmisión Inalámbrica

Las necesidades a la hora de transmitir están cambiando a pasos agigantados en los últimos años, lo cual requiere la búsqueda de sistemas más eficientes con una respuesta transitoria más rápida.

Una parte fundamental del dispositivo inalámbrico es el transmisor. En los sistemas de transmisión de RF, el mayor consumo recae en los amplificadores de potencia, alrededor del 70%. En el caso de una estación base es tan importante la eficiencia que aproximadamente la mitad del gasto de energía correspondiente al transmisor (alrededor del 25% del total), se debe a la mala eficiencia del amplificador de potencia, por tanto es clave realizar una amplificación de RF lo más eficiente posible.

Se estudiarán distintos tipos de arquitectura de transmisor, centrándonos en la arquitectura del Transmisor Polar, ya que éste logra un buen compromiso *linealidad-eficiencia*, cumpliendo los criterios de amplificación y tasas de transmisión de datos requeridas en transmisión inalámbrica.

Para ello se explicarán distintas técnicas como el seguimiento de la envolvente “Envelope Tracking” (ET), eliminación y restauración de la envolvente “Envelope Elimination and Restoration” (EER) o incluso un híbrido de ellas dos. Éstas técnicas aplicadas sobre un Transmisor Polar se pueden lograr con la implementación de un convertidor DC/DC sobre su arquitectura.

Una de las claves del trabajo es la elección del transistor ya que un funcionamiento eficiente del mismo supone uno de los condicionantes más importantes, maximizar la autonomía de los terminales de usuario y reducir los gastos relacionados al elevado consumo de potencia de las estaciones base, que conlleva, no solo razones económicas, sino también medioambientales, a la necesidad de utilizar una arquitectura eficiente como es la del transmisor polar, tal y como se presenta en [1] y [2], evitando el uso del amplificador lineal poco eficiente.

1.2 Objetivos

En este proyecto, tomando como base resultados previos en el diseño de convertidores doble clase E (clase E²), se abordará el diseño, implementación y caracterización de un convertidor resonante en la banda de 900 MHz haciendo uso de la tecnología E-pHEMT de Avago Technologies. Usando un modelo simple del transistor como conmutador, extraído a partir de medidas en pinch-off y la zona lineal, se estimarán las condiciones óptimas de terminación en drenador para los transistores del inversor y el rectificador síncrono. Sobre esa base, se diseñará y ajustará una red CLC con condensadores y una bobina autoresonante de alto factor de calidad, que servirá de interconexión entre los mismos y que dará como resultado valores de eficiencia, superiores a la implementación independiente del inversor y rectificador. Se procederá entonces a la implementación del convertidor, en el que se incluirán además redes de adaptación para los terminales de puerta así como vías para aplicar la tensión de entrada y extraer la de salida del convertidor. Se realizarán campañas de caracterización de los perfiles de tensión de salida y eficiencia con la frecuencia, la resistencia de carga y la tensión de entrada. Se persigue como objetivo alcanzar prestaciones en eficiencia de al menos 70%, así como explorar las potencialidades de la mencionada tecnología de cara a su uso futuro en moduladores de envolvente.

1.3 Estructura de la Memoria

La presente memoria sigue una organización por capítulos, los cuales se describen brevemente a continuación.

En este primer capítulo se realiza una pequeña introducción de los temas sobre los que va a tratar el proyecto, además se explican los objetivos a los que se quiere llegar una vez acabado el trabajo y se da una breve explicación de cuál es la motivación del proyecto.

En el segundo capítulo se presentan las arquitecturas del transmisor cartesiano y del transmisor polar, y se describen las no linealidades de este último. Además, se ofrece una visión general de las técnicas de linealización de amplificadores de potencia.

En el tercer capítulo se describen las características de los amplificadores de potencia, centrándose en las topología de clase E. Se incluirán además los detalles del convertidor DC/DC y la aplicación de los dispositivos de tecnología E-pHEMT en este tipo de sistemas.

En el cuarto capítulo se expone el diseño del convertidor DC/DC clase E, caracterizando el transistor utilizado, para después diseñar y caracterizar el inversor, el rectificador, y su implementación síncrona gracias al diseño de la red de interconexión, dando lugar al convertidor DC/DC síncrono. A partir de estos diseños y caracterizaciones se podrá estimar que resultados se pueden obtener a la hora de su implementación.

En el quinto capítulo se explica el proceso de construcción del convertidor DC/DC. Se detallarán los pasos realizados desde la realización del layout hasta su implementación física final, así como todos los detalles de las redes y componentes utilizados. Se podrán estudiar las diferencias del modelo físico frente al ideal y se tomarán medidas para solventar estas diferencias. Finalmente se describirán todas las medidas realizadas con el convertidor y se obtendrá su respuesta a distintas señales de entrada.

Por último, en el sexto capítulo se extraen las conclusiones más importantes a partir de la realización de este proyecto, así como las líneas futuras en las que se puede seguir investigando partiendo del trabajo realizado.

1.4 Referencias

- [1] J. A. García, C. Fager, A. Zhu, J. C. Pedro, P. Cabral, P. Colantonio, “Emerging Wireless Transmitter Architectures”, TARGET-2007-11-27-WP232-D-D.2-3.0, Noviembre 2007
- [2] L. R. Kahn, “Single-Sideband Transmission by Envelope Elimination and Restoration”, Proc. IRE, vol. 40, no. 7, pp. 803-806, Julio 1952.

2

Fundamentos del transmisor cartesiano y polar

El propósito de este capítulo será proporcionar al lector unas pequeñas pinceladas dentro del ámbito de la transmisión inalámbrica gracias a las arquitecturas del transmisor polar y cartesiano, situándonos en el contexto de dónde irá ubicado el proyecto fin de carrera.

El capítulo comienza mencionando el transmisor cartesiano y el transmisor polar. Para después continuar con una breve descripción de algunas técnicas de linealización de amplificadores de potencia en RF.

2.1 Transmisor Cartesiano

En los sistemas de radiocomunicaciones se debe transmitir a frecuencias muy determinadas, y debido a este requerimiento se emplea la transmisión paso banda.

Una representación banda base de las señales paso banda es la cartesiana, componentes en fase y cuadratura. Esta arquitectura se utiliza tradicionalmente para transmitir en radiofrecuencia. En este esquema de transmisión, que se muestra en la Figura 2.1, las componentes en fase y cuadratura de la señal a transmitir modulan respectivamente a las componentes en fase y cuadratura de la señal portadora. Después, las dos señales moduladas se combinan formando la señal a transmitir, que es procesada por un amplificador de potencia de RF teóricamente lineal, y poco eficiente, y enviada por la antena.

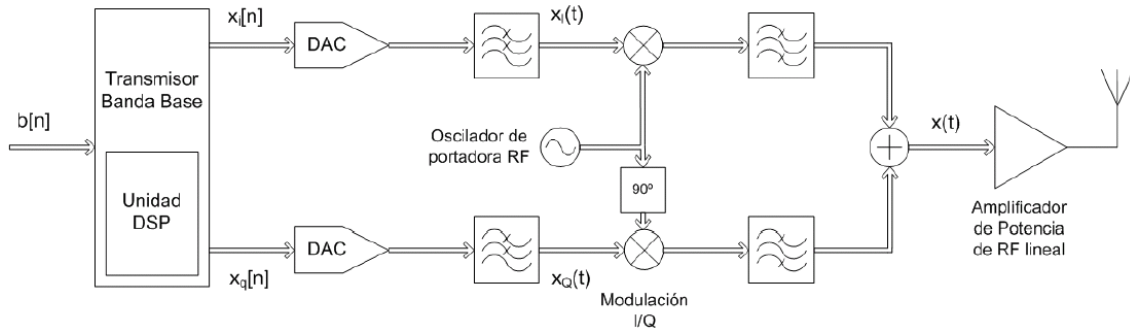


Figura 2.1. Arquitectura del transmisor cartesiano

La señal de salida se representa en función de sus componentes en fase y en cuadratura como se indica en la siguiente expresión:

$$x(t) = x_i(t) \cdot \cos(w_c \cdot t) - x_q(t) \cdot \text{sen}(w_c \cdot t) \quad (2.1)$$

Esta arquitectura no alcanza el compromiso de linealidad con alta eficiencia al que se llega con otras arquitecturas alternativas como la del Transmisor Polar, la cual se pasa a estudiar a continuación por ser más adecuada para los sistemas inalámbricos actuales.

2.2 Transmisor Polar

2.2.1 Arquitectura del Transmisor Polar

El transmisor con arquitectura polar, mostrado en la figura 2.2, se basa en el concepto de Eliminación y Restauración de Envolvente (EER), propuesto por Kahn en 1952 [1], y además integra avances recientes en procesamiento digital de la señal.

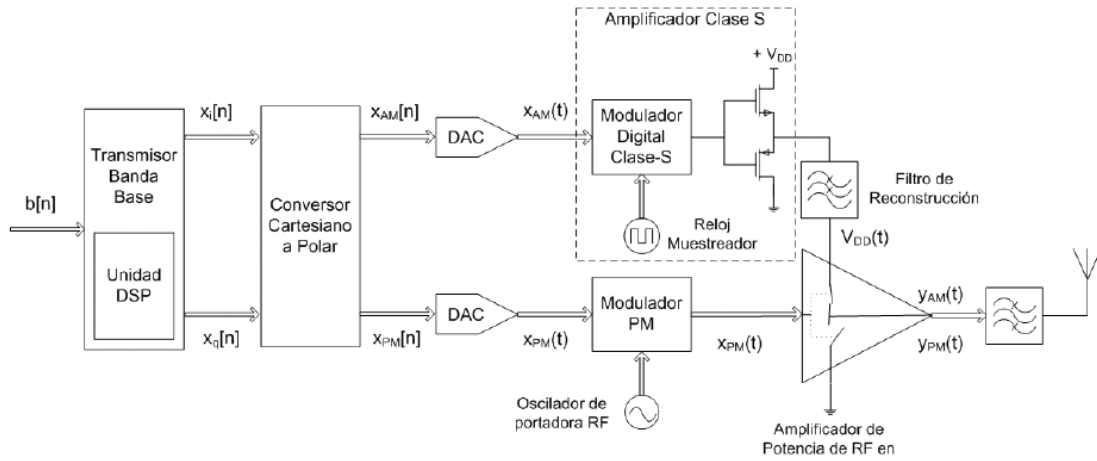


Figura 2.2. Arquitectura del transmisor polar

Se basa en la representación de la señal paso banda a transmitir en función de sus componentes de amplitud y fase, que son señales paso bajo, como se expresa a continuación.

$$x(t) = x_{AM}(t) \cdot \cos(w_c \cdot t + x_{PM}(t)) \quad (2.2)$$

La idea del transmisor polar es sustituir el modulador I/Q del transmisor cartesiano tradicional, por un modulador AM/PM polar. De este modo, se tratan de forma independiente las componentes de amplitud y fase, $x_{AM}(t)$ y $x_{PM}(t)$ de la envolvente compleja de la señal de comunicaciones, hasta que son combinadas en el amplificador de potencia RF.

Este amplificador es un dispositivo de conmutación que opera en modo altamente eficiente, como un clase E. Para asegurar un uso óptimo de la potencia, la rama encargada de la modulación AM debe realizar también una amplificación conmutada, como es la clase S, por ejemplo.

La componente de fase se transforma en una señal de envolvente constante $x_{PM}(t)$, la cual no tiene variaciones de amplitud y por tanto puede funcionar como excitación del amplificador de potencia de alta eficiencia.

La componente de amplitud $x_{AM}(t)$ atraviesa un amplificador de clase S y un filtro de reconstrucción, que la da un cierto retraso, y después modula dinámicamente la tensión de polarización en drenador del amplificador clase E.

La señal de salida contiene entonces información de amplitud y fase.

2.2.2 Transmisor EER Inicial

El transmisor propuesto inicialmente por Kahn, cuyo esquema general se muestra en la Figura 2.3, elimina la envolvente de la señal mediante un limitador, obteniendo así una portadora modulada en fase con amplitud constante. Esta componente es amplificada hasta el nivel de potencia deseado mediante un amplificador clase C.

Simultáneamente, detecta la envolvente, obteniendo la componente de amplitud, y la amplifica con un amplificador de potencia de audio frecuencia. Esta última componente modula de nuevo a la componente modulada en fase y amplificada, resultando en una copia amplificada de la señal de entrada.

En una implementación moderna, tanto la envolvente como la portadora modulada en fase son generadas por un Procesador Digital de Señal (DSP).

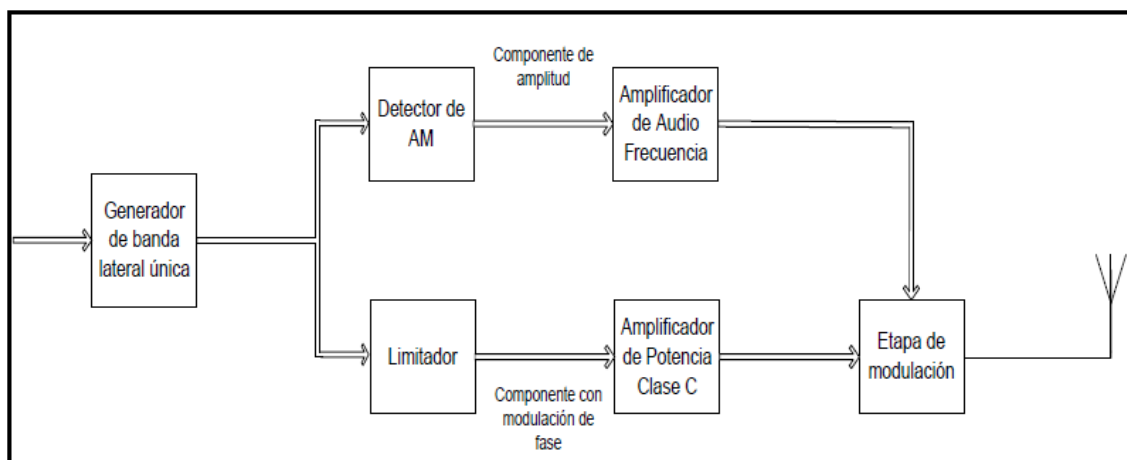


Figura 2.3.. Arquitectura del transmisor polar

2.2.3 No Idealidades del Transmisor Polar

Idealmente, el transmisor polar sería capaz de ofrecer una eficiencia en potencia del 100% estando libre de distorsión pero, en la realidad, el gran potencial de esta arquitectura está limitado por la presencia de una serie de no idealidades que provocan distorsión no lineal.

Las no idealidades más significativas, pero también más fáciles de controlar, son aquellas que aparecen a nivel de sistema, debidas a la propia arquitectura.

También es de destacar el papel de las no linealidades de amplitud y fase en la etapa de modulación, el amplificador conmutado de alta eficiencia.

2.2.3.1 Mecanismos Lineales de Distorsión: No idealidades debidas a la Arquitectura del sistema

- Retraso diferencial entre las ramas de AM y PM.
- Ancho de banda finito del filtro reconstructor de la rama AM

El retraso que se produce entre la componente moduladora de amplitud y la portadora de RF modulada en fase fue anteriormente tratado en [2], considerándolo como fijo e independiente de la frecuencia de la envolvente banda base.

Del mismo modo, el ancho de banda finito del modulador fue también tratado de un modo aproximado, asumiendo un filtro de reconstrucción ideal [3].

Los fenómenos anteriores son procesos lineales, pero pueden causar distorsión no lineal, ya que, tanto la generación de las componentes AM y PM en el DSP del transmisor polar, como su recombinación en el amplificador de potencia, son ambos procesos no lineales.

Sin embargo, Raab también reconoció la existencia de otras fuentes de distorsión asociadas al estado de modulación, las características VDD-AM y VDD-PM del amplificador de potencia.

2.2.3.2 Mecanismos No Lineales de Distorsión: No idealidades debidas a la Etapa de Modulación

- Conversión $V_{DD}(t) - y_{AM}(t)$ no lineal.
- Modulación parásita $V_{DD}(t) - y_{PM}(t)$.

La distorsión causada en la etapa de modulación es debida a las no linealidades de las características V_{DD} -AM y V_{DD} -PM del amplificador de potencia.

Un amplificador de potencia en modo conmutado tiene una conversión $V_{DD}(t) - y_{AM}(t)$ no lineal, denotada por una ligera compresión de la característica $V_{DD}(t) - y_{AM}(t)$ en niveles altos de V_{DD} .

Además, en niveles bajos de V_{DD} , presenta un fenómeno denominado feedthrough, que se caracteriza por la presencia de nivel de salida de RF cuando la tensión de polarización es nula. Este fenómeno también provoca una modulación parásita $v_{DD}(t) - y_{PM}(t)$.

2.4 Influencia de la Rama AM en la Eficiencia del Transmisor Polar

Uno de los cuellos de botella para mejorar la eficiencia de un transistor polar es la rama superior, la que aplica al amplificador de RF la señal moduladora.

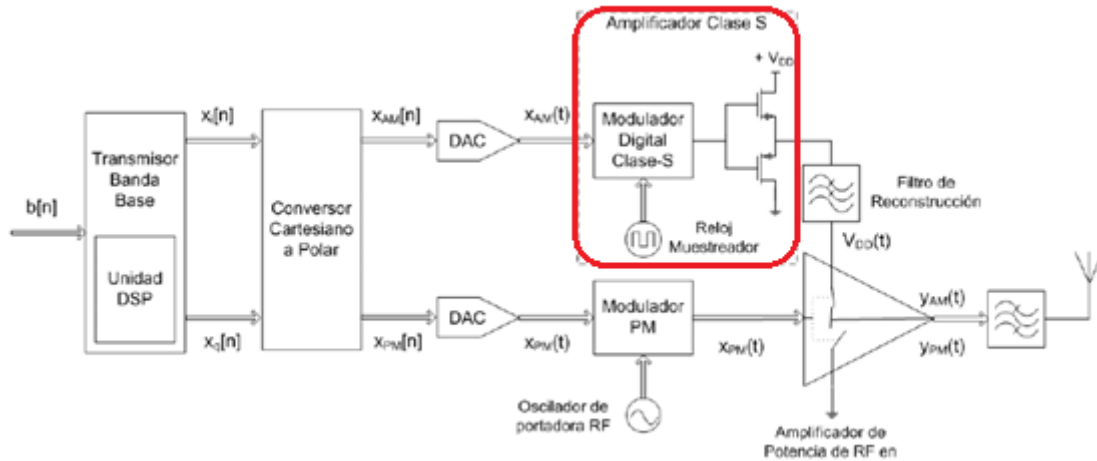


Figura 2.4.. Topología del transmisor polar destacando la rama AM

La eficiencia del transmisor polar viene dada por el producto de la eficiencia de la rama AM y la del amplificador de RF. Se sabe que en el amplificador de RF podemos obtener en torno al 80% de eficiencia, el problema es conseguir una eficiencia alta en la red de AM. Podría mejorar de manera considerable empleando un amplificador de

envolvente de alta eficiencia, como el amplificador lineal asistido por conmutación, que presenta una eficiencia en torno al 80%. Si se usase este circuito se llegaría a alcanzar un excelente nivel de eficiencia total, en torno al 60% [4].

Existen dos tipos de soluciones que se han propuesto para implementar el amplificador de envolvente: el convertidor reductor DC/DC o amplificador clase S tradicional y el amplificador lineal asistido por conmutación.

El amplificador lineal asistido por conmutación permite solventar el problema para condiciones de gran ancho de banda, aprovechando el hecho de que la mayor parte de la energía se concentra a muy bajas frecuencias. En la figura 2.5 se muestra un diagrama simplificado de dicha estructura.

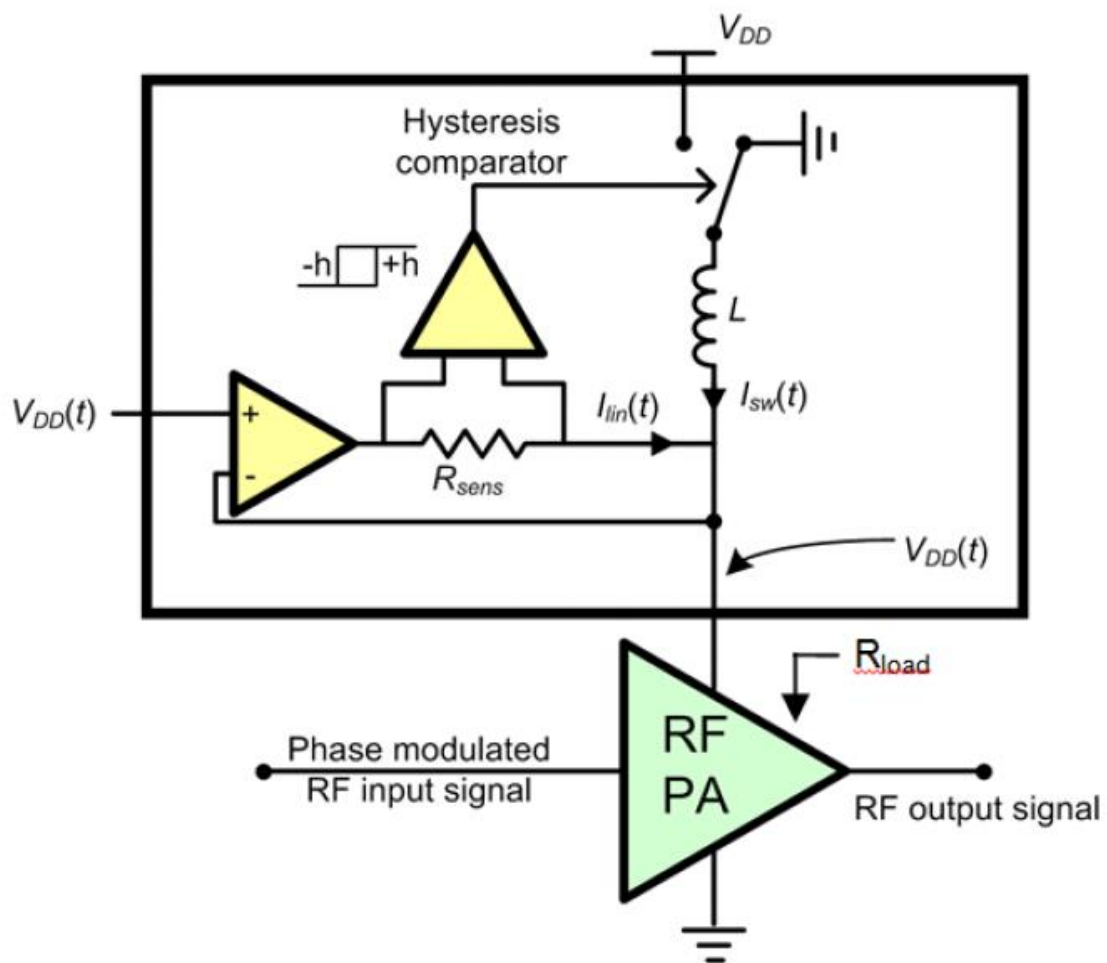


Figura 2.5.. Amplificador lineal asistido por conmutación

Esta topología se basa en la combinación de una etapa lineal de amplificación de tensión de banda ancha con una etapa de corriente en modo conmutado de alta eficiencia, usando un lazo de realimentación (control de realimentación de corriente mediante un comparador de histéresis). Se trata de una configuración con división de banda, donde el contenido de potencia en DC y a bajas frecuencias le proporciona una fuente conmutada de alta eficiencia, mientras que la potencia a alta frecuencia es suministrada por una fuente de alta fidelidad.

Para soluciones banda estrecha se han empleado los convertidores DC/DC conmutados con excelentes resultados en eficiencia (tanto usando modulación sigma-delta como modulación por anchura de pulso, PWM).

La figura 2.6 muestra una posible implementación del convertidor DC/DC integrado en la arquitectura del transmisor polar. Está compuesto de dos partes que realizan el cambio de señal de entrada de DC a señal de salida de RF, para posteriormente detectarla, obteniendo a la salida del convertidor la señal de amplitud amplificada. Esta implementación será la desarrollada a lo largo del proyecto.

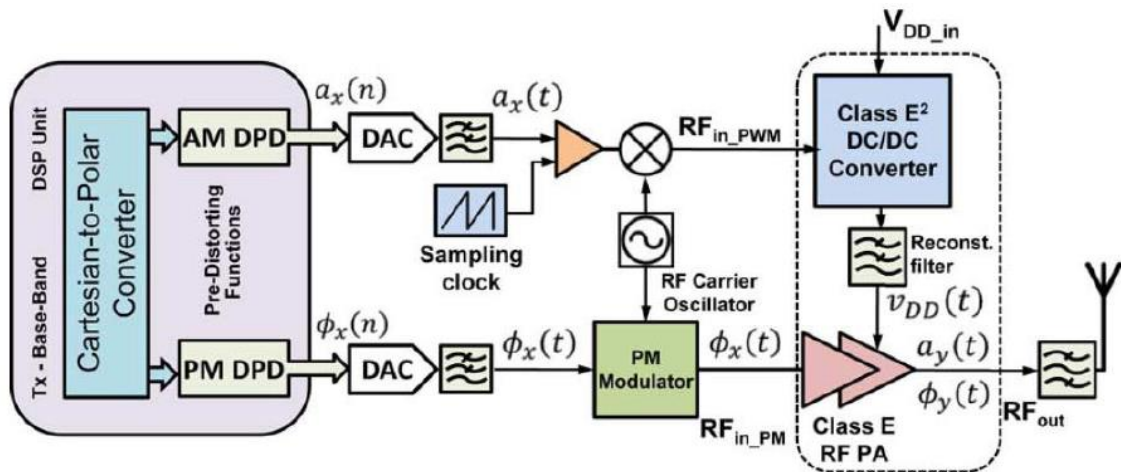


Figura 2.6.. Posible topología para el transistor polar E^3

2.5 Mejora de la Eficiencia del Transmisor Polar con el Uso de Transistores E-pHEMT

Uno de los factores clave en el diseño de un dispositivo de alta eficiencia, son los componentes utilizados y, en concreto, el tipo de transistor a utilizar. En el mercado se encuentran transistores fabricados de silicio, arseniuro de galio (GaAs), nitruro de galio GaN HEMT (High Electron Mobility Transistor), entre otros.

Los requisitos actuales en la reducción del consumo de energía y reducción del volumen en sistemas de electrónica de potencia requieren dispositivos semiconductores con mejora en potencia disipada y frecuencia de conmutación más alta. Aunque los dispositivos de silicio hayan estado desempeñando el papel principal como dispositivo activo en la electrónica de potencia hasta ahora, el límite del uso de este material parece cercano, lo que implica que los dispositivos con nuevos materiales deben estar preparados para los requisitos de alto rendimiento del futuro.

Los dispositivos de la tecnología E-pHEMT [5] de Avago proporcionan una gran velocidad de conmutación pudiendo trabajar desde 450 MHz hasta 6 GHz. Este trabajo muestra que el estado del arte del E-pHEMT tiene ya características superiores a las del silicio cuando se manipulan niveles bajos de tensión y potencia.

Los semiconductores de tecnología E-pHEMT son en la actualidad uno de los materiales más prometedores en el campo de los transistores de efecto de campo para aplicaciones de alta frecuencia y bajo nivel de ruido.

2.7 Referencias

- [1] L. R. Kahn, "Single-Sideband Transmission by Envelope Elimination and Restoration", Proc. IRE, vol. 40, no. 7, pp. 803-806, Julio 1952.
- [2] F. H. Raab, "Intermodulation Distortion in Kahn-Technique Transmitters," IEEE Trans. on MTT, vol. MTT-44, no. 12, pp. 2273-2278, Diciembre 1996.
- [3] D. Milosevic, J. van der Tang and A. van Roermund, "Intermodulation Products in the EER Technique Applied to Class-E Amplifiers," Int. Symp. on Circuits and Syst. Dig., vol. I, pp.637-640, Vancouver, Mayo 2004.
- [4] I. Kim, J. Kim, J. Moon, J. Kim, B. Kim, "Hybrid EER Transmitter using Highly Efficient Saturated Power Amplifier for 802.16e Mobile WiMAX Application," IEEE MTT-S Microwave Symp. Dig., Boston, USA, pp. 1385-1388, June 2009.
- [5]http://www.avagotech.com/pages/en/rf_microwave/transistors/fet/atf-54143

[6] D. F. Kimball, J. Jeong, et al., "High-Efficiency Envelope-Tracking WCDMA Base-Station Amplifier Using GaN HFETs," IEEE Trans. Microwave Theory and Techniques, Vol. 54, No. 11, pp. 3848-3856, Nov. 2006.

3

Fundamentos del amplificador conmutado clase E y del convertidor DC/DC

A continuación se exponen detalladamente los fundamentos teóricos que describen el funcionamiento de un amplificador clase E, así como una descripción teórica del convertidor DC/DC.

Estos desarrollos teóricos nos proporcionan las ecuaciones que posteriormente utilizaremos para el diseño tanto del amplificador como del convertidor estudiados en este proyecto.

3.1 Características de los amplificadores

3.1.1 Introducción a los Amplificadores

Como hemos visto en el capítulo anterior, en la etapa de modulación de un transmisor polar se utiliza un amplificador de de alta eficiencia.

Los amplificadores proporcionan ganancia en tensión y ganancia en corriente. Su principal función es convertir la potencia de DC en potencia de RF y amplificar la señal de RF de entrada, como se muestra en la figura 3.1:

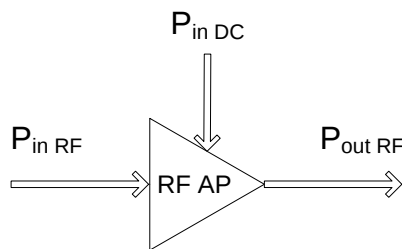


Figura 3.1 Potencias en un amplificador de RF

3.1.1.1 Parámetros significativos de los Amplificadores y Convertidores DC/DC

Eficiencia.

La eficiencia de este proceso de amplificación se puede expresar en varios términos:

- Eficiencia de drenador (η_D)
- Eficiencia de potencia añadida (PAE).
- Eficiencia total (η).

La eficiencia en drenador, también conocida como eficiencia de conversión DC-RF, representa en qué medida la potencia de DC se convierte en potencia de salida de RF. Se puede obtener con la siguiente expresión:

$$\eta_D = \frac{P_{outRF}}{P_{inDC}} \quad (3.1)$$

La eficiencia de potencia añadida (PAE, Power-Added Efficiency) considera además la ganancia del amplificador, definiendo la eficiencia como la diferencia de potencia de RF entre la salida y la entrada dividida entre la potencia de DC:

$$PAE = \frac{P_{outRF} - P_{inRF}}{P_{inDC}} = \frac{P_{outRF} \cdot \left(1 - \frac{P_{inRF}}{P_{outRF}}\right)}{P_{inDC}} = \frac{P_{outRF}}{P_{inDC}} \cdot \left(1 - \frac{1}{G}\right) = \eta_D \cdot \left(1 - \frac{1}{G}\right) \quad (3.2)$$

- Si la ganancia es elevada $PAE \cong \eta$.
- Si la ganancia es pequeña, la PAE sería bastante inferior a η .
- En condiciones de operación con $G < 1$, la $PAE < 0$.

Según el principio de conservación de la energía, la diferencia $(P_{DC} + P_{IN}) - P_{OUT}$ tiene que aparecer como potencia eléctrica entregada a la carga en los armónicos o potencia disipada en forma de calor.

$$P_{inRF} + P_{inDC} = P_{outRF} + P_{dis}$$

Según esta ecuación:

$$PAE = \frac{P_{outRF} - P_{inRF}}{P_{inDC}} = \frac{P_{inDC} - P_{dis}}{P_{inDC}} = 1 - \frac{P_{dis}}{P_{inDC}} \quad (3.3)$$

Para maximizar la PAE debemos reducir la potencia disipada. Con ello, la mejora en la eficiencia del amplificador se traduce no solo en disminución del consumo sino también en la relajación de los requisitos de ventilación.

Finalmente, la eficiencia completa compara la potencia total recibida por el amplificador (RF+DC) con la potencia total entregada a la salida. Se expresa de la siguiente manera:

$$\eta = \frac{P_{outRF}}{P_{inRF} + P_{inDC}} = \frac{\eta_D}{\frac{\eta_D}{G} + 1} \quad (3.4)$$

Linealidad.

La linealidad de un amplificador da una idea de la capacidad del dispositivo para reproducir correctamente en la salida la amplitud y la fase de la señal de entrada.

Es decir, el dispositivo es lineal a la frecuencia de trabajo si la amplitud de la señal de salida varía linealmente con la amplitud de la señal de entrada, y además, la diferencia entre la fase de la señal de salida y la de la señal de entrada permanece constante.

Cuando el dispositivo es no lineal, la señal de salida aparece distorsionada: la amplitud de salida se comprime y la fase deja de ser constante.

La linealidad es función de la porción de tiempo que el amplificador permanece en la región de funcionamiento lineal, en que la corriente a la salida es proporcional a la tensión de entrada es la región de saturación mostrada en la figura 3.2:

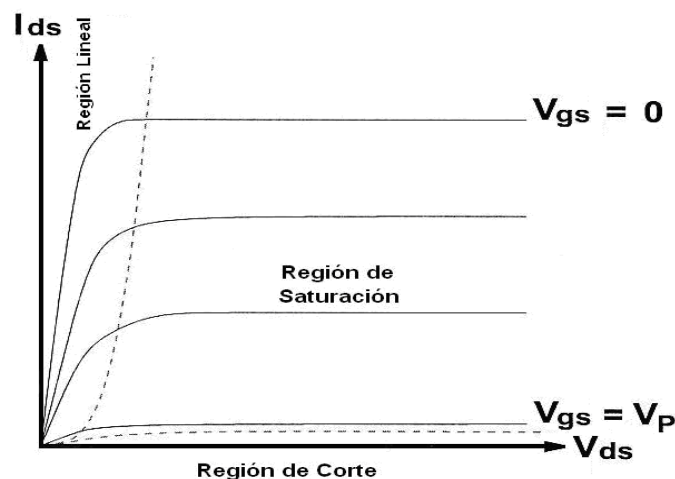


Figura 3.2. Curvas características I-V de un transistor FET

La no linealidad de la amplitud suele provocar mayor distorsión que la variación de fase. El comportamiento no lineal provocado por la compresión de la ganancia se da cuando la amplitud de la señal de entrada al amplificador es tan grande que satura al dispositivo. La variación de la fase de la señal de salida también es función del grado de saturación. Por lo tanto, la distorsión de la señal es más significativa a medida que el amplificador se aproxima a la zona de funcionamiento en saturación.

En la figura 3.3 podemos observar la variación de la ganancia de compresión y de la fase en función de la potencia de entrada:

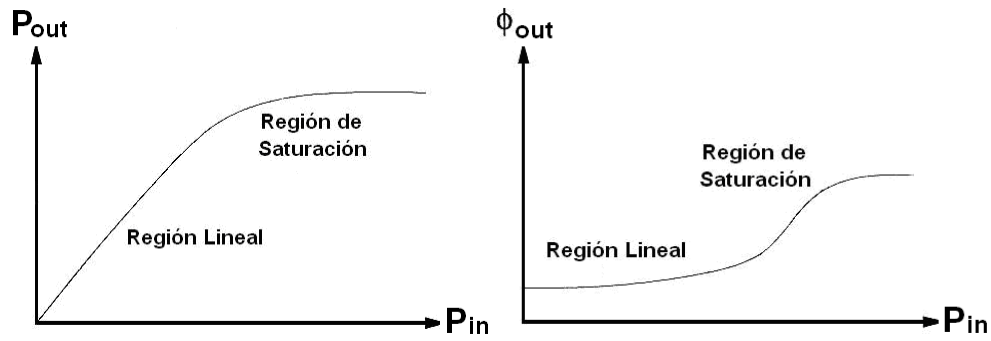


Figura 3.3. Compresión de ganancia y variación de fase debidas a la saturación de un amplificador de potencia

Para obtener una amplificación lineal, el nivel pico de potencia debe mantenerse dentro de la región lineal de la característica entrada- salida del amplificador, y evitar así los efectos no deseados debido a las no linealidades. En consecuencia si se pretende una amplificación lineal, la opción más común consiste en trabajar lejos del punto de compresión y en consecuencia la eficiencia del amplificador de potencia disminuye.

Cuando se amplifican señales de amplitud constante no influye la no linealidad del amplificador de potencia. Esto es debido a que la saturación del amplificador es función de la amplitud de la señal de entrada, por lo que, si ésta se mantiene constante, la saturación también se produce a un nivel constante y la ganancia del amplificador no varía.

3.1.1.2 Comportamiento No Lineal del Amplificador

El amplificador de potencia cuando trabaja en zonas de alta eficiencia energética, es decir, cerca del punto de compresión, se comporta como un dispositivo altamente no lineal. La no linealidad del amplificador de potencia provoca distorsión en la señal de salida.

Un modelo simplificado del amplificador de potencia, sin tener en cuenta efectos de memoria, relaciona la señal de salida con la de entrada a través de un polinomio de grado N como muestra la ecuación siguiente:

$$V_{out}(t) = G_V \cdot V_{in}(t) + k_2 \cdot V_{in}^2 + k_3 \cdot V_{in}^3 + \dots + k_N \cdot V_{in}^N(t) \quad (3.5)$$

Se consideran únicamente los tres primeros términos, el primero corresponde al término lineal de ganancia por la entrada. El segundo término es proporcional al cuadrado de la tensión de entrada y provoca la distorsión armónica de segundo orden. El tercer término, que es proporcional al cubo de la tensión de entrada, es la causa de la distorsión de intermodulación o de tercer orden.

En la señal de salida tendremos armónicos y productos de intermodulación no deseados debidos, por ejemplo, a los efectos no lineales de los términos segundo y tercer orden del polinomio. Pueden identificarse componentes en banda y fuera de la banda de frecuencias de la señal original, como la distorsión armónica de 2º y 3er orden y la distorsión de intermodulación de 2º y 3er orden.

La distorsión armónica puede eliminarse mediante filtrado, pero no ocurre así con la distorsión producida por los productos de intermodulación en banda, ya que las frecuencias aparecen demasiado cerca de las frecuencias de la señal.

3.1.2 Amplificador Clase E

Los amplificadores de potencia se dividen en diferentes clases en función del punto de operación del dispositivo dentro de la recta de carga dinámica. La elección de este punto causa que el dispositivo activo no esté, necesariamente, conduciendo durante el ciclo completo de una señal sinusoidal. De hecho, sólo lo hace en los denominados clase A. En el resto, sólo conduce durante un número determinado de grados del ciclo de la señal de entrada.

Un amplificador clase E tiene un transistor conmutado conectado a una red de carga pasiva.

En general, todos los amplificadores que trabajan en régimen de saturación, como el clase E, son extremadamente no lineales, y los armónicos generados aparecen en su salida, donde deben ser convenientemente filtrados. En contrapartida, el rendimiento de estos amplificadores es muy alto, pudiendo superar el 90%, y en condiciones ideales, un 100%.

Su alta eficiencia se debe a que funciona como un interruptor (conectado a una fuente de corriente constante) que evita las pérdidas de potencia mediante la carga y descarga del condensador del que dispone, alcanzando así mejores valores de eficiencia en alta frecuencia que un clase D.

Actualmente, las topologías clase E están consideradas como la mejor opción en amplificadores de potencia para sistemas inalámbricos.

El descubrimiento del amplificador clase E es relativamente reciente (N.O. Sokal y A.D. Sokal, 1975 [1]) (véase figura 3.4), pero quedó relegado, hasta que, alrededor de los años 90, el despliegue de la telefonía móvil requirió de amplificadores de altísima eficiencia para economizar batería. Se caracteriza por el empleo de un único dispositivo activo.

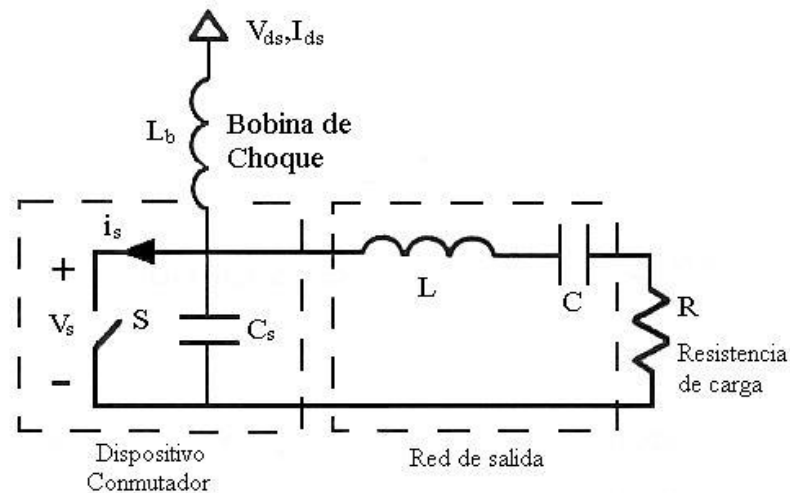


Figura 3.4. Circuito de alta eficiencia clase E original

L_b se comportará como una inductancia infinita con el fin de considerar la rama del dispositivo de carga como una fuente de corriente continua.

La red resonante de salida incluía, como principal innovación, una capacidad en paralelo con el dispositivo. Esta capacidad será aportada de manera externa, o bien estará constituida, en parte o completamente por la capacidad parásita de salida del dispositivo. En los amplificadores de clase E la eficiencia teórica alcanzable es del 100%.

Sus ventajas principales son, además de su mayor eficiencia, la mayor fiabilidad, la reducción del tamaño y del peso de los equipos y sobre todo, su diseño predecible y consistente gracias a la existencia de procesos de diseño claros y definidos. Han sido utilizados en algunas estaciones transmisoras y aplicaciones satelitales donde la eficiencia es un aspecto fundamental. Hoy en día se van incorporando con frecuencia a los esquemas transmisores condicionados por la eficiencia.

3.1.2.1 Análisis del Circuito Clase E Original

Un amplificador de potencia que trabaja con una eficiencia del 75% puede entregar tres veces más potencia que otro que lo haga con un 50% de eficiencia utilizando el mismo dispositivo, si la potencia de salida está limitada por la disipación térmica en los transistores. La topología del amplificador en modo conmutado clase E se analiza en este apartado desde el punto de vista de la alta eficiencia, según el estudio realizado en [2] y [3].

El amplificador clase E es un circuito resonante en modo conmutado en el cual el producto de la tensión y la corriente en el dispositivo conmutador es idealmente nulo en todo momento. El transistor actúa como un interruptor, y el circuito que lo acompaña ha de ser debidamente diseñado para procurar un funcionamiento clase E.

En bajas frecuencias, estos circuitos han conseguido eficiencias de hasta el 96%. Idealmente, la eficiencia sólo está limitada por la resistencia de saturación drenador-fuente del transistor, y por las propiedades de sus elementos parásitos. Las reactancias parásitas del elemento activo están incluidas en el diseño del circuito sintonizado por lo que no degradan las prestaciones del amplificador. La capacidad C_s en el circuito mostrado a continuación puede representar la capacidad de salida intrínseca del transistor, mientras que parte de la inductancia L estaría relacionada con el efecto del empaquetado del transistor.

Para analizar el circuito clase E se realizan varias suposiciones:

- El “duty cycle” usado en este análisis es del 50%, por lo que el conmutador está en estado ON durante medio periodo y en estado OFF durante el otro medio. Este valor es el que produce un funcionamiento óptimo.
- El dispositivo conmutador tiene una resistencia en estado ON, R_{ON} que idealmente será nula, e infinita en estado OFF, R_{OFF} . En la práctica se debe asegurar que la resistencia ofrecida por el dispositivo cuando se encuentra en abierto sea lo suficientemente alta, y que la resistencia parásita que ofrece cuando se encuentra en corto sea lo más pequeña posible. El condensador C_s , para un diseño de frecuencia máxima, consiste únicamente en la capacidad parásita de salida del transistor, la cual se asumirá como lineal en este análisis. En la práctica, la capacidad C_s es a menudo no lineal, y cambia en función del voltaje aplicado.
- La corriente que circula a través de la carga será idealmente sinusoidal a la frecuencia fundamental de trabajo, y la corriente que fluye por la bobina de choque L_b se asume constante (I_{ds}). Se aplica, por tanto, una corriente equivalente a través de la capacidad de conmutación, que se compone de un nivel constante (DC) más una senoide (RF).

La solución exacta de este circuito en el dominio del tiempo, aun asumiendo elementos ideales y C_s lineal, requiere la solución de un sistema de ecuaciones diferenciales de tercer orden variante en el tiempo pero, con las aproximaciones supuestas anteriormente, se reduce a un sistema de primer orden variante en el tiempo, como muestra la Figura 3.5:

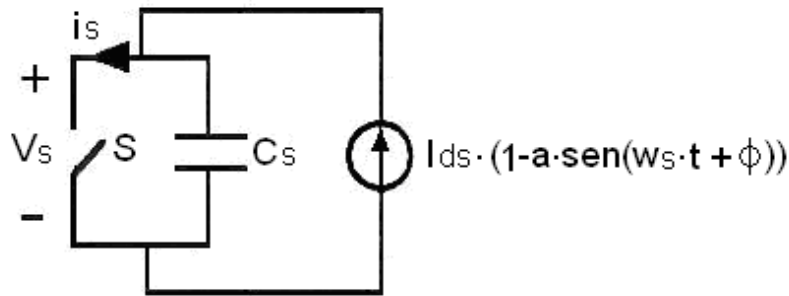


Figura 3.5: Circuito de alta eficiencia clase E asumiendo corriente sinusoidal en la carga

El conmutador puede estar en estado ON (Cerrado) o en OFF (Abierto). A continuación se analizan los estados que tiene el conmutador:

- Conmutación de ON (Cerrado) a OFF (Abierto).

En el instante en que el conmutador pasa a estado ON, la corriente que lo atraviesa es cero, pero en el instante en que conmuta a estado OFF se produce un salto o discontinuidad de la corriente que circula por el conmutador al transferirse la corriente del interruptor a la capacidad en paralelo.

Este salto de intensidad causará pérdidas que aparecerán en cualquier inductancia parásita entre el conmutador y el condensador. En el caso aquí presentado, donde C_s es la capacidad parásita interna de un transistor, esta inductancia está minimizada. Si se utiliza alguna capacidad externa, como es el caso habitual, entonces, cualquier inductancia parásita entre el transistor y la capacidad provoca una pérdida de energía de:

$$Perdidas = \frac{1}{2} \cdot L \cdot i^2 \quad (3.6)$$

Que se produce cada periodo de conmutación en la inductancia parásita.

- Estado ON (Cerrado)

Cuando el interruptor está cerrado (ON) y suponiendo que la resistencia en conducción R_{ON} es ideal ($R_{ON}=0$), no hay tensión entre sus terminales y una corriente sinusoidal (más una componente de continua) fluye por él.

Por otro lado, suponiendo que su resistencia no es ideal sino que se trata de unas décimas de ohmio tenemos unas pérdidas debido a la disipación de potencia en la resistencia. A estas pérdidas se las denomina pérdidas de conducción.

$$Pérdidas_{conducción} = \frac{1}{2} \cdot I_{DS}^2 \cdot R_{ON} \quad (3.7)$$

- Estado OFF (Abierto)

Cuando el conmutador está en OFF, la corriente sinusoidal continúa circulando, pero ahora lo hace a través de la capacidad en paralelo al interruptor.

$$C_s \cdot \frac{\partial V_s}{\partial t} = I_{ds} \cdot (1 - a \cdot \sin(w_s \cdot t' + \varphi)) \quad (3.8)$$

Que integrando resulta:

$$V_s(t) = \frac{I_{ds}}{C_s} \cdot \int_0^t (1 - a \cdot \sin(w_s \cdot t' + \varphi)) \cdot dt' \quad (3.9)$$

Aplicando la primera ecuación se resuelve la integral anterior, resultando:

$$V_s(t) = \frac{I_{ds}}{w_s \cdot C_s} \cdot (w_s \cdot t + a \cdot (\cos(w_s \cdot t + \varphi) - \cos \varphi)) \quad (3.10)$$

Ya se pueden determinar a y ϕ :

$$a = \sqrt{1 + \frac{\pi^2}{4}} \cong 1.862 \quad (3.11)$$

$$\phi = -\tan^{-1}\left(\frac{2}{\pi}\right) \cong -32.48^\circ \quad (3.12)$$

Es necesario recordar que estas constantes son válidas para cualquier circuito clase E de elevado factor de calidad, con una capacidad en paralelo con el conmutador. Ya se saben, por tanto, las tensiones y corrientes en el conmutador:

$$V_s(t) = \begin{cases} \frac{I_{ds}}{w_s \cdot C_s} \cdot (w_s \cdot t + a \cdot (\cos(w_s \cdot t + \phi) - \cos \phi)) & 0 \leq w_s \cdot t \leq \pi \\ 0 & \pi \leq w_s \cdot t \leq 2 \cdot \pi \end{cases} \quad (3.13)$$

$$V_s(t) = \begin{cases} 0 & 0 \leq w_s \cdot t \leq \pi \\ I_{ds} \cdot (1 - a \cdot \sin w_s \cdot t + \phi) & \pi \leq w_s \cdot t \leq 2 \cdot \pi \end{cases} \quad (3.14)$$

Si se representan estas formas de onda, serían como se muestran en la figura 3.7:

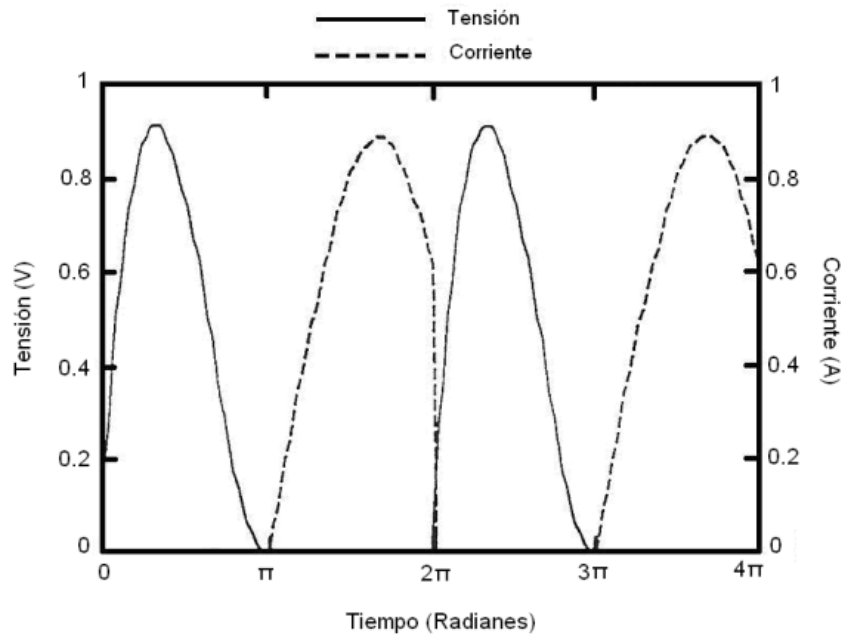


Figura 3.6: Formas de onda teóricas de la tensión y la corriente en un conmutador clase E

- Conmutación de OFF (Abierto) a ON (Cerrado)

Cuando el conmutador está abierto el condensador se carga y en el momento en que pasa de estado OFF a ON la energía almacenada en el condensador se disipa por la resistencia R_{ON} . Estas pérdidas se denominan pérdidas de conmutación que ocurren siempre que se cierra el circuito, esto ocurre durante un pequeño instante en cada periodo.

$$P_{\text{pérdidas}_{conmutación}} = \frac{1}{2} \cdot f \cdot C_{OUT} \cdot V_{DD}^2 \quad (3.15)$$

Para garantizar un modo de operación clase E es necesario imponer ciertas condiciones de contorno sobre $v_s(t)$, como que el condensador C_s permanezca descargado en los cambios de estado del conmutador, de ON a OFF y viceversa, y procurar transiciones suaves en la forma de onda de la señal.

Estas condiciones para el clase E son:

- ✓ ZVS (Zero Voltage Switching) [Conmutación a tensión cero]:

$$V_{DS}(t = t_{ON}) = 0 \quad (3.16)$$

✓ ZDS (Zero Derivate Switching) [Conmutación de derivada cero]:

$$\frac{\partial V_{DS}(t)}{\partial t} \bigg|_{t = t_{ON}} = 0 \quad (3.17)$$

La primera de las dos condiciones evita que el condensador se cortocircuite en los cambios de estado del conmutador y la segunda asegura transiciones suaves en dichos cambios de estado.

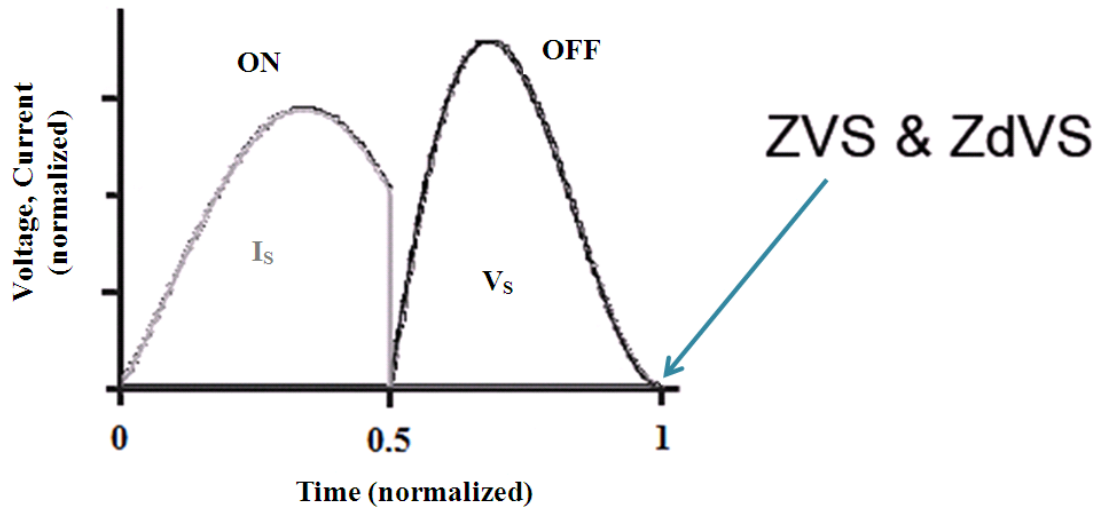


Figura 3.7: Formas de onda de tensión y corriente en estado OFF y ON respectivamente [4]

La forma de onda de la corriente en el estado ON es aproximadamente sinusoidal. Esto se consigue si el factor de calidad del circuito resonante es alto ($Q_L \geq 2.5$).

En cuanto a la tensión en estado OFF queda determinada por la caída en el condensador. Es precisamente con esta capacidad que se consiguen las condiciones de ZVS y ZDS.

Para lograrlas, la impedancia vista desde el paralelo entre el condensador y drenador hacia el circuito resonante debe ser inductiva.

En estas condiciones se ha demostrado que el inversor es visto por su fuente como una carga de valor:

$$R_{dc} = \frac{1}{\pi \cdot w \cdot C_{out}} \quad (3.18)$$

Es interesante saber cuánta corriente I_{DS} se genera para una tensión dada V_{DS} , y viceversa:

$$V_{ds} = \frac{1}{T_s} \cdot \int_0^{\frac{T_s}{2}} V_s(t) \cdot dt = \frac{1}{\pi} \cdot \frac{I_{ds}}{w_s \cdot C_s} \quad (3.19)$$

$$I_{ds} = \pi \cdot w_s \cdot C_s \cdot V_{ds} \quad (3.20)$$

Si se asume que el valor mínimo de C_s es la capacidad parásita del dispositivo, y que, a una determinada frecuencia, un dispositivo con una capacidad C_s dada, debe operar con una tensión de alimentación V_{DS} suficientemente elevada y función de las características del elemento activo, las expresiones anteriores tienen importantes implicaciones en circuitos clase E prácticos de microondas.

Una vez establecidas w_s , C_s y V_{DS} , el dispositivo debe estar habilitado para manejar la corriente máxima requerida, cuya expresión puede verse a continuación.

$$I_{max} = (1 + a) \cdot I_{ds} \cong 2.86 \cdot I_{ds} \quad (3.21)$$

Si el dispositivo no puede soportar esta corriente será imposible conseguir un circuito clase E de comportamiento ideal a esta frecuencia.

Un valor orientativo de la frecuencia máxima de operación se da en la siguiente expresión:

$$f_{max} = \frac{I_{ds}}{2 \cdot \pi^2 \cdot C_s \cdot V_{ds}} = \frac{I_{max}}{C_s \cdot V_{ds}} \cdot \frac{1}{2 \cdot \pi^2 \cdot (1 + a)} \cong \frac{I_{max}}{56.5 \cdot C_s \cdot V_{ds}} \quad (3.22)$$

Para mayores tensiones de polarización de drenador, la frecuencia máxima de operación se reduce de forma proporcional. Por encima de esta frecuencia, el circuito no puede funcionar como un clase E ideal. Sin embargo, se puede conseguir un

funcionamiento aproximado al ideal, a costa de una ligera degradación de la eficiencia máxima obtenida.

Lo anterior también implica que, dadas diversas tecnologías (MESFET, HEMT, HBT) y utilizando determinados procesos de fabricación, se consigan diferentes rendimientos en el aspecto de potencia de salida máxima en función de la frecuencia, para un circuito clase E.

Observando la componente de DC de $v_s(t)$, se obtendrá una expresión que describe los parámetros de continua del circuito clase E (V_{DS} e I_{DS}).

En cambio, si se estudia la componente a la frecuencia fundamental de $v_s(t)$, se obtiene información acerca de las impedancias complejas en RF del circuito. Esto puede ser, por tanto, utilizado para encontrar ecuaciones de diseño para los elementos de la red de carga.

Las componentes frecuenciales de los armónicos superiores, presentes en el voltaje del conmutador, no serán consideradas para este análisis de primer orden. Sin embargo, se supondrá que la red de carga tiene una impedancia casi infinita a estos armónicos superiores y, por lo tanto, la corriente que fluye por el conmutador para los armónicos superiores deberá tender a cero.

La componente fundamental de la corriente en la carga i_{net1} es conocida, pero la componente fundamental de la tensión en la carga v_{s1} debe ser hallada mediante el uso de series de Fourier, dado que $v_s(t)$ es una función periódica.

Por lo tanto:

$$V_s(t) = \sum_{n=-\infty}^{\infty} K_n \cdot e^{j \cdot n \cdot \omega_s \cdot t} \quad (3.23)$$

Dónde:

$$K_n = \frac{1}{T_s} \cdot \int_0^{\frac{T_s}{2}} V_s(t) \cdot e^{-j \cdot n \cdot \omega_s \cdot t} \cdot dt \quad (3.24)$$

Para $n=1$:

$$K_1 = \frac{I_{ds}}{\omega_s \cdot C_s \cdot T_s} \cdot \int_0^{\frac{T_s}{2}} (\omega_s \cdot t + a \cdot (\cos(\omega_s \cdot t + \varphi) - \cos \varphi)) \cdot e^{-j \cdot \omega_s \cdot t} \cdot dt \quad (3.25)$$

La integral se toma sólo en la primera mitad del periodo porque $v_s(t)$ es cero en la segunda mitad del mismo. Los cálculos para resolver estas ecuaciones son tediosos, de modo que se mostrarán directamente los resultados.

$$V_{s1} = a_0 \cdot I_{ds} \cdot \sin(w_s \cdot t + \varphi_0) \quad (3.26)$$

$$i_{net1} = a \cdot I_{ds} \cdot \sin(w_s \cdot t + \varphi) \quad (3.27)$$

Donde las constantes a_0 y φ_0 son:

$$a_0 = \frac{2 \cdot |K_1|}{I_{ds}} = \frac{1}{w_s \cdot C_s} \cdot \sqrt{\frac{\pi^2}{16} + \frac{4}{\pi} - \frac{3}{4}} \quad (3.28)$$

$$\varphi_0 = \frac{\pi}{2} + \angle K_1 = \frac{\pi}{2} + \tan^{-1} \left(\frac{2 \cdot \pi}{8 - \pi^2} \right) \quad (3.29)$$

El fasor impedancia de la red de carga externa puede ser ahora calculado como:

$$Z_{net1} = \frac{a_0}{a} \cdot e^{j \cdot (\varphi_0 - \varphi)} \cong \frac{0.28015}{w_s \cdot C_s} \cdot e^{j \cdot 49.0524^\circ} \quad (3.30)$$

Es interesante destacar que el ángulo de la impedancia de carga requerida para operar como clase E, con un condensador en paralelo al conmutador, es una constante independiente del resto de la topología del circuito.

La magnitud es directamente proporcional a la impedancia del condensador en paralelo a la frecuencia de conmutación.

Para asegurar un funcionamiento clase E, todo lo que se necesita es obtener una impedancia a la frecuencia fundamental igual a Z_{net1} , y condiciones de circuito abierto a todos los armónicos superiores, con ello se cumplen las condiciones de ZVS y ZDS.

En la Figura 3.8 se expone una topología específica para la red de carga externa:

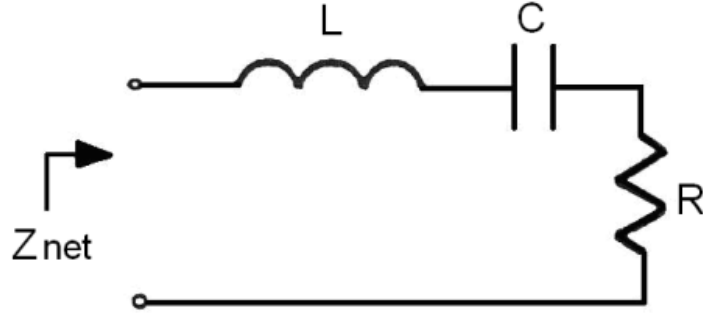


Figura 3.8: Red de carga externa vista por el dispositivo conmutador a frecuencias de RF

Esta red satisface la condición de alta impedancia a todas las frecuencias de armónicos superiores a la fundamental, por lo que sólo importa que la impedancia de la red sea la impedancia anterior a la frecuencia fundamental. Es decir, que:

$$Z_{net1} = Z_{net} = R + j \cdot \omega_s \cdot L - \frac{1}{j \cdot \omega_s \cdot C} \quad (3.31)$$

Si se iguala esta expresión a la obtenida anteriormente para Z_{net1} , se obtiene una ecuación compleja con dos incógnitas, C_s y C .

$$Z_d(f) = R + j \cdot \omega_s \cdot L - \frac{1}{j \cdot \omega_s \cdot C} = \frac{0.18}{\omega_s \cdot C_s} + j \cdot \frac{0.21}{\omega_s \cdot C_s} = \frac{0.28015}{\omega_s \cdot C_s} \cdot e^{j \cdot 49.0524^\circ} \quad (3.32)$$

Para el resto de frecuencias se tendría:

$$Z_d(K \cdot f) = \infty \quad \text{con } K > 1$$

Esto se consigue gracias a las condiciones antes descritas de ZVS y ZDS.

Igualando las partes reales e imaginarias de ambas expresiones se obtiene:

$$C_s = \frac{1}{2 \cdot \pi \cdot f_s \cdot R \cdot \left(\frac{\pi^2}{4} + 1\right) \cdot \frac{\pi}{2}} \cong \frac{1}{2 \cdot \pi \cdot f_s \cdot R \cdot 5.447} \quad (3.33)$$

$$C = C_s \cdot \left(\frac{\left(\frac{\pi^2}{4} + 1 \right) \cdot \frac{\pi}{2}}{Q_L} \right) \cdot \left(1 + \frac{\frac{\pi^3}{16} - \frac{\pi}{4}}{Q_L - \frac{\pi^3}{16} - \frac{\pi}{4}} \right) \cong C_s \cdot \frac{5.447}{Q_L} \cdot \left(1 + \frac{1.153}{Q_L - 1.153} \right) \quad (3.34)$$

Donde Q_L se define como:

$$Q_L = \frac{w_s \cdot L}{R} \quad (3.35)$$

Estas ecuaciones de C_s y C son expuestas de esta forma y comparadas con las ecuaciones originales. La expresión para C_s obtenida aquí es idéntica a la original, mientras que la expresión dada por Sokal para C es:

$$C \cong C_s \cdot \left(\frac{5.447}{Q_L} \right) \cdot \left(1 + \frac{1.42}{Q_L - 2.08} \right) \quad (3.36)$$

Los resultados experimentales son a menudo obtenidos con un valor pequeño de Q_L .

Para diseñar un amplificador clase E utilizando esta topología se deben establecer inicialmente w_s , L y R . Estos parámetros determinan Q_L . Entonces C_s y C son evaluados utilizando las expresiones anteriores.

Sin embargo, esta topología tiene una utilidad limitada para circuitos de microondas, ya que la frecuencia, la impedancia de carga y la capacidad del conmutador no pueden ser establecidas de forma independiente.

Para un amplificador de microondas saturado, la impedancia de carga es a menudo de 50Ω , y frecuentemente, al iniciar un diseño, ya se parte con un determinado transistor en mente, con una cierta capacidad de salida C_s .

Entonces la frecuencia de operación w_s queda ya establecida. Para solucionar el problema de no poder establecer estos tres parámetros de forma independiente, se expone a continuación una nueva topología, propuesta para su uso en circuitos de microondas clase E.

3.1.2.2 Circuito clase E con elementos discretos L serie/C paralelo

El circuito clase E con elementos discretos L serie/C paralelo se muestra a continuación en la figura 3.9, L_b y C_b actúan como T de polarización, pero se asumirá que no afectan al comportamiento del circuito en RF de forma apreciable. A la frecuencia de conmutación, sólo L, C y R contribuyen a la impedancia de RF vista por el condensador conmutado (ver figura 3.10).

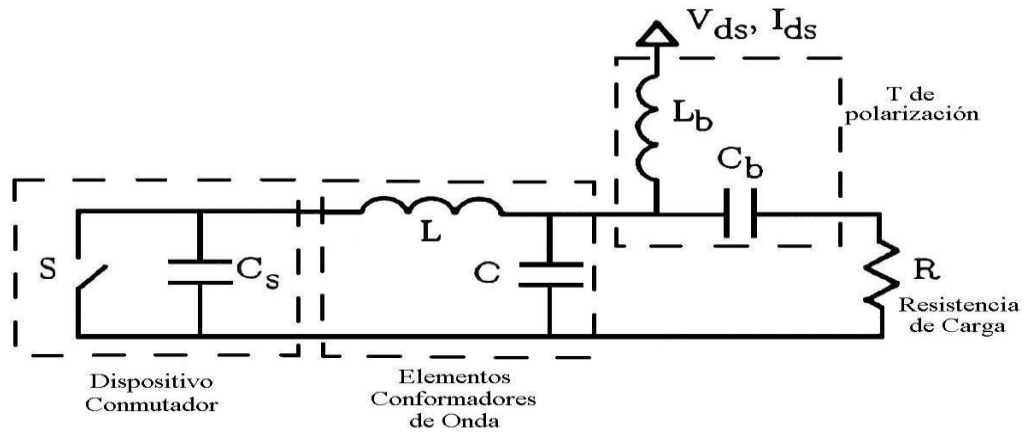


Figura 3.9. Circuito clase E con elementos discretos L serie/C paralelo.

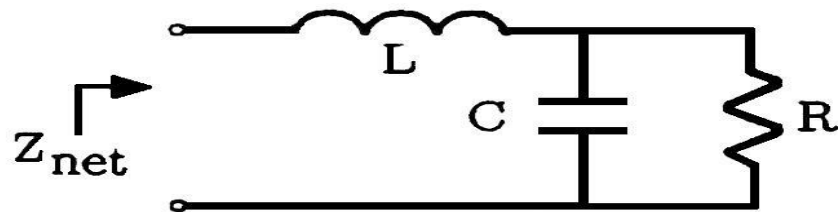


Figura 3.10. Red de carga externa del circuito clase E con elementos discretos L serie/C paralelo, vista a la salida del dispositivo conmutador a la frecuencia de operación.

Esta impedancia es:

$$Z_{\text{net}} = j \cdot \omega_s \cdot L + \frac{R}{1 + j\omega_s \cdot C \cdot R} \quad (3.37)$$

Como anteriormente, la impedancia de la red de carga deseada a la frecuencia de conmutación es:

$$Z_{net1} = \frac{K_0}{w_s \cdot C_s} \cdot e^{j\theta} \quad (3.38)$$

$$K_0 = w_s \cdot C_s \cdot \frac{a_0}{a} \cong 0.28015 \quad (3.39)$$

$$\theta_0 = \phi_0 - \phi \cong 40.0524^\circ \quad (3.40)$$

Igualando las dos expresiones de Z_{net1} se obtiene una ecuación compleja con dos incógnitas, L y C. Igualando las partes real e imaginaria podemos obtener ambas incógnitas:

$$L = \frac{K_0}{w_s^2 \cdot C_s} \cdot \left(\sin \theta_0 + \cos \theta_0 \sqrt{\frac{w_s \cdot C_s \cdot R}{K_0 \cdot \cos \theta_0} - 1} \right) \quad (3.41)$$

$$C = \frac{1}{w_s \cdot R} \cdot \left(\sqrt{\frac{w_s \cdot C_s \cdot R}{K_0 \cdot \cos \theta_0} - 1} \right) \quad (3.42)$$

En esta topología, la resistencia de carga, la frecuencia de operación y la capacidad del conmutador pueden ser establecidas de forma independiente, a diferencia del circuito original clase E analizado anteriormente.

3.3 Convertidor clase E2 basado en un dispositivo HEMT

3.3.1 Introducción al convertidor resonante de potencia

Siguiendo la línea de los primeros estudios realizados a finales de los 80 sobre el uso de un convertidor resonante DC/DC en alta frecuencia [1], se describe el convertidor como un sistema formado por un inversor clase E y un rectificador clase E. Estudios anteriores habían implementado el convertidor resonante con un rectificador convencional, en vez de uno clase E, obteniendo niveles limitados de eficiencia. El uso de la clase E es debido a sus características, que hacen que su funcionamiento se asemeje a un interruptor como se ha visto anteriormente, evitando la pérdida de potencia en la carga y descarga del condensador, y que favorecen que el sistema pueda proporcionar gran eficiencia en alta frecuencia gracias a forzar tanto al inversor como al rectificador a las condiciones de ZVS y ZDS. Este convertidor, clase E2 que combina ambas topologías fue propuesto por Kazimierczuk y Jozwik [5].

La mejora del rendimiento de las fuentes de potencia de modo conmutado es el resultado directo de las altas frecuencias de conmutación utilizadas en los procesos de conversión de energía. Los mayores beneficios que se obtiene al aumentar la frecuencia de conmutación son la reducción del tamaño de los componentes de filtrado lo que se traduce en una mayor eficiencia. De este modo, se logrará aumentar la eficiencia al mejorar su componente principal, el convertidor DC/DC.

Estudios posteriores del mismo autor [6] presentan el circuito del convertidor resonante como se muestra en la figura 3.11.

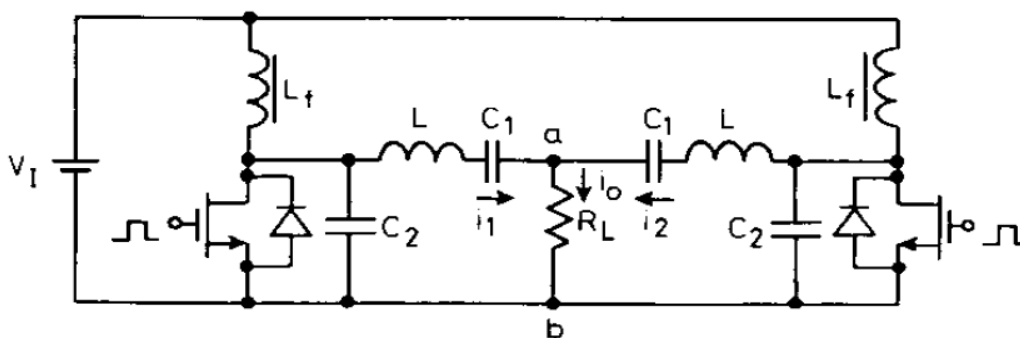


Figura 3.11. Circuito del convertidor resonante DC-DC presentado por M. K. Kazimierczuk

Gracias a esta miniaturización y por consiguiente a la reducción del almacenamiento de energía utilizando componentes pasivos de menor tamaño y valor, en la actualidad, se ha despertado un gran interés en la operación de convertidores de potencia a frecuencias de conmutación más elevadas de las que se usan hoy en día.

La topología a desarrollar en este proyecto para la clase de convertidor clase E2 que se propuso en [3] se representa en la figura 3.12.

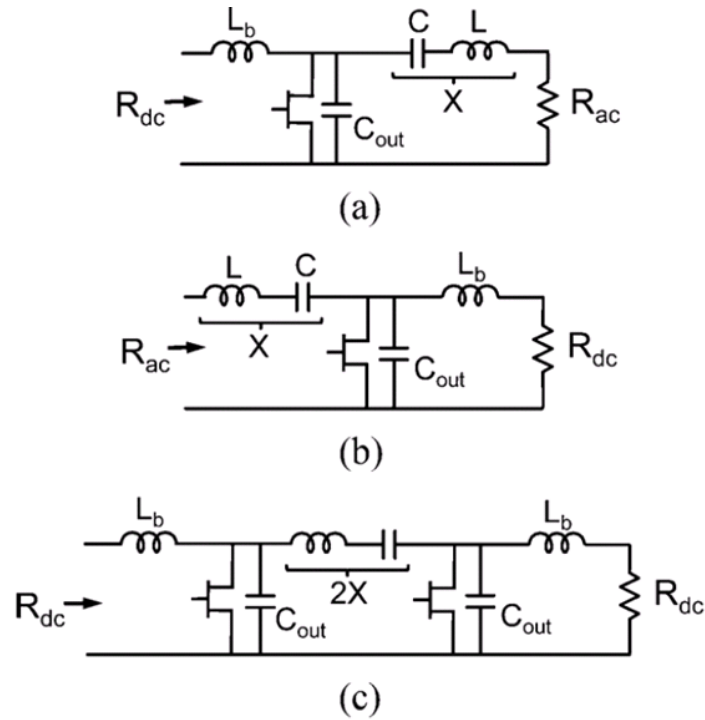


Figura 3.12. (a) Inversor Clase E. (b) Rectificador clase E (c) Circuito básico del convertidor resonante clase E2 DC-DC

En la figura 3.12(a) se observa un amplificador clase E, el cuál ha sido analizado con detalle anteriormente y en [7].

El convertidor clase E2 de la figura 3.12(c) es la combinación de un inversor clase E con un rectificador clase E síncrono.

Según hemos visto anteriormente, L_b se supone como una inductancia infinita con el fin de considerar la rama de carga del dispositivo como una fuente de corriente continua. La red de salida con un alto factor de calidad como para asegurar que la corriente que lo atraviesa sea una senoide a la frecuencia de conducción.

Sintonizando el circuito LC resonante ligeramente por debajo de la frecuencia de conmutación, las condiciones óptimas para un inversor son las siguientes [7]:

$$D = 0.5 \quad (3.43)$$

$$R_{ac} = \frac{0.1836}{\omega \cdot C_{out}} \quad (3.44)$$

$$X = \frac{0.2116}{\omega \cdot C_{out}} \quad (3.45)$$

Siendo D el ciclo de trabajo de conmutación, mientras que R_{ac} y X son las componentes real e imaginaria de la impedancia óptima de funcionamiento vista por el dispositivo (incluyendo la capacitancia) a la frecuencia fundamental.

En estas condiciones se ha demostrado que el inversor es visto por su fuente como una carga de valor:

$$R_{dc} = \frac{1}{\pi \cdot \omega \cdot C_{out}} \quad (3.46)$$

Las condiciones óptimas para el rectificador de la figura 3.12 (b) son las mismas que para el inversor, D, X, y R_{dc} , mientras que el desplazamiento de fase requerido $\Delta\phi$ entre puerta-fuente y drenador-fuente debe establecerse en 180° para obtener la sincronización deseada.

En el caso del rectificador su excitación en CA es una carga resistiva de valor R_{ac} (3.44).

El convertidor DC/DC clase E2 es la formación en cascada de los dos circuitos descritos anteriormente. El rectificador da la carga R_{ac} requerida por el inversor de forma que ambos puedan operar según las condiciones de funcionamiento ZVS y ZDS sin añadir ningún elemento adicional para la interconexión.

La combinación en serie de los dos circuitos resonantes formaría un circuito LC donde el valor de la reactancia debe ser:

$$2 \cdot X = \frac{0.4232}{\omega \cdot C_{out}} \quad (3.47)$$

Para un funcionamiento sin pérdidas, la tensión continua de salida sería igual al valor de polarización de entrada, mientras que la carga de DC ofrecida por el convertidor a su fuente de alimentación sería exactamente su resistencia de carga R_{dc} . Todo esto es gracias a la simetría en la topología ya que sin ella nada de esto sería posible ya que el inversor ofrece al rectificador la carga deseada y viceversa y si no hubiese simetría aunque uno

de los dos ofrezca la carga correcta el otro no podría ofrecer el valor correcto de carga. Con todo ello se obtendría una impedancia al fundamental de:

$$Z_d(f) = R + 2 \cdot \left[j \cdot \omega_s \cdot L - \frac{1}{j \cdot \omega_s \cdot C} \right] = \frac{0.18}{\omega_s \cdot C_s} + j \cdot \frac{0.42}{\omega_s \cdot C_s} \quad (3.48)$$

3.4 Referencias

- [1] N. A. Sokal, A. D. Sokal, "Class-E – A New Class of High-Efficiency Tuned Single-Ended Switching Power Amplifiers", IEEE Journal of Solid-State Circuits, Vol. SC-10, N° 3, Junio 1975
- [2] T. B. Mader, Z. B. Popović, "The Transmisión-Line High-Efficiency Class-E Amplifier", IEEE Microwave and Guided Wave Letters, Vol. 5, N° 9, Septiembre 1995
- [3] Gonzalo Hernández Espeso "Diseño de Inversores y Convertidores DC/DC en RF A GaN HEMT", Proyecto fin de carrera, Universidad de Cantabria, 2012.
- [4] M. Niknejad. "The Class E/F Family of Harmonic-Tuned Switching Powers Amplifiers"
- [5] M. K. Kazimierczuk, J. Jozwik "Class E2 Narrow-Band Resonant DC/DC Converters", IEEE Trans. Instrum. Meas, vol.38, no 6, pp 1064-1068, Diciembre 1989.
- [6] M.K. Kazimierczuk, "Synthesis ef phase-modulated resonant DC/AC inverters and DC/DC convertors", Julio 1992.
- [7] F. H. Raab, "Idealized operation of the class E tuned power amplifier, "IEEE Trans. Circuits Syst., vol. CS-24, no. 12, pp. 725-735, Dec. 1977.

4

Diseño de un Convertidor Resonante Clase E2 en Tecnología E-PHEMT

En este cuatro capítulo se describe paso a paso el proceso de diseño seguido para la realización de un Convertidor DC/DC conmutado clase E, tratándose de conseguir un funcionamiento de alta eficiencia trabajando a nuestra frecuencia de 900 MHz.

Dicho convertidor está compuesto por dos transistores E-pHEMT, además de todos los elementos pasivos necesarios para formar las redes de adaptación, polarización, etc., que conforman la rama inversora Clase E, que convierte la señal continua de la entrada en señal de RF, y la rama rectificadora Clase E, que realiza el proceso contrario. Se simulará el modelo del transistor utilizado, de inversor, de rectificador y de convertidor, lo que nos dará una idea de los resultados que se pueden lograr a la hora de su implementación. Para concluir el capítulo se comentan brevemente los resultados obtenidos.

4.1 Introducción al diseño

El convertidor clase E^2 es la combinación de un inversor clase E con un rectificador clase E síncrono, como se ha visto en el capítulo 3. Una de las motivaciones de este proyecto es conseguir que la implementación en la misma placa de ambas ramas obtenga una mayor eficiencia que si se implementasen de manera independiente, mejorando la rama AM del transmisor polar, y, por tanto, obteniendo mayor eficiencia total del conjunto.

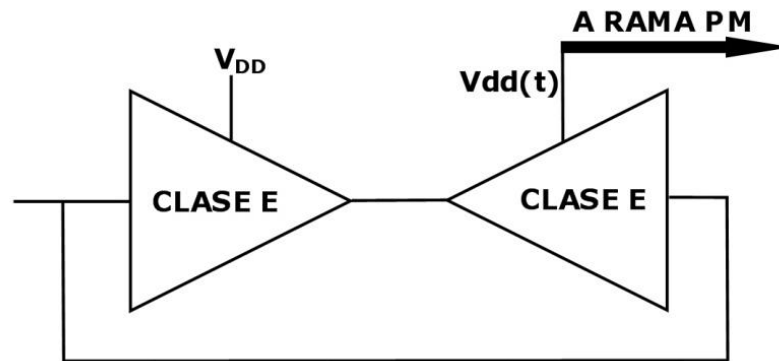


Figura 4.1. Esquema simplificado del convertidor DC/DC

La figura 4.1 muestra de una manera simplificada la unión de dos amplificadores clase E, cuyo objetivo es que funcione como convertidor de DC a DC, por lo que el primero funcionará como inversor, es decir, realizará el cambio de DC a AC, y el segundo como rectificador, efectuando el cambio de AC a DC nuevamente.

Ambas estructuras serán diseñadas sobre dispositivos E-pHEMT de Avago Technologies [1]. Esta tecnología está optimizada para diseños de receptores en celulares, pcs, estaciones base, MMDS y otras aplicaciones de RF en la gama de frecuencias de 450 MHz a 6 GHz ofreciendo alta ganancia, alta linealidad y bajo ruido.

4.2 Elección y verificación del modelo del transistor

La elección del modelo del transistor que se va a utilizar es de vital importancia para las posteriores simulaciones y medidas de los diseños, ya que de la validez de esta elección dependerá por completo la fiabilidad de las simulaciones que se realicen en el ordenador y que darán lugar posteriormente al circuito que será físicamente construido.

El transistor elegido para la realización del amplificador clase E es un transistor de la tecnología E-pHEMT de Avago Technologies. En concreto el modelo ATF-54143.

Sus características más detalladas pueden consultarse en sus hojas de características en [1].

Se aproxima el funcionamiento del transistor mediante un modelo, con el cual se obtienen las condiciones de trabajo óptimas del transistor para poder conseguir su máximo rendimiento.

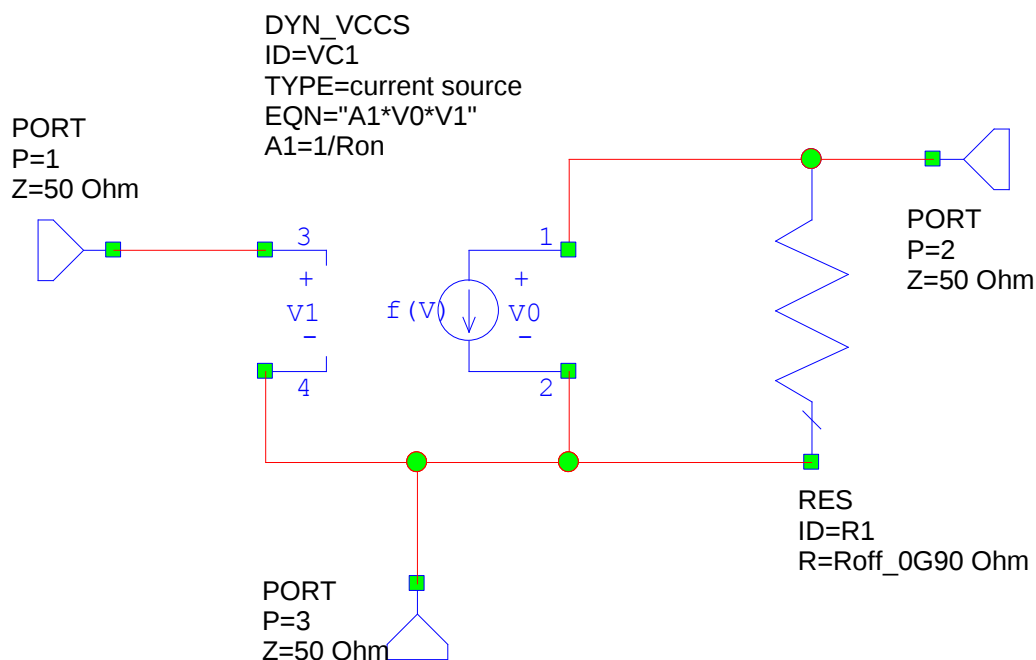


Figura 4.2. Modelo transistor ATF-54143

En primer lugar se consigue el valor de pinch-off, V_p , que es valor de V_{GS} que indica el comienzo de la zona de pinch-off. La mejor definición del valor de pinch-off es observando la tercera derivada o tercer armónico de la amplitud de corriente I_{DS} . En este armónico la V_p es el valor que toma la V_{GS} cuando la corriente es nula.

La tensión de pinch-off se define según la aplicación para la cual se va a utilizar el transistor. En nuestro caso se utilizará como un clase E, para ello hay que tener en cuenta que un clase E no tiene una característica lineal, es decir, que si está en el estado OFF a partir de la tensión de pinch-off se ponga a conducir sino que cuando está en el punto de pinch-off habría conductancia, es decir, que cuando está en pinch-off no estaría del todo en abierto.

Para utilizar el modo conmutado interesa que cuando este en el estado OFF no conduzca y en pinch-off hay algo de conductancia, por lo que es mejor trabajarle con una tensión inferior.

Con todo ello, se observa el S_{22} del transistor mientras se aumenta V_{GS} , en el borde de la carta de Smith es más o menos un abierto, en el momento que el S_{22} se mete hacia dentro de la carta ya hay conducción entre drenador y fuente y por ello se trabaja con una tensión de puerta un poco inferior. Esta tensión es la tensión de puerta más alta con la que la conductancia aún no ha empezado a crecer, es decir, que no haya conducción entre drenador y fuente. Esto determina el punto de trabajo del clase E. Si se trabaja más abajo para llevarle hasta el estado ON se necesita aplicar más potencia. Este sería el punto en que sin conducción se necesitaría la menor potencia para llevarle al estado ON.

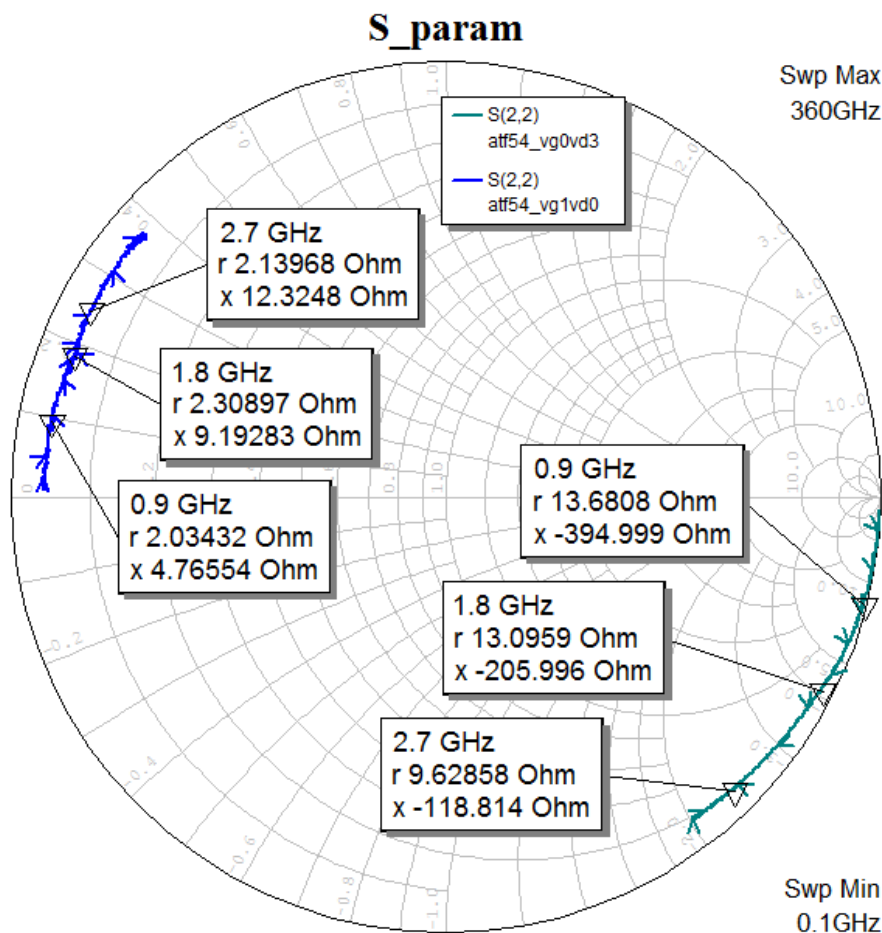


Figura 4.3. Muestra de los parámetros $S_{2,2}$ en estado ON y OFF para la obtención de C_{out}

Como se puede observar en la figura 4.3, con una V_{GS} de 0V el transistor se encuentra en la zona de OFF donde la V_{DD} es de 3V, el cambio al estado de ON se observa para una V_{GS} es de 1V donde la V_{DD} es de 0V.

El siguiente paso será obtener los valores de los parámetros con los que haremos el modelo del transistor para disponer de un mayor conocimiento acerca del funcionamiento del transistor como conmutador. Para obtener estos parámetros hacemos uso de la herramienta Microwave Office 2011 introduciendo las siguientes ecuaciones en el simulador.

ATF54143

Output Susceptance (Pinch-off)

$$B_{out_43_Meas} = Sparam_ATF54143_Meas_Off_3V:Im(YIN(2))$$

Output Conductance (Pinch-off)

$$G_{out_43_Meas} = Sparam_ATF54143_Meas_Off_3V:Re(YIN(2))$$

Output (ON state) Resistance

$$R_{on_43_Meas} = Sparam_ATF54143_Meas_On_1V:Re(ZIN(2))$$

Output (OFF state) Resistance

$$R_{off_43_Meas} = 1/G_{out_43_Meas}$$

Output Capacitance

$$C_{out_43_Meas} = B_{out_43_Meas} / (2 * \pi * FREQUENCY)$$

Optimum Impedance and Reflection Coeff. @ f0

$$Z_{opt_43_Meas} = 0.28015 / (2 * \pi * FREQUENCY * C_{out_43_Meas}) * \exp(j * 49.0524 / 180 * \pi)$$

$$S_{opt_43_Meas} = (Z_{opt_43_Meas} - 50) / (Z_{opt_43_Meas} + 50)$$

$$Mag_43_Meas = abs(S_{opt_43_Meas})$$

$$Phase_43_Meas = 180 / \pi * angle(S_{opt_43_Meas})$$

DC Resistance

$$R_{dc_43_Meas} = 1 / (\pi^2 * \pi * FREQUENCY * C_{out_43_Meas})$$

Efficiency

$$wRC = 2 * \pi * FREQUENCY * R_{on_43_Meas} * C_{out_43_Meas}$$

$$Eff_43_Meas = 100 * (1 + (\pi/2 + wRC)^2) / ((1 + \pi^2/4) * (1 + \pi * wRC)^2)$$

- C_{out}

A baja frecuencia C_{out} no influye nada, lo que se tiene es un abierto (R_{OFF}). Conforme aumenta la frecuencia se tiende al cortocircuito por el condensador.

Por debajo de pinch-off el S_{22} es casi igual al ideal, en el momento que el transistor empieza a conducir es el momento que la conductancia de salida tiene un aumento significativo, eso es indicativo que la admitancia de salida que está viendo el transistor ya no es solo debida a la capacidad, si no que además existe una conductancia. Por eso con el paso anterior se tiene solo la capacidad.

$$Y = G + j \cdot B \rightarrow C_{out} = \frac{B}{2 \cdot \pi \cdot f} \quad (4.1)$$

$$C_{out} = 0.44716 \text{ pF} \quad (4.2)$$

- R_{DC}

Si el amplificador cumple con las condiciones de Z_{VS} y Z_{DS} es visto por su fuente como una carga de valor R_{DC} :

$$R_{DC} = 125.88 \Omega \quad (4.3)$$

- R_{OFF}

Impedancia del transistor cuando su estado es abierto:

$$R_{OFF} = 11418 \Omega \quad (4.4)$$

- S_{opt}

$$S_{opt} = 0.58394 + j \cdot 40.567 \quad (4.5)$$

- Z_{opt}

La impedancia óptima que debe ver el dispositivo a la frecuencia fundamental:

$$Z_{opt} = (72.609 + j \cdot 83.682) \Omega \quad (4.6)$$

- R_{ON}

Impedancia del transistor cuando su estado es cerrado (ON):

$$R_{ON} = 2.0343\Omega \quad (4.7)$$

4.3 Diseño del Inversor Clase E

Una vez conocidos los parámetros del transistor se realiza una simulación de Load-Pull. Las simulaciones de Load-Pull usan sintetizadores de impedancia para variar las impedancias de entrada y salida vistas por el transistor y así medir el funcionamiento a través de la potencia reflejada y entregada, la potencia de salida, el consumo de DC, la eficiencia en potencia, los niveles de intermodulación, y otros parámetros. En este caso se realiza para observar los contornos de la eficiencia y del nivel de potencia en la salida con respecto a la impedancia de la terminación óptima.

Para realizar el barrido de la impedancia se emplea el esquemático de la Figura 4.4 para el modelo del transistor con el que se va a implementar el Inversor clase E. La capacidad se añadió externamente para poder medir la corriente que atraviesa la misma.

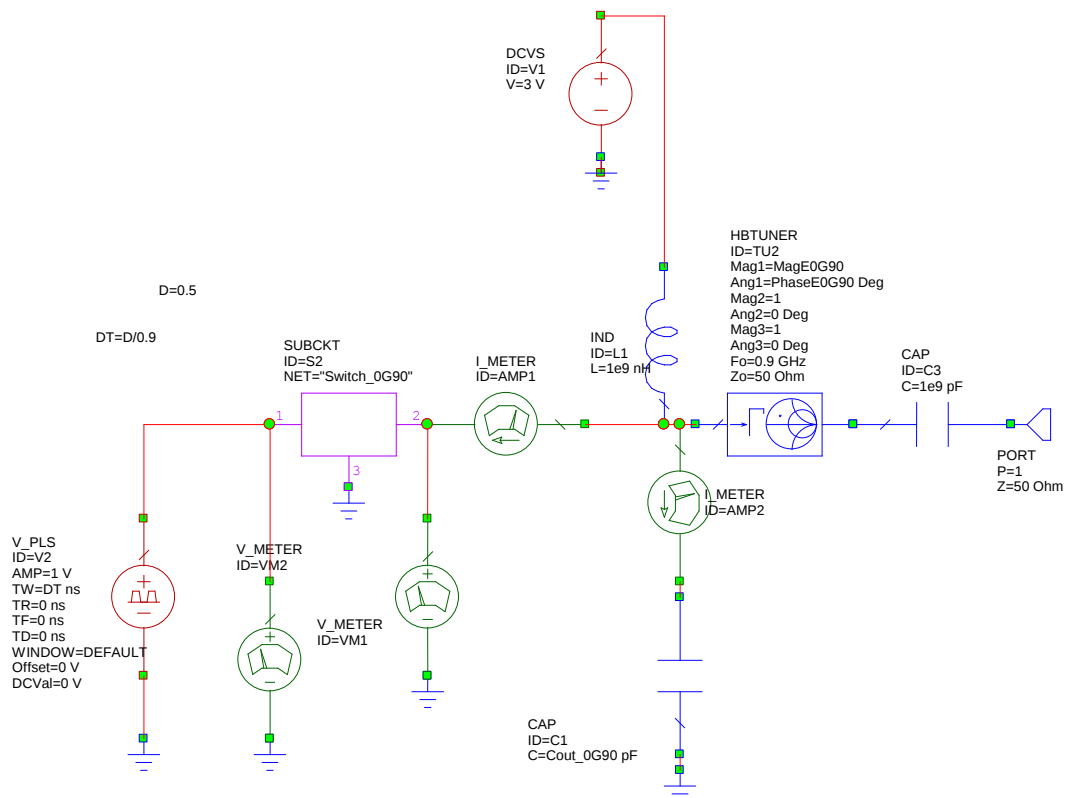


Figura 4.4. Esquemático para la simulación Load-Pull del inversor

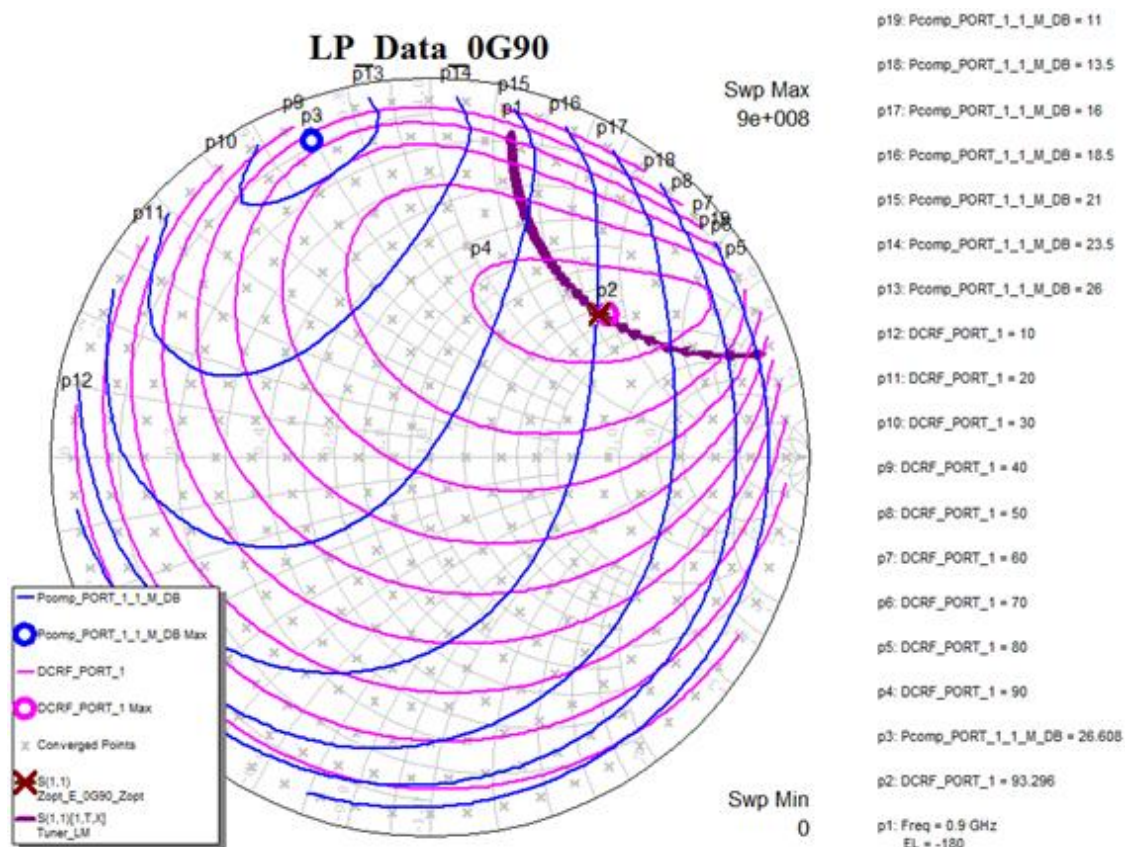


Figura 4.5. Círculos de eficiencia y potencia en la salida del inversor con Load-Pull Wizard

Se puede apreciar como el punto de impedancia óptima al fundamental está dentro del círculo de mayor eficiencia y el punto de mayor potencia en la salida está un poco más alejado. Gracias a esto se puede apreciar que el punto de mayor potencia en la salida no implica que sea el punto donde se tenga más eficiencia.

Con el modelo del transistor ATF-54143 y obligando al inversor a las condiciones requeridas de ZVS y ZDS, se evaluó el comportamiento de este en términos de frecuencia de conmutación a través de simulaciones.

En la figura 4.6 se observa las formas de onda de corriente y tensión de drenador para el inversor, teóricamente se describe este funcionamiento en [2], tanto para inversor como para rectificador.

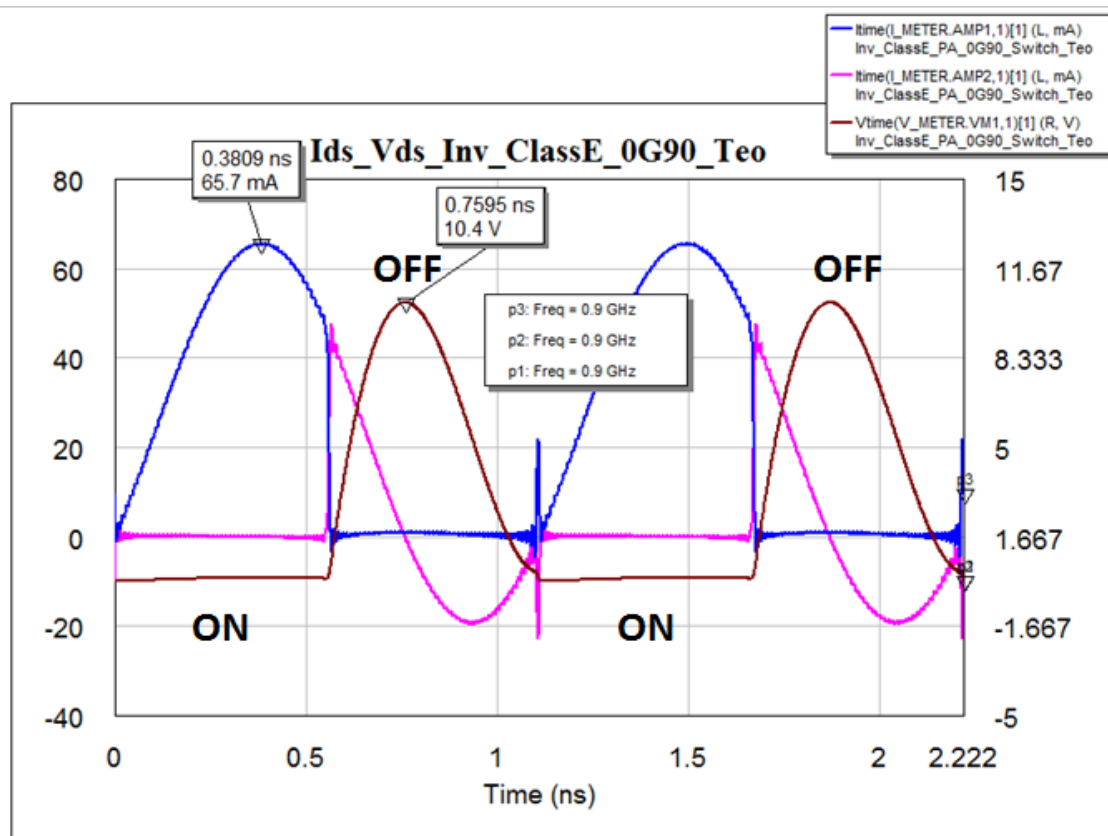


Figura 4.6. Condiciones ZVS y ZDS del inductor

En el estado ON (cerrado) del conmutador se observa la corriente que fluye por el transistor mientras que la intensidad que fluye por el condensador es cero ya que el transistor se comporta como un cortocircuito y ambos están en paralelo yéndose toda la corriente por el transistor. En estado OFF (abierto) se tiene la corriente que fluye por el condensador.

Se puede observar en la tabla de la figura 4.7 de características ideales del inductor.

Frequency (GHz)	DB(IPcomp... Inv_ClassE...	DCRF(PO... Inv_ClassE...	Re(Eqn(Eff... Output Equi...	Re(Eqn(RDC... Output Equati...	Re(Eqn(VDD... Output Equati...	Re(Eqn(IDD... Output Equat...	Re(Eqn(PDC... Output Equati...
0.9	18.156	93.25	93.25	128.31	3	0.023381	0.070143

Figura 4.7. Tabla de características ideales del inductor.

Idealmente se podría llegar a alcanzar un valor de eficiencia para el inductor del 93.25%, que es un buen valor de partida.

4.4 Diseño del Rectificador Clase E síncrono

Se comienza realizando nuevamente una simulación de Load-Pull esta vez para el esquemático correspondiente al rectificador (figura 4.8). Se observan los contornos de eficiencia y de tensión de salida con respecto a la impedancia de la terminación óptima del rectificador en la Figura 4.9.

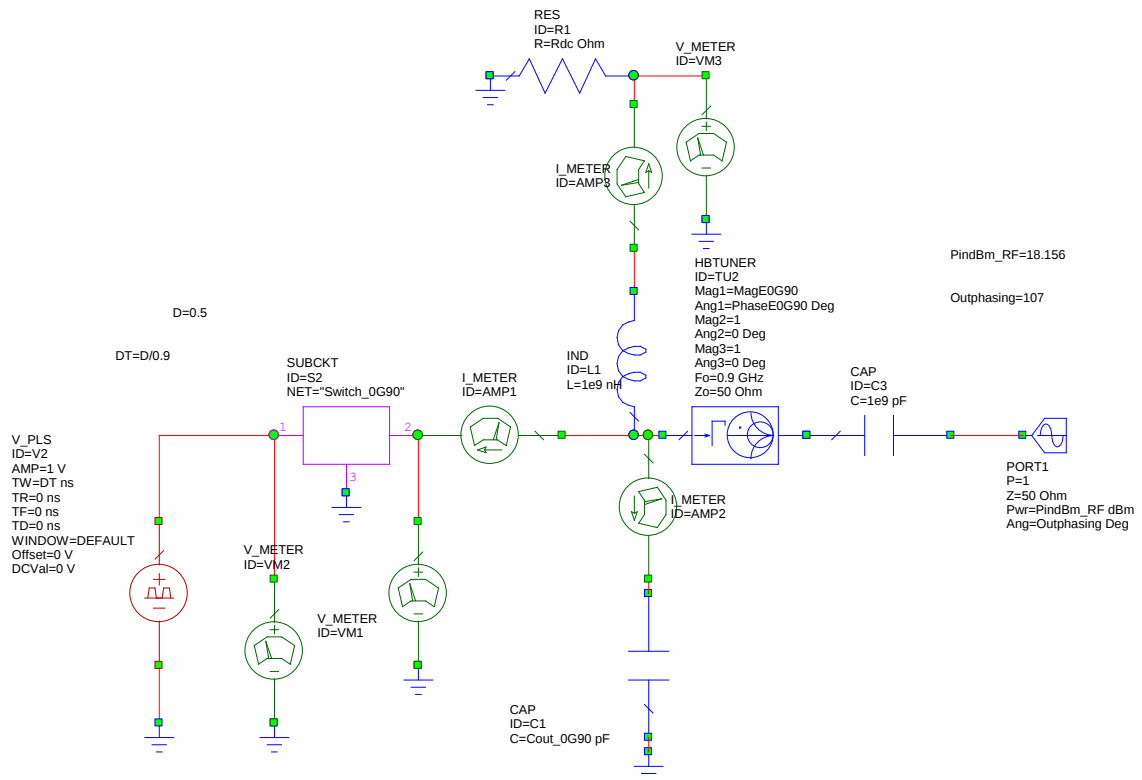


Figura 4.8. Esquemático para la simulación Load-Pull del rectificador

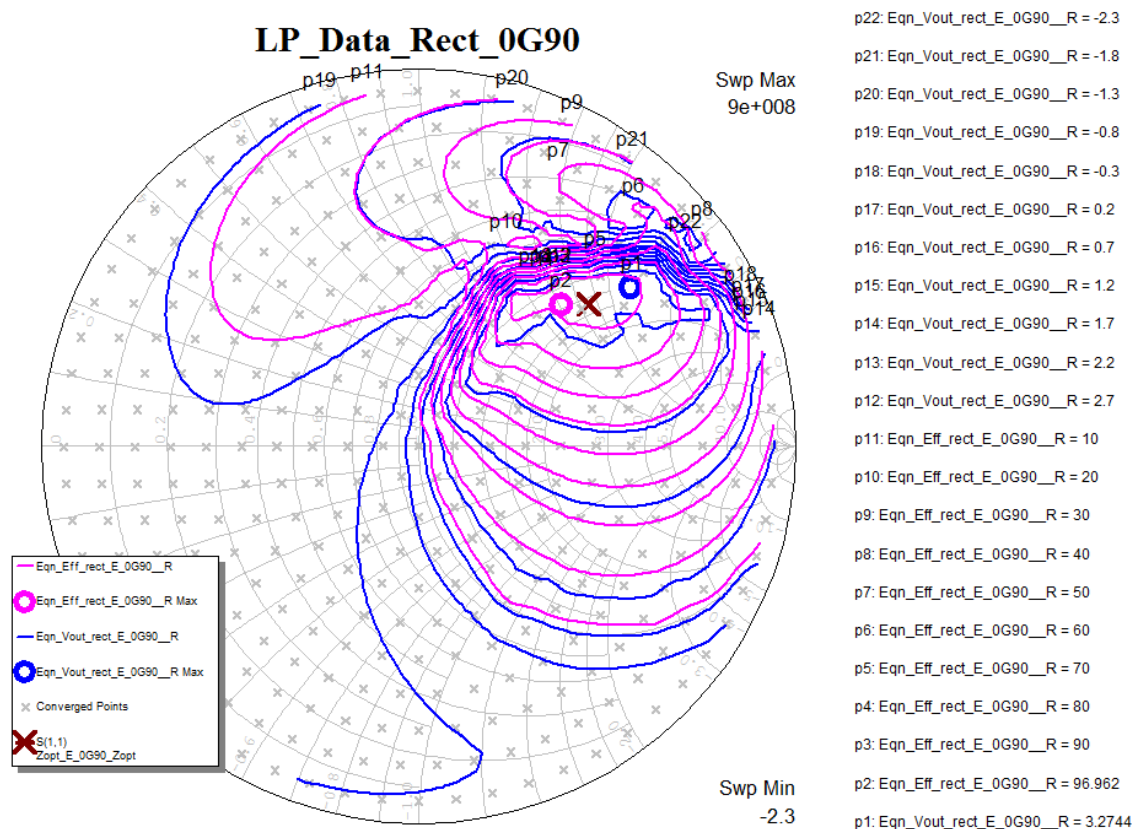


Figura 4.9. Círculos de eficiencia y potencia en la salida del rectificador con Load-Pull Wizard

El punto de impedancia óptima al fundamental está dentro tanto del círculo de mayor eficiencia como del punto de mayor potencia de salida. Para este caso se puede ver que los puntos de mayor potencia en la salida y de mayor eficiencia se encuentran cercanos lo cual favorece el diseño.

Con el modelo del transistor ATF-54143 y obligando al rectificador a las condiciones requeridas de ZVS y ZDS, se evaluó el comportamiento de este en términos de frecuencia de conmutación a través de simulaciones.

En la figuras 4.10 se observa las formas de onda de corriente y tensión de drenador para el rectificador.

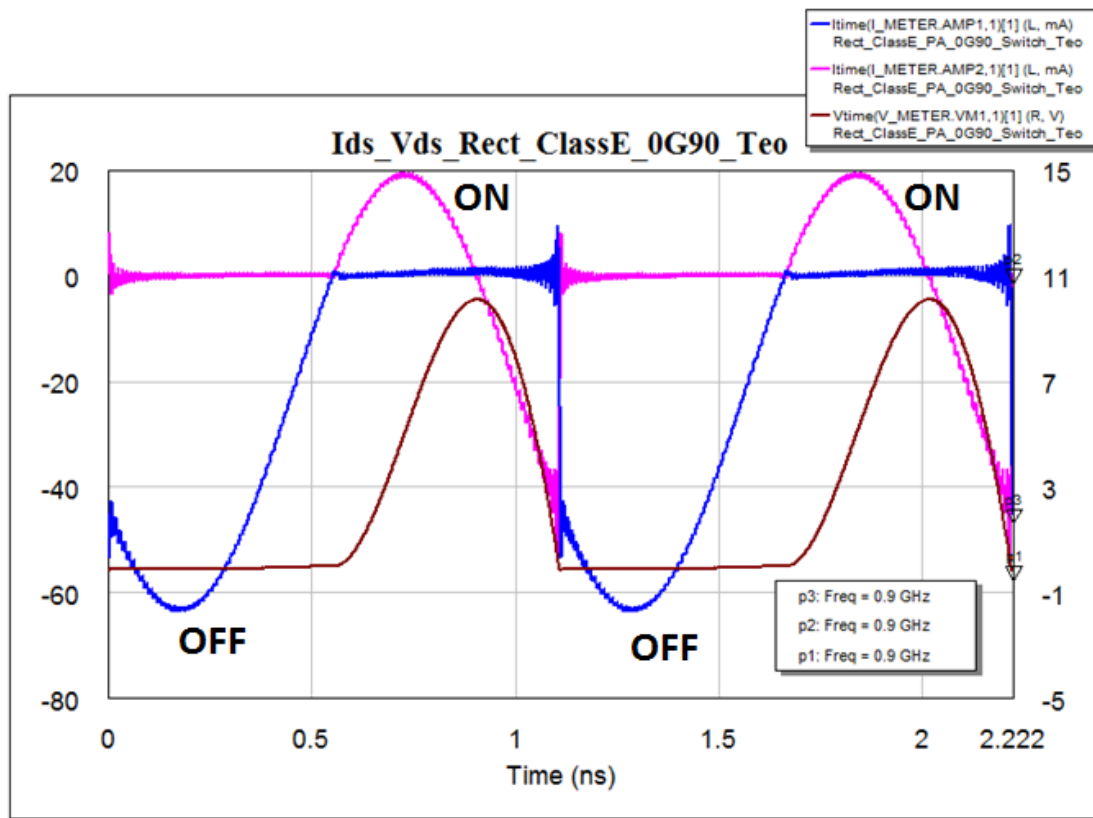


Figura 4.10. Condiciones ZVS y ZDS del rectificador

En el estado ON (cerrado) del conmutador se observa la corriente que fluye por el transistor mientras que la intensidad que fluye por el condensador es cero ya que el transistor se comporta como un cortocircuito y ambos están en paralelo yéndose toda la corriente por el transistor. En estado OFF (abierto) se tiene la corriente que fluye por el condensador.

Como se puede observar las formas son invertidas con respecto a las del inversor. Las condiciones de ZVS y ZVDS se pueden apreciar en las transiciones del rectificador de ON a OFF.

4.5 Diseño del Convertidor DC/DC

Una vez diseñados el inversor y el rectificador, llega el momento de realizar el diseño del Convertidor clase E. El diseño del convertidor se realizará comenzando con la red de interconexión. La parte importante ahora es lograr que esta red de interconexión que se aproxime lo más posible a la impedancia óptima que se calculará a continuación.

En el apartado 4.2 se han indicado las características de dicho transistor para trabajar en las condiciones deseadas de Z_{VS} y Z_{DS} , éstas serán forzadas en el funcionamiento del convertidor para ambos transistores.

$$R_{OFF} = 11418 \, \Omega \quad (4.8)$$

$$R_{ON} = 2.0343 \, \Omega \quad (4.9)$$

$$C_{out} = 0.44716 \, pF \quad (4.10)$$

La R_{DC} que ofrecerá el inversor a la fuente:

$$R_{DC} = 125.88 \, \Omega \quad (4.11)$$

Recordemos que nuestra impedancia óptima al fundamental no es la misma que tendría un único amplificador ya que ahora tenemos dos circuitos resonantes en serie, la reactancia de la impedancia al armónico fundamental será el doble de la antes calculada. Por lo tanto, la impedancia a conseguir en una puerta de la red de interconexión cuando se carga la otra puerta con la resistencia óptima de $72.609 \, \Omega$, ha de ser:

$$Z_{opt} = (72.609 + 2 \cdot j \cdot 83.682) \, \Omega = (72.609 + j \cdot 167.364) \, \Omega \quad (4.12)$$

4.5.1 Diseño de la red de interconexión del Convertidor DC/DC

En trabajos realizados con anterioridad se diseñó una red de interconexión multiarmónica para terminar cada uno de los armónicos [3], en nuestro caso se continúa con el objetivo de simplificar las redes lo más posible buscando el comportamiento óptimo con una red de una sola bobina autoresonante y ajustándose la capacidad cuidadosamente para proporcionar la reactancia deseada de $2.X$ [4] [5].

El circuito debe guardar simetría ya que en ella se basa el funcionamiento del convertidor, el inversor ofrece al rectificador la impedancia de generador deseada y viceversa. Por ello se diseña una red con dos condensadores y una bobina entre ellos como la de la figura 4.11.

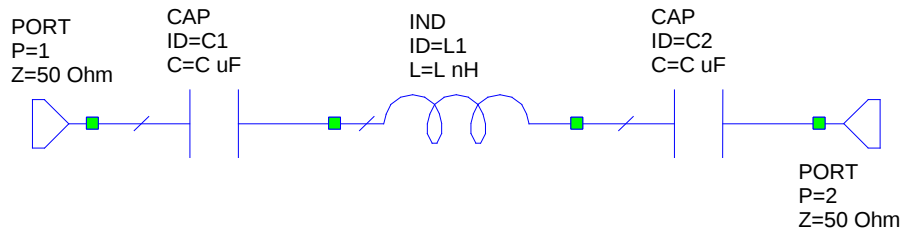


Figura 4.11. Red de interconexión CLC

Para el montaje de esta red de interconexión se elige una bobina de 25 nH, ,25N_L de la serie 0908SQ de Coilcraft [6], ya que estas bobinas resuenan alrededor de nuestra frecuencia de trabajo. Para los condensadores se utiliza la serie 100A de ATC [7].

El tipo de sustrato que se ha empleado tanto para la medición de esta red de interconexión como para la implementación del convertidor DC/DC viene detallado en el apartado 5.3.2 que se verá más adelante.

Aprovechando el diseño de una placa anterior se monta una red CLC para observar el comportamiento de esta red de interconexión en el analizador de redes Agilent Technologies E8364A que se muestra en la figura 4.12. De esta forma se puede elegir qué elementos pasivos formarán parte de ella y la eficiencia teórica que podremos alcanzar.



Figura 4.12. Analizador de redes Agilent Technologies E8364A

Teniendo en cuenta que se trabaja a la frecuencia de 900 MHz, los armónicos inmediatamente superiores se sitúan en 1.8 GHz y en 2.7 GHz, segundo y tercero respectivamente. Se realizará un barrido desde 100 MHz hasta 3.5 GHz para medir el parámetro S_{11} observando el comportamiento de la reactancia de la red interconexión desde el amplificador y S_{22} para ver el comportamiento desde el rectificador.

Una vez medidos estos parámetros S_{11} y S_{22} vemos el resultado obtenido tanto para el armónico fundamental como para los superiores.

La reactancia de interconexión se ajustó cuidadosamente de acuerdo con (4.13) y (4.14) respectivamente, mientras que para el segundo y tercer armónico se intentó acercarse lo más posible a las condiciones de circuito abierto.

Con los parámetros S obtenidos del analizador de redes, el siguiente paso es observar la evolución de la impedancia con respecto a la frecuencia teniendo en sus puertos la carga deseada por cada transistor. Como se ha mencionado en el capítulo 3, el rectificador da la carga requerida por el inversor y viceversa, esta impedancia es de valor:

$$R_{ac} = \frac{0.1836}{w \cdot C_{out}} = R0G90 \quad (4.13)$$

$$2 \cdot X = \frac{0.4232}{w \cdot C_{out}} \quad (4.14)$$

Para ver dicha evolución se utilizará la herramienta Microwave Office con los parámetros S obtenidos de la medida en el analizador de redes. En la figura 4.13 se observa la evolución de la impedancia con la frecuencia.

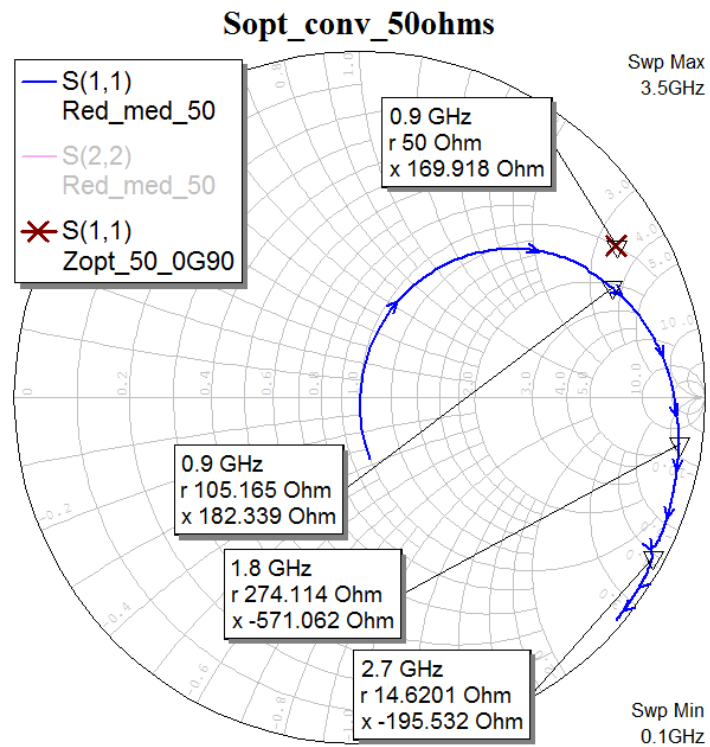


Figura 4.13. Parámetro S_{11} de la red de interconexión (trazo azul) e impedancia óptima (aspa marrón)

Como se puede apreciar, la impedancia a la frecuencia fundamental se ajusta a la deseada $R_{ac} + j.2X$, mientras que el segundo y tercer armónico están relativamente cerca del circuito abierto gracias a la capacidad parasita de la bobina.

4.5.2 Simulación del Convertidor DC/DC

Se realiza una simulación de Load-Pull, como ya se hizo anteriormente para inversor y rectificador. Se observan los contornos de la eficiencia y de la tensión a la salida con respecto a la impedancia de la terminación óptima.

Para realizar el barrido de la impedancia se utiliza el esquemático de la figura 4.15.

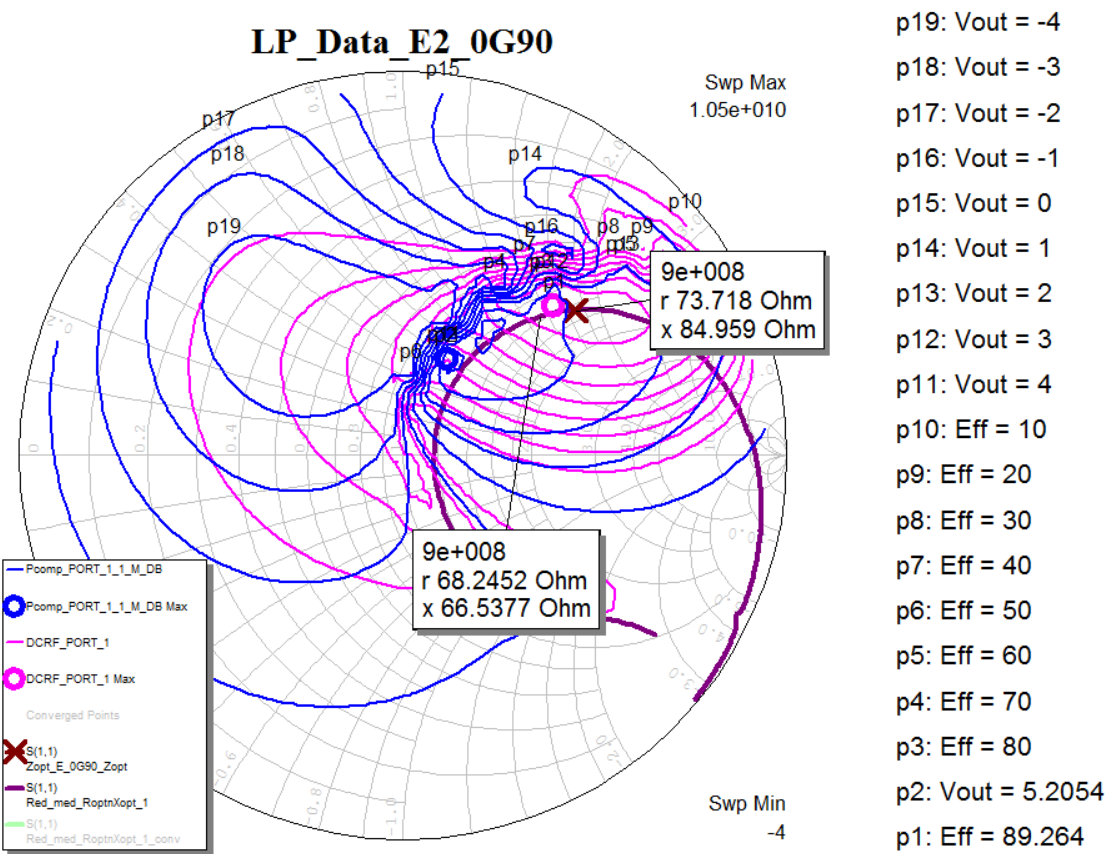


Figura 4.14. Load Pull para el Convertidor DC/DC

Se puede apreciar en la figura 4.14 como nos encontramos realmente cerca de la impedancia óptima a 900 MHz. Se simula ahora el esquemático del Convertidor DC/DC que vemos en la figura 4.15 teniendo en cuenta que para que funcione correctamente se debe ajustar el desfase entre las dos señales de RF. De esta forma se sincronizan inversor y rectificador buscando la mayor eficiencia. En este caso el desfase es de 78° con el que se logra idealmente una eficiencia máxima de 85.77 como se ve en la tabla de la figura 4.15, lo cual es un buen punto de partida para el modelo ideal.

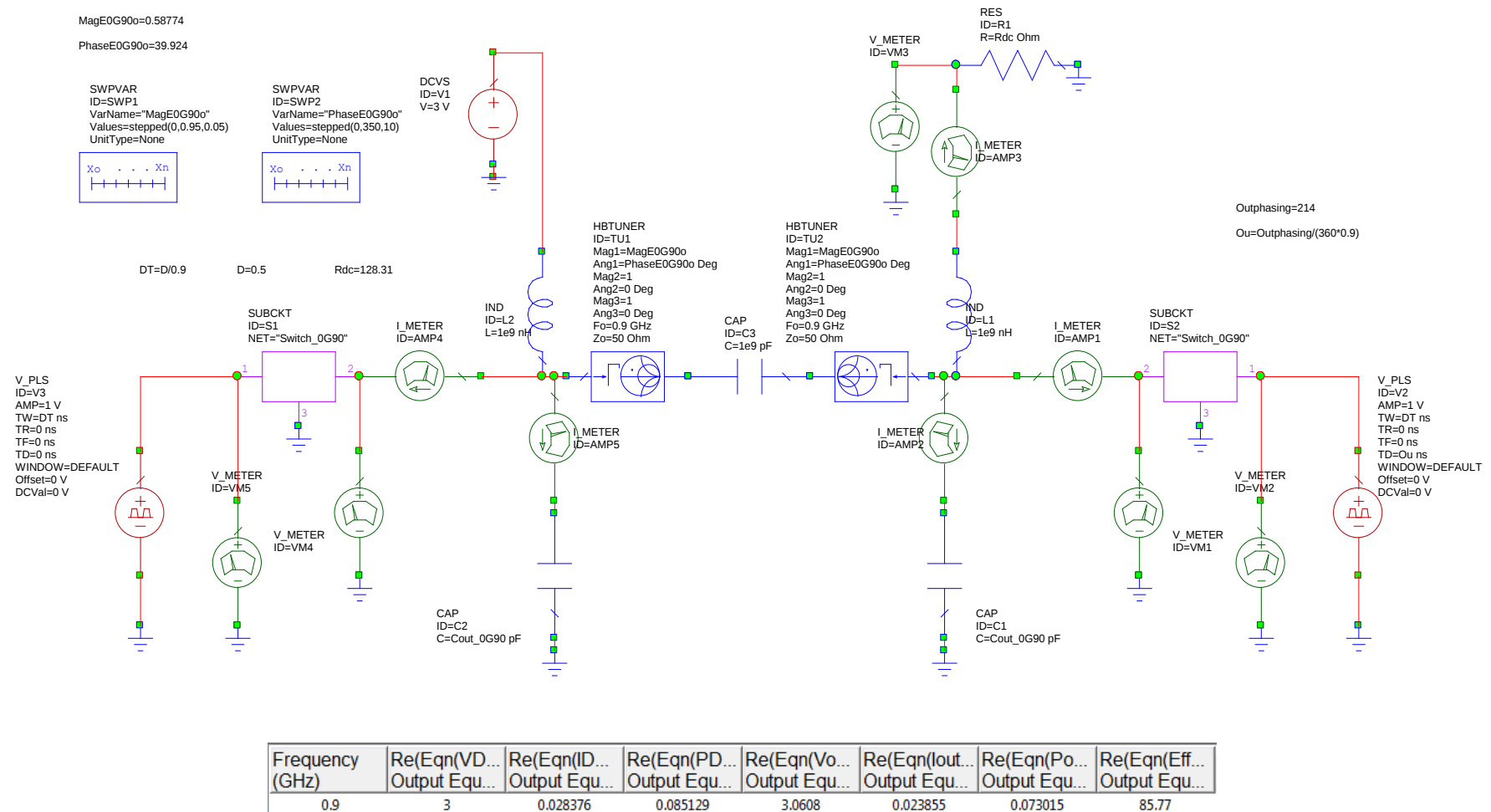


Figura 4.15. Esquema del Convertidor DC/DC y resultados obtenidos en simulación añadiendo la red de interconexión medida

Para más detalle, en la siguiente figura se observa la evolución de la tensión de salida y de la eficiencia total del convertidor en función de la frecuencia.

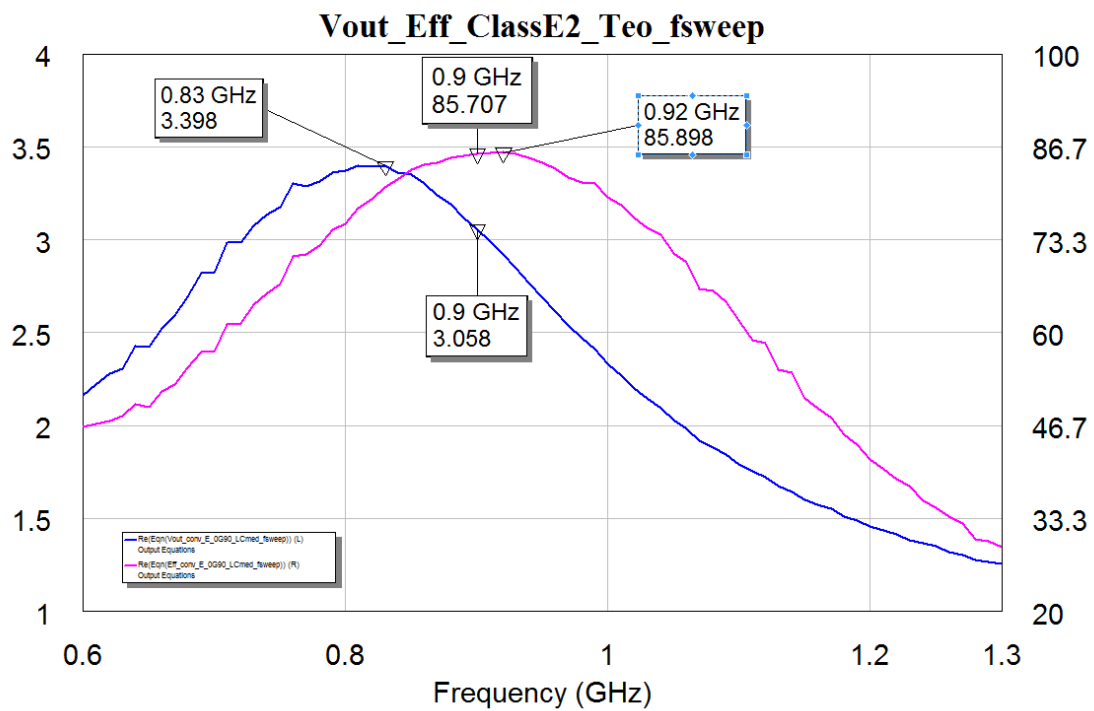


Figura 4.16. Simulación de la evolución de V_{OUT} y Eficiencia Total en función de la frecuencia

Tal y como se esperaba la tensión de salida decrece con la frecuencia apareciendo el máximo de eficiencia para un valor de tensión diferente al de pico.

A partir del esquema de la Figura 4.15 se evalúa el comportamiento del convertidor DC/DC en términos de frecuencia de conmutación a través de simulaciones. En la figuras 4.17 se observan las formas de onda de corriente y tensión de drenador para las ramas de rectificador e inversor.

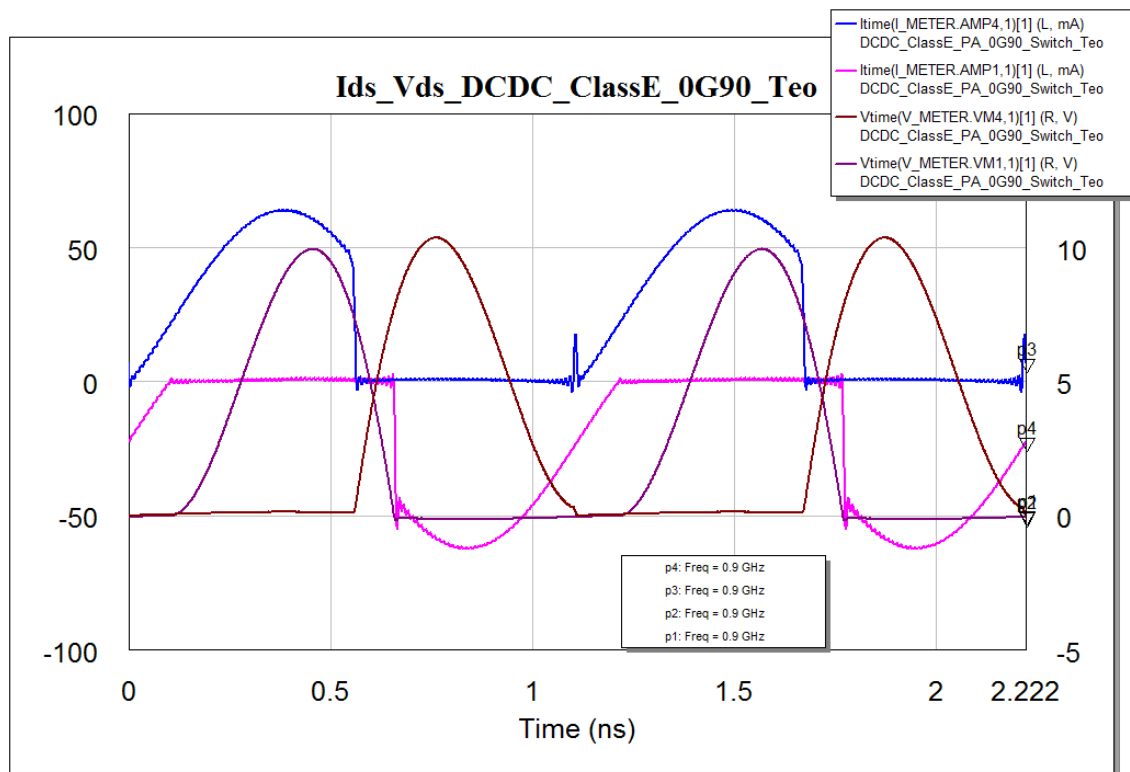


Figura 4.17. Condiciones ZVS y ZDS del inversor

Los trazos azul y marrón corresponden a la intensidad y tensión de drenador de inversor respectivamente, mientras que los trazos rosa y morado pertenecen a la intensidad y tensión de drenador de rectificador.

Aquí es donde se ve la sincronización temporal entre inversor y rectificador, funcionando ambos de forma inversa en el tiempo

4.5.3 Diseño de la red de adaptación de entrada

Una vez que se ha elegido la red de interconexión, el siguiente paso es diseñar la red de adaptación de entrada.

La adaptación de entrada se puede conseguir normalmente con una bobina en serie y un condensador a masa. Como el valor de esa bobina es pequeño, con un tramo de línea de transmisión es factible en ocasiones alcanzar el valor de la inductancia.

Se deja el diseño de esta red de adaptación de entrada para cuando pueda ser implementada (Apartado 5.3.2.2), dado que muy probablemente los cálculos teóricos tengan que ser ligeramente modificados en la realidad

4.5.4 Diseño de la red de polarización

El último paso antes de la realización del layout en AutoCAD fue diseñar la red de polarización. En el diseño de un amplificador de RF se ha de tener en cuenta que no solo se trabaja con señal de RF, sino también con continua, que forma parte de la alimentación del circuito. En primer lugar no se puede dejar que se cuele la señal de continua por el circuito de RF, ya que podría afectar a los circuitos que estén conectados al nuestro. Y por otro lado, tampoco se puede dejar que la señal de RF llegue a la parte de continua, ya que ésta se podría propagar por los cables de alimentación que debido a su longitud actuarían como antenas y estarían radiando, afectando a cualquier equipo de RF cercano.

Lo ideal en este tipo de redes es que los condensadores en continua sean circuitos abiertos y en RF cortocircuitos, mientras que las bobinas tienen justo el funcionamiento contrario. Pero esto nunca ocurre porque los componentes no son ideales, por lo tanto se ha de escoger el valor de bobina y de condensador más elevados para que se acerquen lo más posible a ese comportamiento ideal que se desea. Sin escoger un valor demasiado grande ya que su resonancia podría desgraciar el circuito.

Por ello se debe seleccionar unos valores de C y L que tengan su frecuencia de resonancia lo más cercana a nuestra frecuencia de trabajo. Así, gracias a la resonancia en paralelo de la bobina y a la resonancia en serie del condensador se obtiene el comportamiento deseado de cada uno a nuestra frecuencia.

Se utilizará un condensador justo en la entrada de señal RF para evitar que se introduzca al generador tensión continua y así protegerle dejando pasar la RF.

Dado que no existe una bobina de la serie Square Air Core de Coilcraft que por sí sola genere un buen circuito abierto a 900 MHz, se utilizará un condensador de 2.7 pF (100B2R7J de ATC) en paralelo con una bobina de 11.2 nH (0807SQ-11N_LB Square Air Core de Coilcraft).

En general los transistores suelen tener a más baja frecuencia más ganancia así que tienen más posibilidades de oscilar en baja frecuencia, los condensadores de la red de polarización a baja frecuencia fuerzan un cortocircuito a baja frecuencia. También evitan inestabilidades y ayudan a que no haya variaciones en la fuente de tensión. Si la fuente fuese ideal y su equivalente fuera un cortocircuito a todas las frecuencias no habría ningún problema pero esto no es así ya que la fuente es un buen cortocircuito solamente a muy bajas frecuencias, luego en el orden de kHz, MHz y más arriba tiene una impedancia impredecible que sumado a los cables y conexiones puede originar una impedancia que no le guste al transistor y pueda producir variaciones de tensión.

En la red de polarización del terminal de puerta se añade una resistencia de valor lo más próximo a $50\ \Omega$ (se utilizó una resistencia de $51\ \Omega$) para que el transistor vea ese valor como impedancia de puerta en baja frecuencia. Esta resistencia también protege el circuito de puerta pero si se quisiese para ese objetivo se pondría una resistencia mayor. En drenador también se podría poner la resistencia pero se desgraciara la eficiencia porque disiparía corriente.

Para lograr un cortocircuito en baja frecuencia se utilizan tres condensadores cerámicos de $1\ \text{nF}$, $10\ \text{nF}$ y $100\ \text{nF}$ y finalmente vemos en la Figura 4.18 un esquemático completo de las redes de polarización tanto para puerta como para drenador.

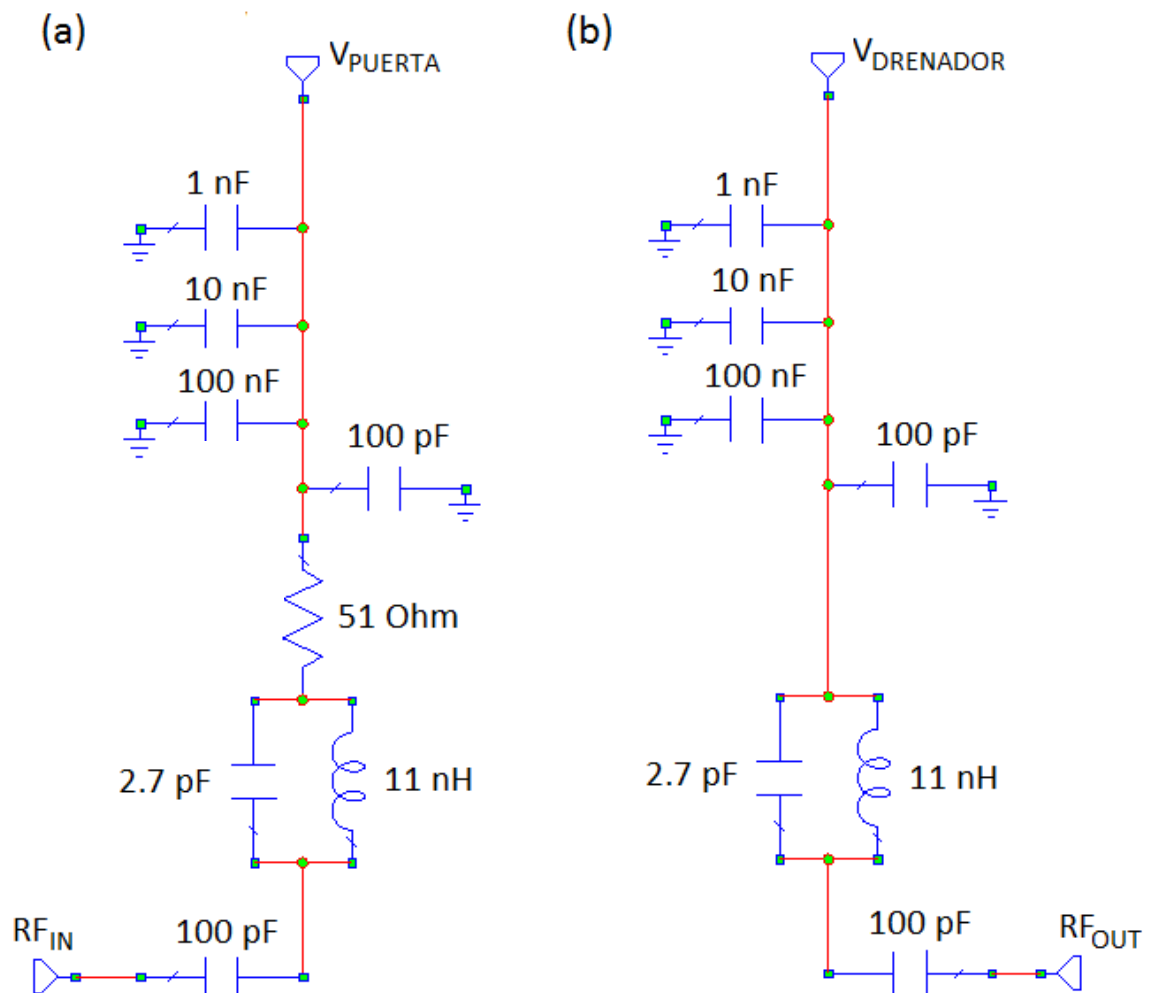


Figura 4.18. (a) Red de polarización de entrada. (b) Red de polarización de la salida.

4.6 Referencias

- [1] <http://www.avagotech.com/docs/AV02-0488EN>
- [2] D. C. Hamil, "Time reversal duality and the synthesis of a double class E DC-DC converter", in 21st Power Electron. Specialist Conf., 1990, pp.512-521.
- [3] M. N. Ruiz Lavín, "Convertidor resonante de potencia en RF sobre tecnología GaN HEMT", Proyecto fin de carrera, Universidad de Cantabria, 2010.
- [4] M. K. Kazimierczuk, J.Jozwik, "Resonant DC/DC converter with class E inverter and class E rectifier", IEEE Trans. Ind. Electron., vol 36, no. 4, pp. 468-478, Nov 1989
- [5] M. K. Kazimierczuk, J.Jozwik, "Class E2 Narrow-Band Resonant DC/DC Converters", IEEE Trans. Instrum. Meas, vol.38, no 6, pp 1064-1068, Dec 1989.
- [6] www.coilcraft.com/smspring.cfm
- [7] www.atceramics.com/Userfiles/100b.pdf

5

Implementación de un Convertidor DC/DC Clase E²

Una vez realizadas las distintas simulaciones para inversor, rectificador y convertidor y ver que su implementación es posible, este capítulo trata de explicar cómo se ha llevado a cabo la realización del layout además de los distintos procesos de montaje, dentro de los cuales aparecerán imprevistos que habrá que solucionar. Finalmente se procederá a medir las prestaciones obtenidas con este convertidor DC/DC.

5.1 Fabricación del convertidor clase E²

5.1.1 Realización del layout

Se ha completado el diseño del convertidor clase E², por lo que el siguiente paso será su implementación. Con la herramienta AutoCAD se diseñará un layout del circuito teniendo en cuenta que debe permitir modificar la posición de bobinas y condensadores en caso de ser necesario, para lograr un resultado más óptimo en el funcionamiento del sistema global.

Se puede apreciar en la figura 5.1 el layout. Para su fabricación se necesitará añadirle un contorno y además no aparecerían los componentes que se van a colocar. Estos componentes aparecen de color verde y además de para la interpretación del circuito se utilizan para comprobar que las medidas del circuito son correctas.

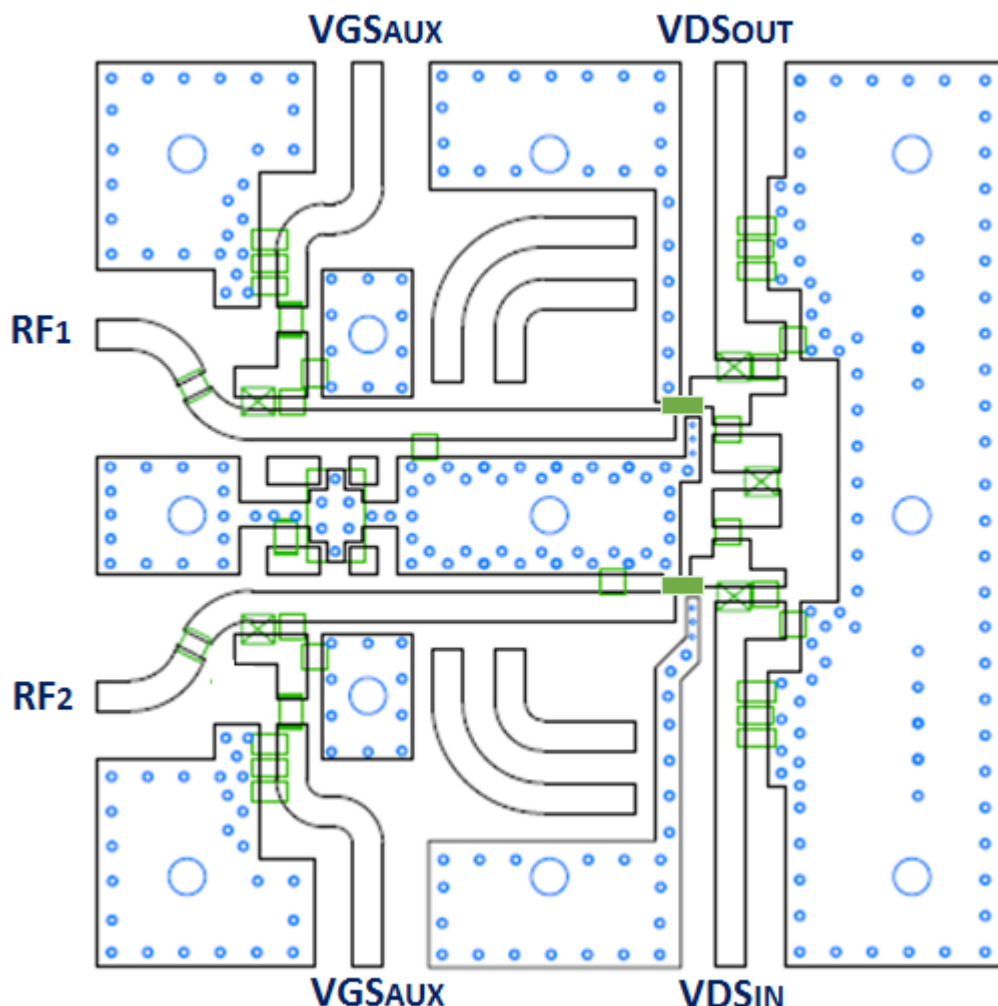


Figura 5.1. Layout del Convertidor DC/DC Clase E2

5.1.2 Montaje y modificaciones experimentales

El sustrato elegido es el ARLON 25N [5]. El fabricante destaca como sus principales usos las aplicaciones en sistemas wireless, como teléfonos móviles, amplificadores de bajo ruido o antenas. Sus características más importantes son las mostradas en la siguiente tabla:

Altura del sustrato (H)	760 μm
Altura de la metalización (T)	17 μm
Constante dieléctrica relativa (ϵ_r)	3.38
Factor de disipación (tangente de pérdidas δ)	0.0025

Figura 5.2. Tabla de características del sustrato

La placa tendrá unas dimensiones de 44 mm x 34.5 mm. Dichas dimensiones sirven como base para la realización del diseño en AutoCAD, donde después se añadirán diferentes perforaciones para los tornillos, necesarios para su posterior fijación en una base de aluminio, de 2.5 mm de diámetro, y otras más pequeñas para asegurar un buen contacto a masa con un diámetro de 0.6 mm.

Con este sustrato se consiguen unas líneas de impedancia característica de 50 ohmios de anchura 1.7 mm.

Una vez construido físicamente el layout sobre el sustrato se sueldan todos los componentes elegidos para nuestro diseño.

Para el montaje del convertidor DC/DC en la placa además de los componentes pasivos ya citados serán necesarios seis conectores SMA, dos para ambas redes de polarización, otros dos para los drenadores y otros dos para las señales de radiofrecuencia.



Figura 5.3. Ejemplo de conector SMA utilizado en el montaje

Se incluyen los dos transistores ATF-54143, tal y como se observa en la figura 5.4. Después de soldarlos se realiza una comprobación con el polímetro, donde se obtiene el equivalente a la tensión de un diodo entre puerta y drenador y entre puerta y fuente y una indicación de que no conduce si se cambian los bornes de orden.

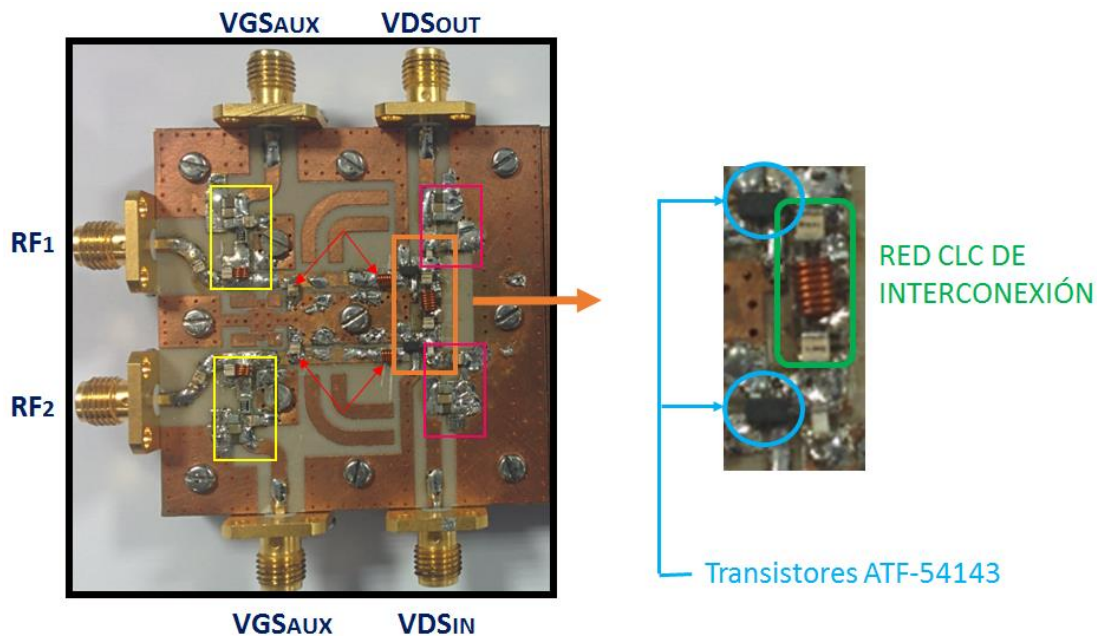


Figura 5.4. Implementación del Convertidor DC/DC

En la figura anterior se muestra la implementación del convertidor DC/DC, en ella se pueden observar los transistores (en azul), la red de interconexión clc (en verde), las redes de adaptación de entrada (pares de flechas rojas) y las redes de polarización de entrada (en amarillo) y de polarización de salida (en rosa)

Es importante destacar que en la red de adaptación al armónico fundamental no sólo influyen en el ajuste los valores de los componentes pasivos, sino también su posición en el circuito, ya que la red mostrada adapta las dos ramas.

En la figura 5.4 se ha mostrado la implementación del convertidor una vez finalizado para facilitar una idea global de las distintas partes. Estas partes no han sido montadas todas a la vez, sino por pasos. Por tanto se verá cómo ha sido su montaje y qué diferencias aparecen entre el modelo ideal de las simulaciones y el real implementado sobre el layout de la placa, para el cual aparecerán capacidades parásitas que deterioraran el funcionamiento ideal y que harán que se adopten cambios.

5.1.2.1 Montaje de red de interconexión

Anteriormente se simuló la red de interconexión del Convertidor como puede verse en el apartado 4.5.1, donde el parámetro S_{11} ideal nos quedaba cercano a la impedancia óptima del Convertidor a la frecuencia de 900MHz. Pero recordemos que en ese momento se caracterizó esta red intermedia sobre una placa realizada con anterioridad. El layout con el que se midió la red de interconexión no podía ser igual al realizado para el convertidor, donde la placa fuerza a adoptar un diseño distinto para la realización del Convertidor DC/DC. Por tanto surgirán diferencias.

En primer lugar se monta la red de interconexión y se mide en el analizador de redes, empleado con anterioridad en el apartado 4.5.1. Nuevamente antes de realizar cualquier medida conviene realizar una calibración para evitar errores sistemáticos en la medida.

Se mide el parámetro S_{11} , se extraen los datos del Analizador de redes y se simula el nuevamente en Microwave Office .

Como se puede observar a continuación en la figura 5.5, el resultado ha variado notoriamente. Se ve una comparativa entre la impedancia óptima de la red de interconexión a 900 MHz (aspa roja), el trazado que describía el parámetro S_{11} anteriormente (trazo negro) y el nuevo que hemos obtenido sobre la implementación en el layout (trazo gris).

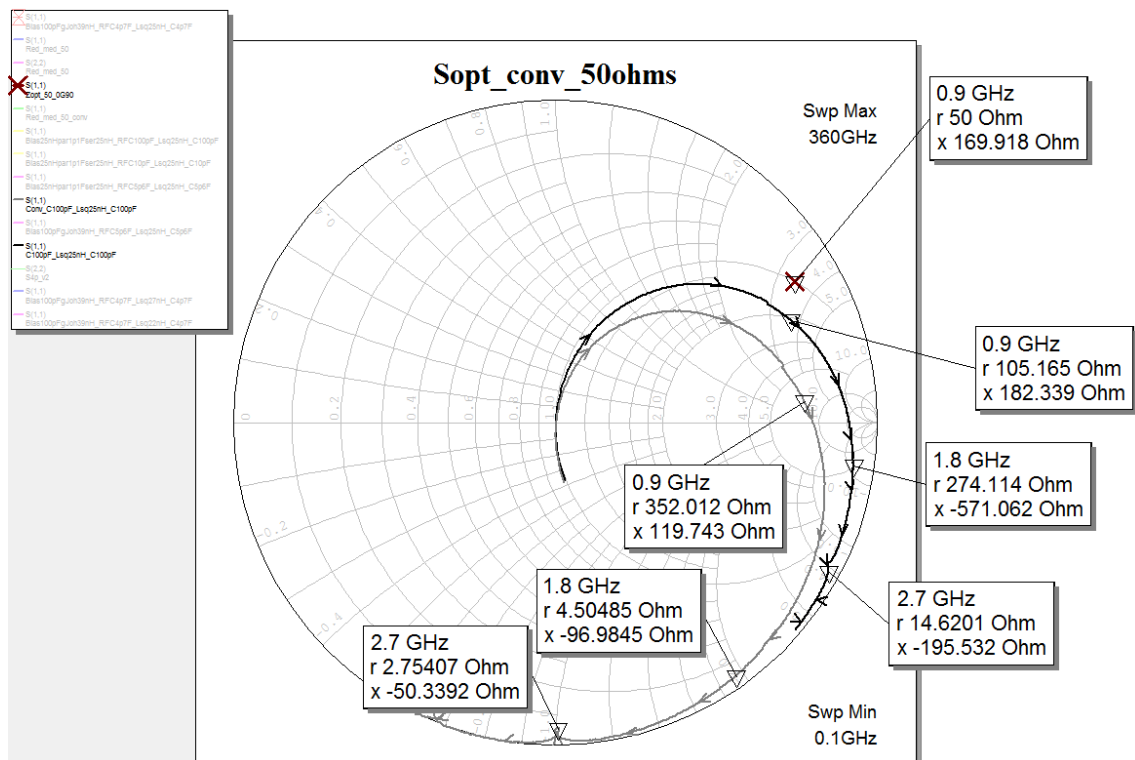


Figura 5.5. Comparación del S_{11} teórico (trazo negro) y medido para la red de interconexión (trazo gris)

Se emplea la red intermedia medida para simular el Convertidor DC/DC óptimo que se podría llegar a implementar con el resultado obtenido hasta el momento.

En este caso el desfase de sincronización entre inversor y rectificador es de 133^0 , que proporciona una eficiencia máxima de 57.776 %, como se puede ver en la tabla de la figura 5.6, la cual se aleja mucho de nuestro objetivo de lograr una alta eficiencia.

Frequency (GHz)	Re(Eqn(VD... Output Equ...	Re(Eqn(ID... Output Equ...	Re(Eqn(PD... Output Equ...	Re(Eqn(Vo... Output Equ...	Re(Eqn(Iout... Output Equ...	Re(Eqn(Po... Output Equ...	Re(Eqn(Eff... Output Equ...
0.9	3	0.017094	0.051281	1.9498	0.015196	0.029628	57.776

Figura 5.6. Tabla de características del Corversor DC/DC optimizada

En la figura 5.7 se observa la comparativa entre tensión máxima de salida y eficiencia.

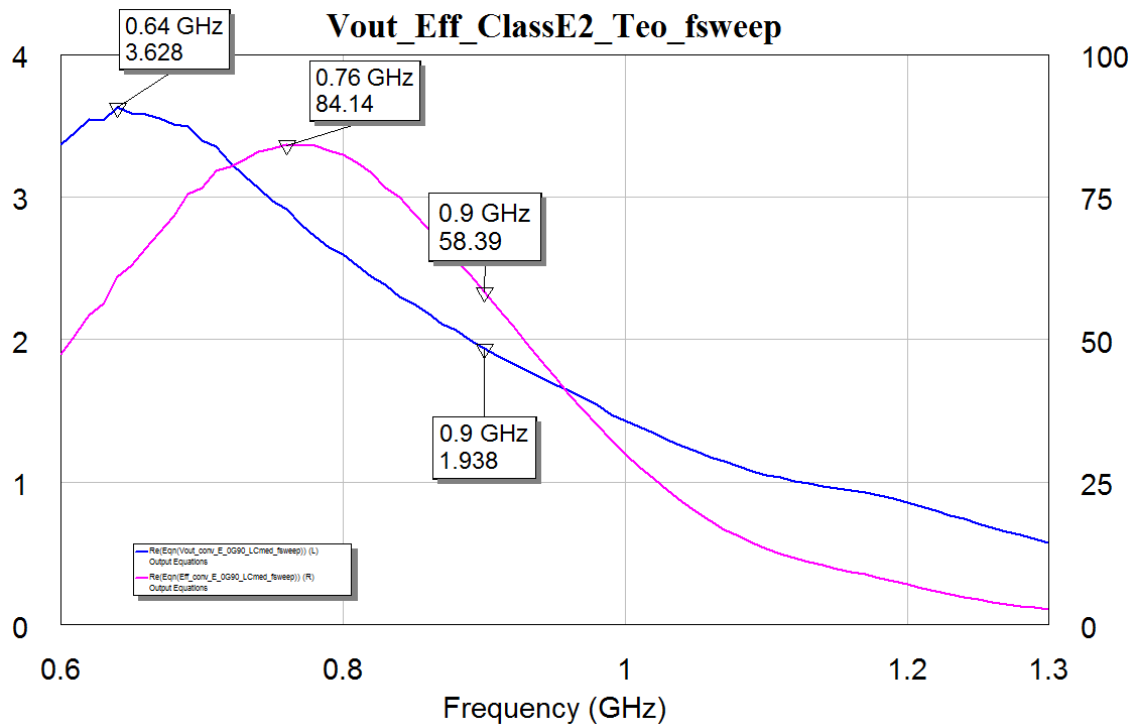


Figura 5.7. Evolución de eficiencia y tensión máxima de salida del Corversor DC/DC con respecto a la frecuencia.

Con el grafico anterior se puede apreciar como los perfiles de tensión máxima de salida y eficiencia se han desplazado en frecuencia. Cabe la posibilidad de obtener un buen resultado bajando la frecuencia, pero ése no es el objetivo. Por tanto esta red intermedia no va a dar un buen resultado.

Antes de desestimar los resultados se añade a la placa las polarizaciones de los drenadores, y volvemos a medir con el analizador de redes. Nuevamente se simula a partir de los datos extraídos del Analizador de redes.

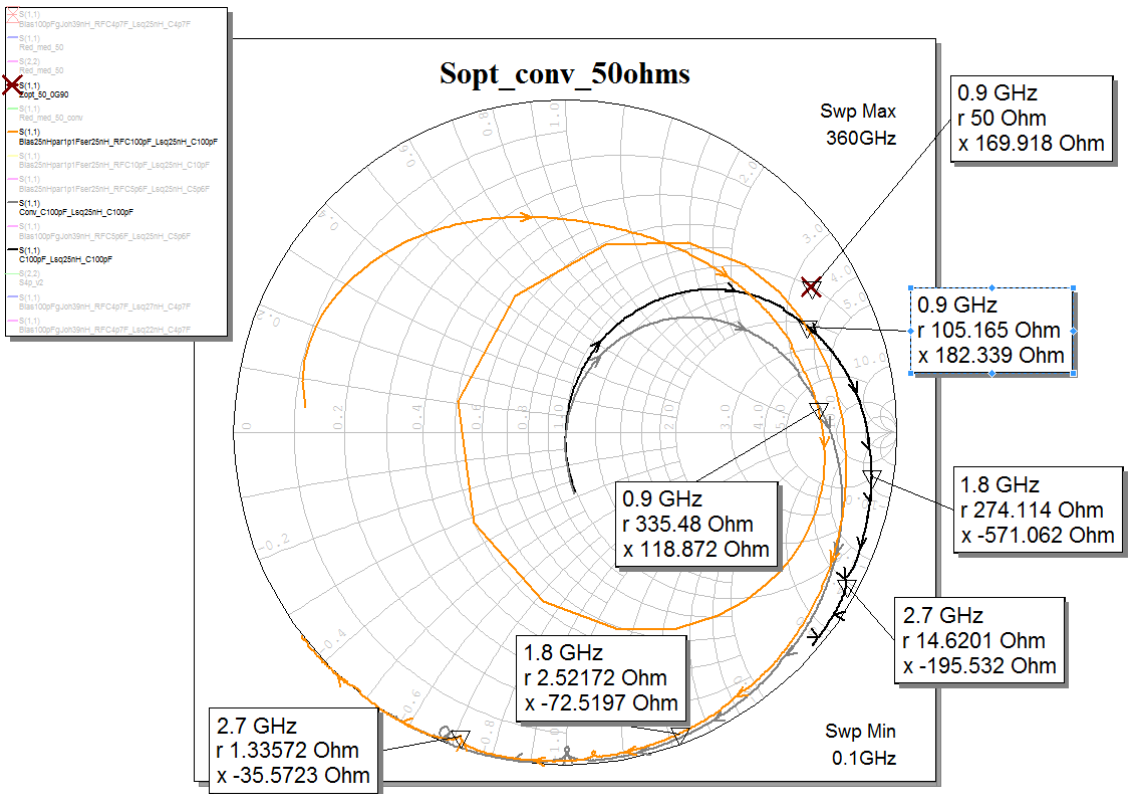


Figura 5.8. Comparación del S_{11} teórico (trazo negro), el medido para la red de interconexión (trazo gris) y el medido para la red de interconexión con redes de polarización (trazo amarillo)

El nuevo valor de desfase requerido para la sincronización entre inversor y rectificador es de 130° , que proporciona una eficiencia máxima de 46.929 %, como se puede ver en la tabla de la Figura 5.9, por tanto la red de polarización nos aleja aún más de la impedancia óptima y por tanto la eficiencia también empeora.

Frequency (GHz)	Re(Eqn(VD... Output Equ...	Re(Eqn(ID... Output Equ...	Re(Eqn(PD... Output Equ...	Re(Eqn(Vo... Output Equ...	Re(Eqn(Iout... Output Equ...	Re(Eqn(Po... Output Equ...	Re(Eqn(Eff... Output Equ...
0.9	3	0.020445	0.061334	1.9218	0.014978	0.028784	46.929

Figura 5.9. Tabla de características del Corversor DC/DC añadiendo las redes de polarización una vez optimizado el outphasing

En la figura 5.10 se ve el resultado de los perfiles de tensión máxima de salida y eficiencia en función de la frecuencia.

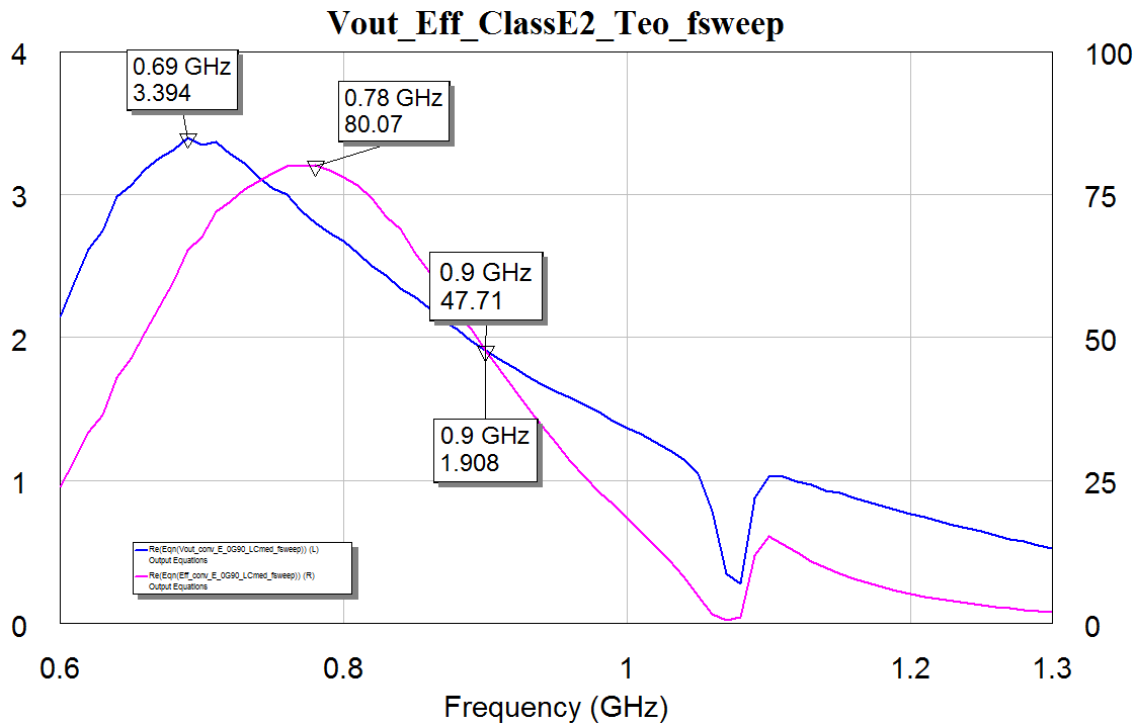


Figura 5.10. Evolución de eficiencia y tensión máxima de salida del Corversor DC/DC con respecto a la frecuencia una vez optimizado el ángulo de desfase entre las entradas de RF de inversor y rectificador.

Con estos resultados no se puede seguir adelante con el Convertidor DC/DC. Por tanto, se toma la decisión de variar la red de interconexión original.

Tras diversos cálculos y pruebas sobre el convertidor DC/DC se varia la red CLC, se busca una nueva bobina que nos desplace en frecuencia y unos condensadores apropiados para la misma. El resultado es pasar de una red CLC, con bobina de 25 nH y condensadores de 100 pF, a otra red CLC con bobina de 22 nH y condensadores de 4.7 pF.

También se varían las redes de polarización de drenador. Se sutituye el condensador de 2.7 pF en paralelo con la bobina de 11 nH por una única bobina de otro fabricante. Se opta por una bobina de 39 nH de Johanson Technology (L-14C39N) la cual podemos encontrar caracterizada en uno de los catálogos de Johanson Technology en [5]. Este cambio nos mejora el parámetro S_{11} de la red de polarización acercándonos a la impedancia óptima del convertidor DC/DC.

Medimos y extraemos el comportamiento de esta nueva bobina con el analizador de redes. Se monta en paralelo con un condensador de 100 pF (figura 5.11) y se simula la ganancia de este nuevo circuito dentro de un rango de frecuencias que nos incluya la frecuencia fundamental de 900 MHz, 1.8 GHz y 2.7 GHz (figura 5.12).

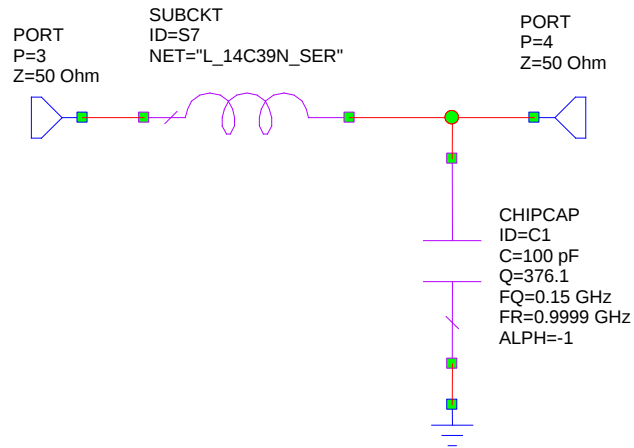


Figura 5.11. Esquemático para la simulación de los parámetros S del paralelo de la nueva bobina de 39 nH con un condensador de 100 pF

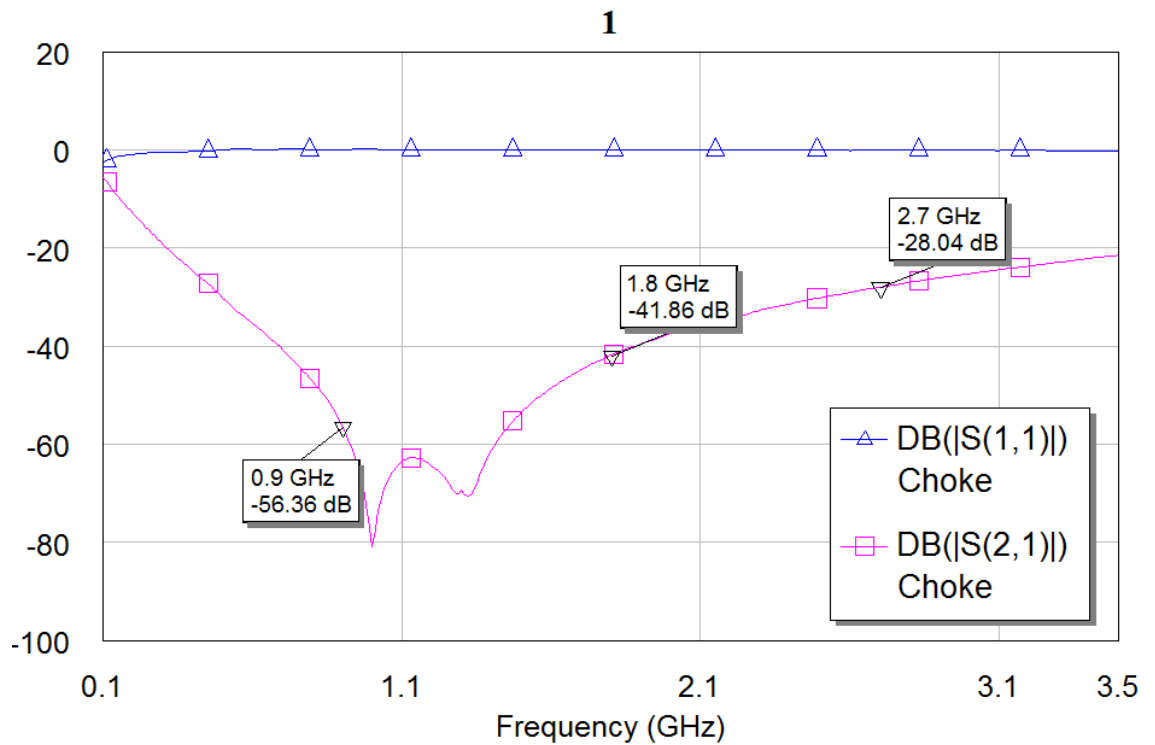


Figura 5.12. Simulación de parámetros S para la conexión de la nueva bobina de 39 nH con un condensador de 100 pF.

Comprobado que es un buen abierto para f_0 , $2f_0$ y $3f_0$, medimos la nueva red de interconexión con la nueva red de polarización de drenador. Vemos cómo ahora el parámetro S_{11} se acerca más a la impedancia óptima del Convertidor para la frecuencia de 900 MHz (Figura 5.13).

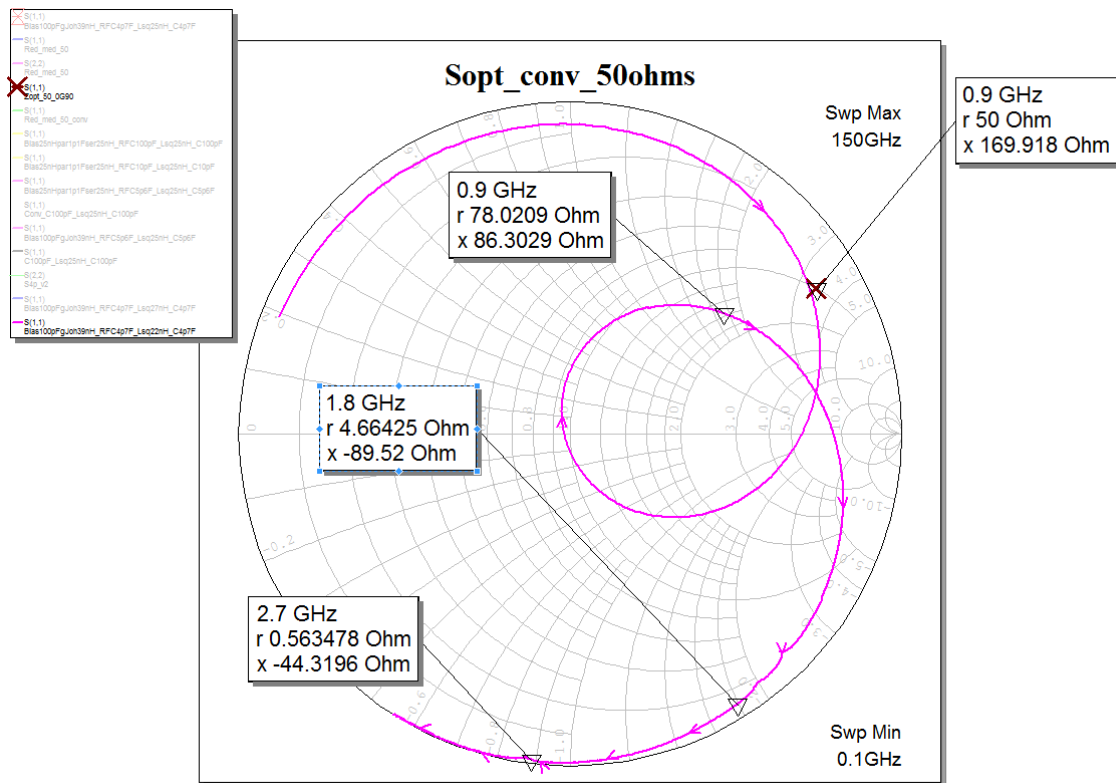


Figura 5.13. Simulación del parámetro S11 para la nueva red de interconexión.

Como se ha hecho con anterioridad se simula el Convertidor DC/DC para la nueva red de interconexión y la nueva red de polarización de drenador. el nuevo Outphasing de sincronización entre inversor y rectificador es de 83° , que proporciona una eficiencia máxima de 75.494%, como se puede ver en la tabla de la figura 5.14, por tanto esta red de polarización es buena para lograr unos buenos resultados.

Frequency (GHz)	Re(Eqn(VD... Output Equ...	Re(Eqn(ID... Output Equ...	Re(Eqn(PD... Output Equ...	Re(Eqn(Vo... Output Equ...	Re(Eqn(Iout... Output Equ...	Re(Eqn(Po... Output Equ...	Re(Eqn(Eff... Output Equ...
0.9	3	0.064522	0.19357	4.3301	0.033747	0.14613	75.494

Figura 5.14. Tabla de características del Corversor DC/DC añadiendo las redes de polarización una vez optimizado el outphasing y sustituido el paralelo CL anterior por la nueva bobina 39 nH

Vemos como nos queda la comparativa entre tensión máxima de salida y eficiencia.

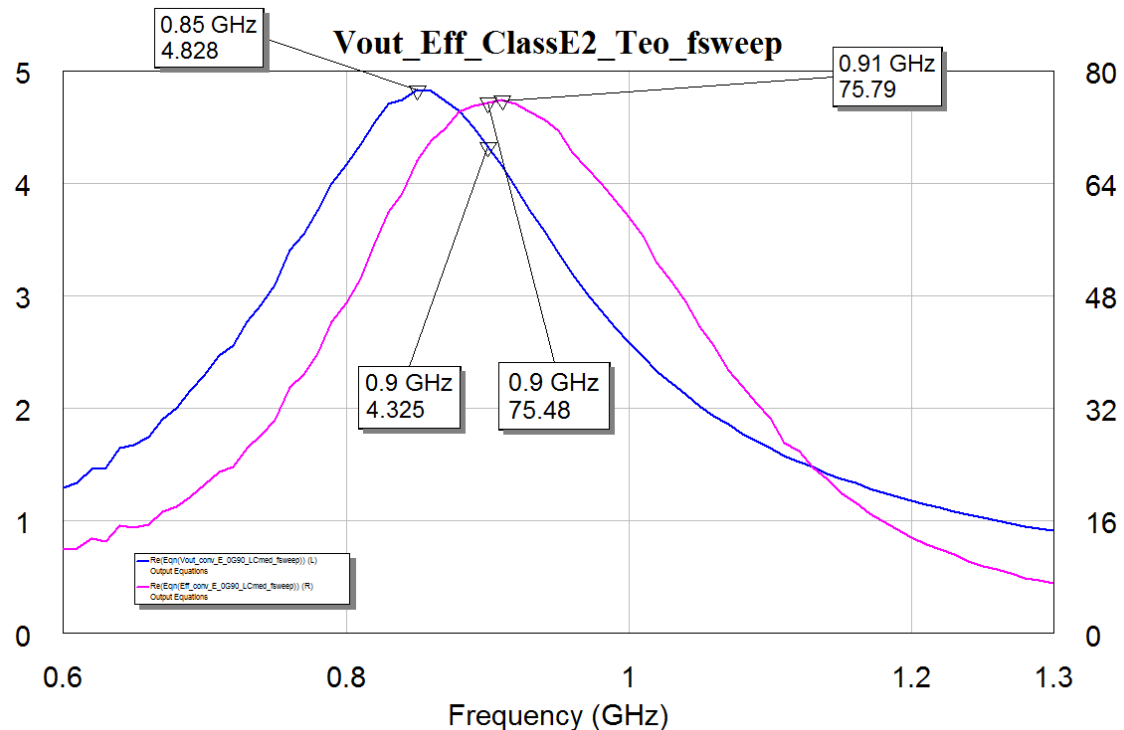


Figura 5.15. Evolución de eficiencia y tensión máxima de salida del Corversor DC/DC con respecto a la frecuencia una vez optimizado el outphasing

Una vez simulado el Convertidor DC/DC vemos como la tensión de salida y la eficiencia máxima se sitúan próximos a la frecuencia fundamental de 900 Mhz, estando los picos en 850 MHz y 910 MHz respectivamente. Con esta nueva red de interconexión ya sabemos que la eficiencia máxima que se puede lograr es de 75.48% con una tensión de salida de 4.325 V a la frecuencia fundamental.

Lo siguiente será montar la red de adaptación de entrada de tal forma que se mantengan las características anteriores lo máximo posible.

5.1.2.2 Montaje de red de adaptación de los terminales de puerta

Una vez que se ha elegido la red de síntesis de impedancia, el siguiente paso es diseñar la red de adaptación de los terminales de puerta.

La adaptación de entrada se puede conseguir normalmente con una bobina en serie y un condensador a masa. Teniendo en cuenta que la capacidad a la entrada del ATF54143, de aproximadamente 0.624 pF, es una capacidad muy pequeña, será necesario añadir una bobina en serie además de un condensador a masa para adaptar las entradas tanto de inversor como de rectificador.

Se utiliza una bobina que resuene con la capacidad del condensador de valor 12.3 nH, que experimentalmente en otras pruebas a dado buenos resultados y se prueban tres condensadores de 2.4 nF, 2.7 nF y 3 nF.

Finalmente obtenemos el resultado óptimo de la red de adaptación de entrada con el condensador de 2.7 pF tal y como se muestra en el esquemático de la figura 5.16.

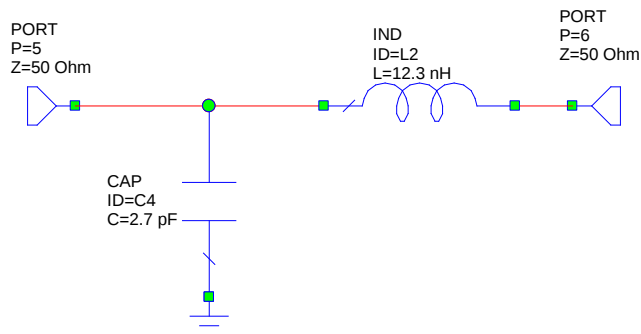


Figura 5.16. Esquemático de la red de adaptación de entrada utilizado

Dado que la variación de la posición del condensador varía la longitud de línea y con ello el valor de la inductancia se prueba experimentalmente en tres posiciones y se deja aquella para la que se ha obtenido un resultado más favorable. En la figura 5.17 vemos las distintas pruebas y la posición resultante (posición 1).

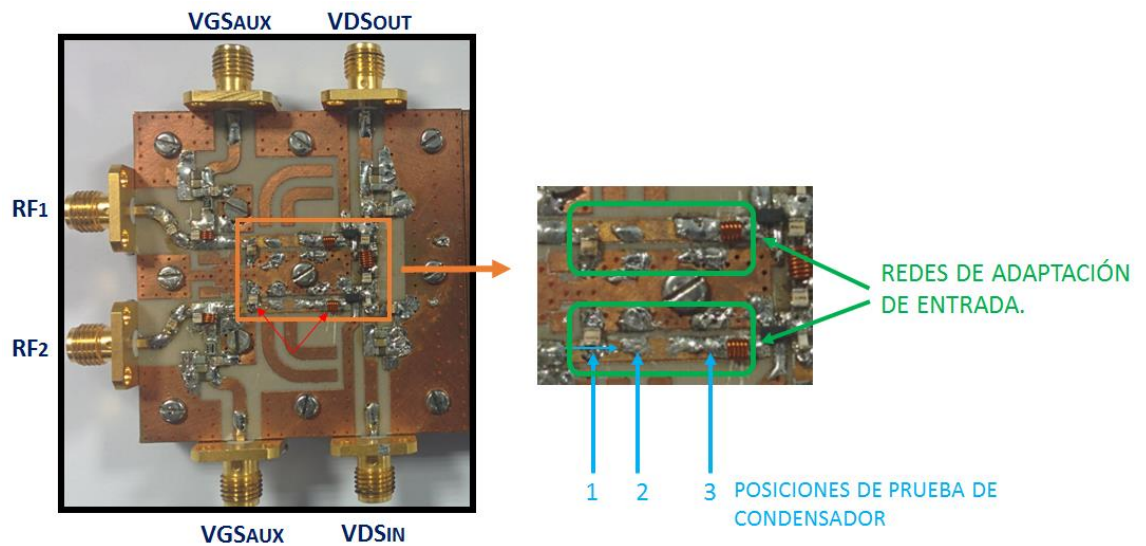


Figura 5.17. Redes de adaptación de los terminales de puerta sobre el Convertidor DC/DC

5.1.2.3 Montaje

A continuación, en la figura 5.18 se muestra como se realizó experimentalmente el montaje para la caracterización del convertidor DC/DC

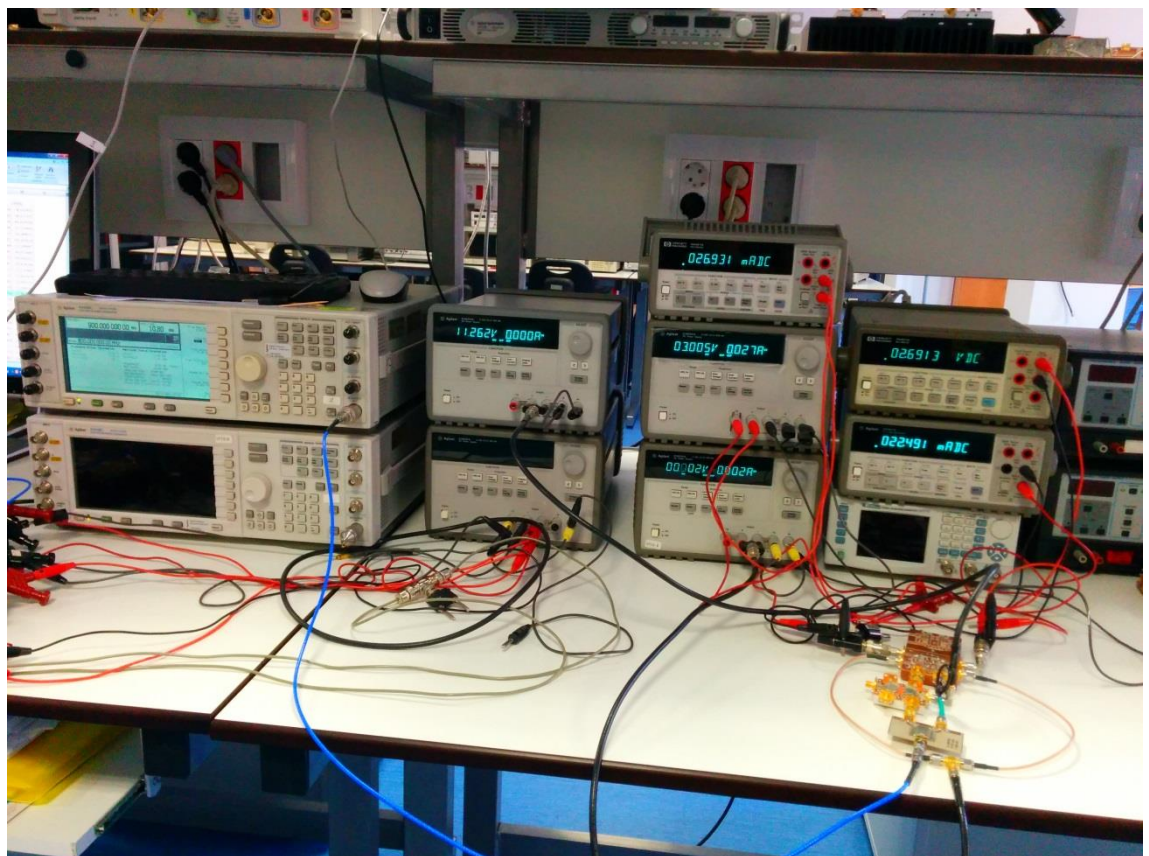


Figura 5.18. Montaje del Convertidor DC/DC para su caracterización

Para poder entenderlo mejor en la figura 5.19 se muestra el esquema del montaje que se realiza.

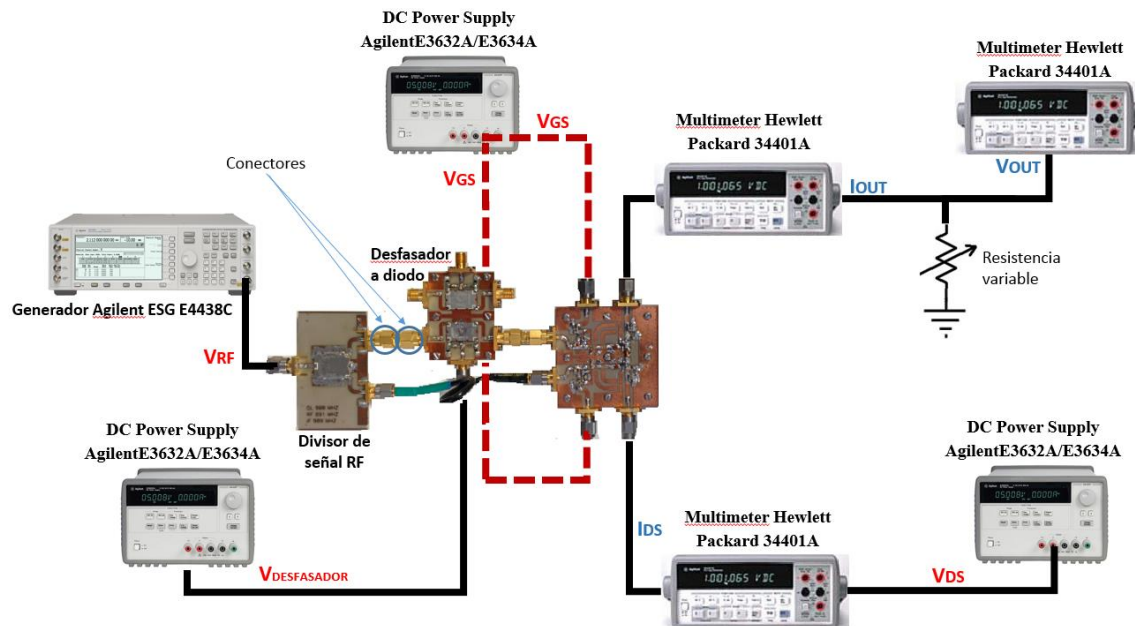


Figura 5.19. Esquema del Montaje del Convertidor DC/DC para su caracterización

La señal de RF es generada por un solo generador de potencia para más tarde ser dividida externamente mediante un divisor de potencia de Anaren. La diferencia de fase entre la excitación de RF y otro se implementa mediante una cascada de transiciones de conectores SMA y un desfasador a diodo.

5.2 Resultados obtenidos

Una vez realizado todo el montaje se procede a realizar las distintas medidas que permitirán conocer con detalle los valores de eficiencia obtenidos, a distintos voltajes de entrada, a qué frecuencias se mantiene esa eficiencia, como responde ante distintos valores de carga o para distintas potencias de entrada de la señal de RF.

5.2.1 Medida de eficiencia

Conviene recordar que el objetivo principal de este proyecto es la obtención de un convertidor, formado por un sistema inversor y un sistema rectificador, que tenga una mayor eficiencia que si ambos sistemas se implementasen por separado.

Para observar el cumplimiento de los requisitos de un buen funcionamiento se realizarán barridos con los resultados de eficiencia del convertidor y de tensión a la salida.

La señal que introduce el Generador de señal de RF nos da la potencia en dBm para las dos ramas a la salida del propio generador. Esta potencia no es la que llega al convertidor ya que antes de llegar al mismo se produce una atenuación. Una vez medida esta atenuación sabemos que al convertidor le llegan 6.48 dB menos que lo que tenemos a la salida del generador.

Además conviene saber que el divisor de señal RF dividirá por la mitad la potencia de cada rama, por lo que cada rama va a tener tres dB menos de lo que llega al convertidor. Pero teniendo en cuenta que es necesaria tanto la potencia de RF que llega a una rama como a la otra para que el convertidor funcione, el valor de potencia de entrada con el que operaremos a la hora de calcular la eficiencia total será el total de las dos ramas.

La potencia de entrada de RF la se convierte a vatios de la siguiente forma.

$$P_{inRF} = 10^{P_{inRF}(dBm)/10} [mW] \quad (5.2)$$

Que para el caso de una potencia de entrada de 4.32 dBm el resultado en vatios será aplicando la fórmula anterior de:

$$P_{inRF} = 10^{4.32 \text{ dBm}/10} [mW] = 2.704 \text{ mW} \quad (5.3)$$

Para el cálculo de la potencia que llega al convertidor a través del inversor (P_{IN}) se miden $V_{DS_{IN}}$ e $I_{DS_{IN}}$ con dos multímetros actuando como voltímetro y amperímetro respectivamente.

Introducimos esta potencia porque con más nivel de señal la fuente de puerta empieza a rectificar y es peligroso por el posible deterioro de los transistores.

Se considera eficiencia al cociente de la potencia de salida a la frecuencia fundamental entre la potencia de DC suministrada:

$$\eta = \frac{P_{outDC}}{P_{inDC}} \quad (5.9)$$

Si se tiene en cuenta la potencia de RF se obtendrá una nueva medida de eficiencia:

$$\eta_{total} = \frac{P_{outDC}}{P_{inRF} + P_{inDC}} \quad (5.10)$$

Con estas figuras de mérito se caracteriza el comportamiento del convertidor DC/DC.

5.2.1.1 Barrido de la tensión de entrada

Realizando un barrido en el que se varía la tensión de drenador se obtiene la V_{DS} con la que se consigue mayor eficiencia. Los resultados del barrido de tensión de entrada, cuando la fase es óptima, se muestran en la figura 5.13:

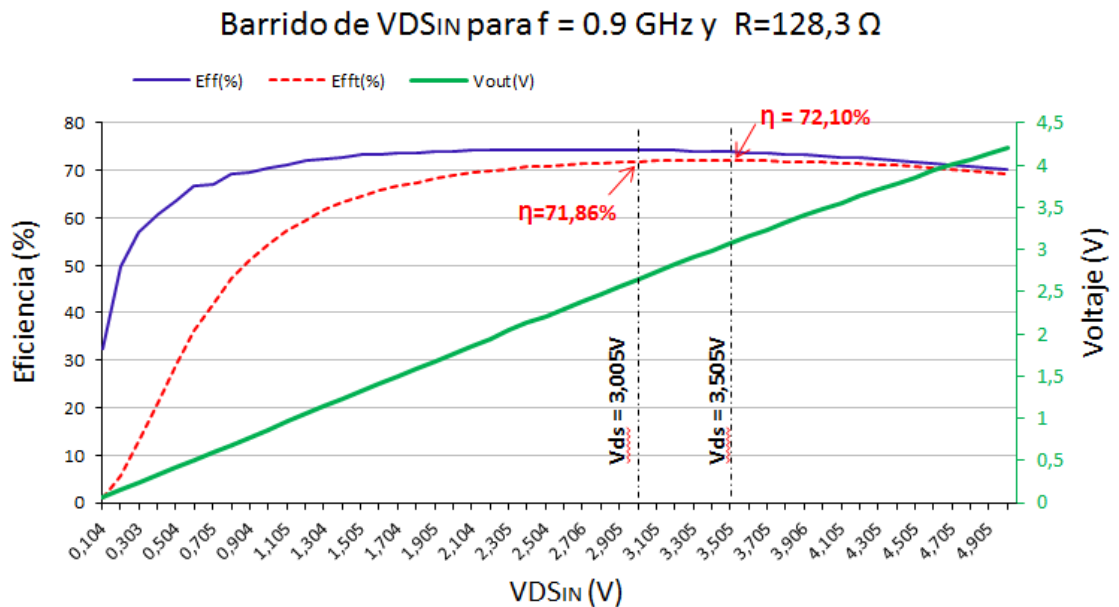


Figura 5.13. Evolución de la eficiencia respecto a la tensión V_{DS} en el caso de fase óptima

El voltaje de entrada que proporciona mayor eficiencia total es de 3.505 V, donde $\eta = 73.89\%$, y si se tiene en cuenta la potencia de RF (véase ecuación 5.10), la $\eta_{tot} = 72.10\%$.

El diseño está pensado sin embargo para 3 V donde la $\eta = 74.89\%$, y la $\eta_{tot} = 71.86\%$, por tanto para los siguientes barridos de frecuencia y de resistencia de carga estudiaremos tanto los casos de $V_{DS_{INV}} = 3.5$ V como de $V_{DS_{INV}} = 3$ V

5.2.1.2 Barrido de frecuencias

Otro aspecto importante en la medida de eficiencia es conocer si se mantiene alta en un amplio rango de frecuencias de trabajo. Para comprobar dicho funcionamiento se realizan barridos, manteniendo estable la tensión V_{DS} , variando la frecuencia en pasos de 10MHz.

- Se realiza una primera medida para un voltaje en drenador de 3V:

Barrido de frecuencia para $V_{DS_{IN}} = 3,005$ V y $R=128,3 \Omega$

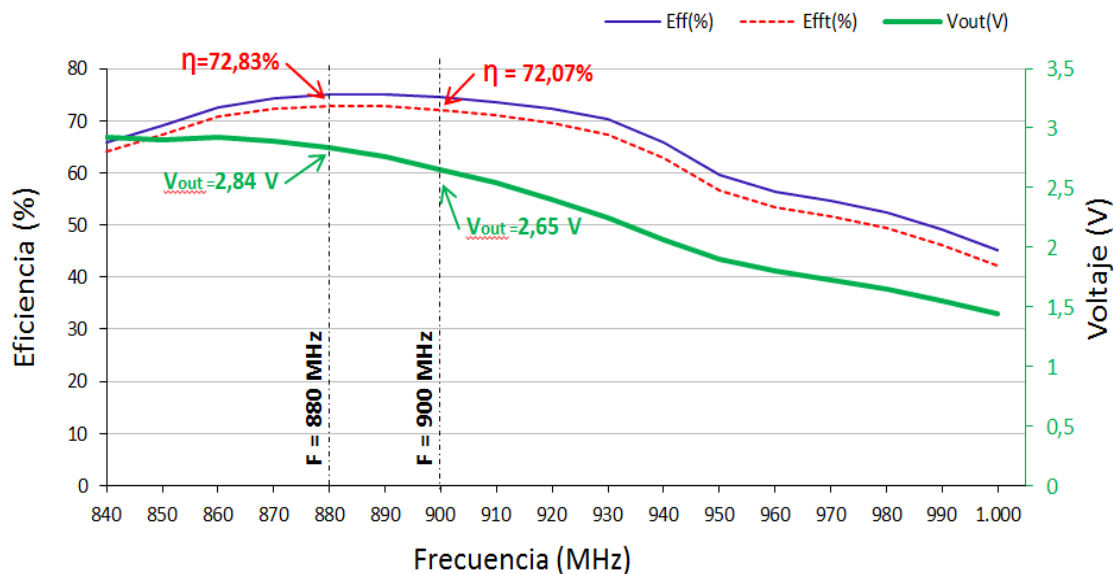


Figura 5.21. Eficiencia y voltaje a la salida frente a frecuencia para $V_{DS}=3.005$ V

Se observa en la figura 5.21 que para el caso de $V_{DS}=3$ V se puede trabajar en un rango de hasta 50 MHz (de 860 MHz a 910 MHz) sin bajar del 70% de eficiencia.

Para la frecuencia fundamental de 900 MHz se obtiene un 74.5% de eficiencia mientras que la eficiencia total es de 72.07%, con V_{OUT} de 2.65 V. El punto máximo se

encuentra muy próximo a la frecuencia de 880 MHz obteniéndose un 74.98%, mientras que la eficiencia total alcanza un valor máximo de 72.83% con una V_{OUT} de 2.84 V.

- Se realiza una segunda medida para un voltaje en drenador de 3.505 V:

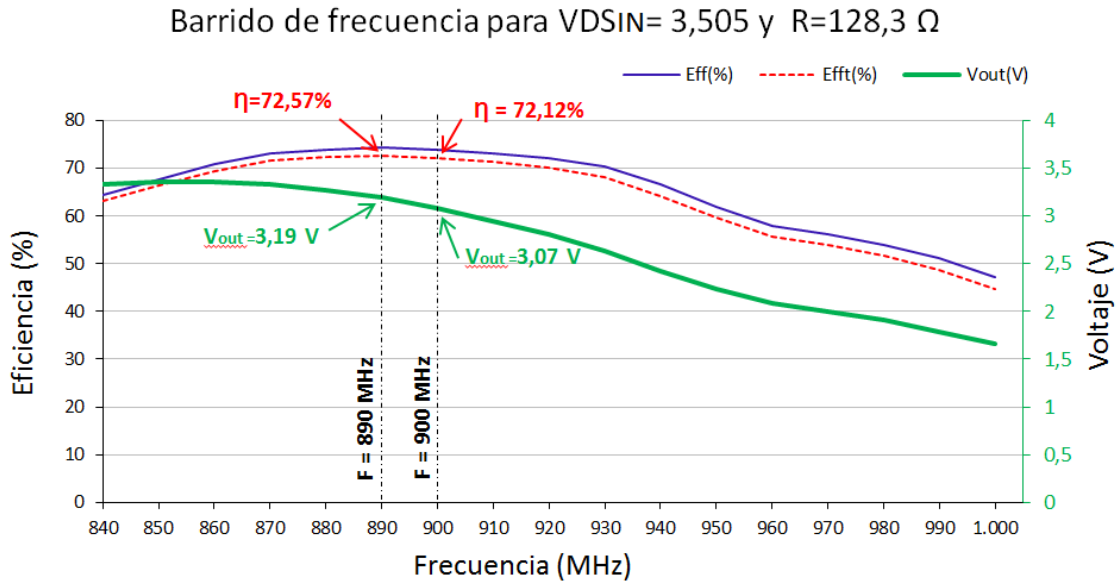


Figura 5.22. Eficiencia y voltaje a la salida frente a frecuencia para $V_{DS} = 3.505$ V

Se ve en la figura anterior que para una $V_{DS} = 3.505$ V se puede trabajar en un rango de hasta 50 MHz (de 870 MHz a 920 MHz) nuevamente sin bajar del 70% de eficiencia. Para la eficiencia a 900 MHz se obtienen 73.92% y para la eficiencia total se obtiene 71.12% con una V_{OUT} de 3.07 V.

El punto de mayor eficiencia total se encuentra muy próximo a la frecuencia fundamental. Se obtiene para 890 MHz donde tenemos una eficiencia de 74.26%, con una eficiencia total de de 72.57% y una V_{OUT} de 3.19 V.

5.2.1.3 Barrido de carga

Se estudia cómo se comporta la eficiencia del convertidor DC/DC para distintos valores de carga. Se realiza una primera medida para un voltaje en drenador de 3.005V

Barrido de la carga para $f = 0.9 \text{ GHz}$ y $V_{DSIN} = 3,005$

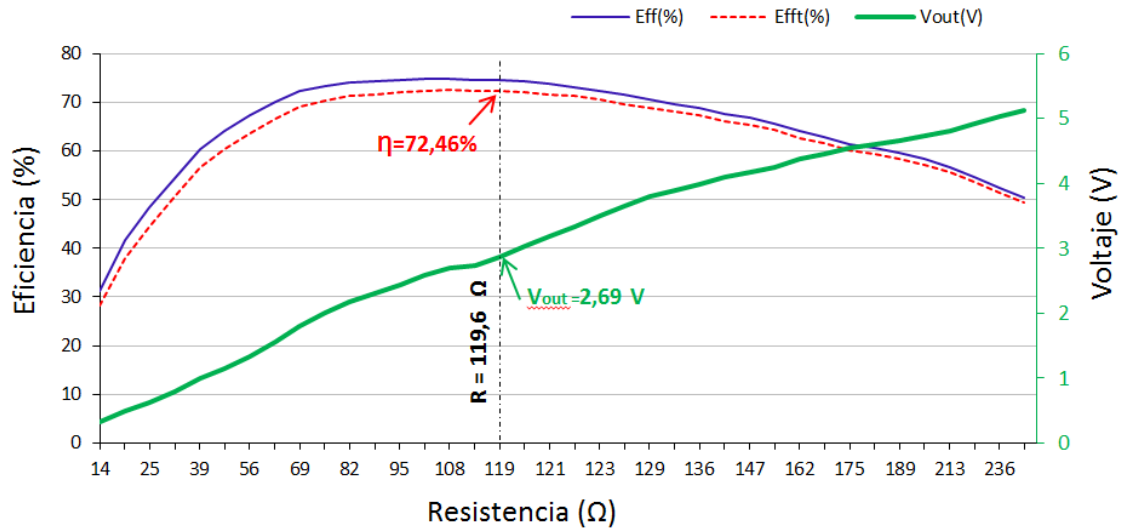


Figura 5.23. Eficiencia y voltaje a la salida frente a distintos niveles de carga para $V_{DS_{INV}} = 3.005 \text{ V}$

Se ve en la figura 5.23 que para una $V_{DS_{INV}} = 3.005 \text{ V}$ se puede trabajar desde 86.1Ω hasta 165.6Ω sin bajar del 70% encontrándose el valor óptimo en 119Ω (recordando que la carga para la que se diseñó es de 128.3Ω), donde la eficiencia es de 74.89% con una eficiencia total de 72.46% y un voltaje de salida de 2.69 V

Se realiza una segunda medida para un voltaje en drenador de 3.505 V.

Barrido de la carga para $f = 0.9 \text{ GHz}$ y $V_{DSIN} = 3.505$

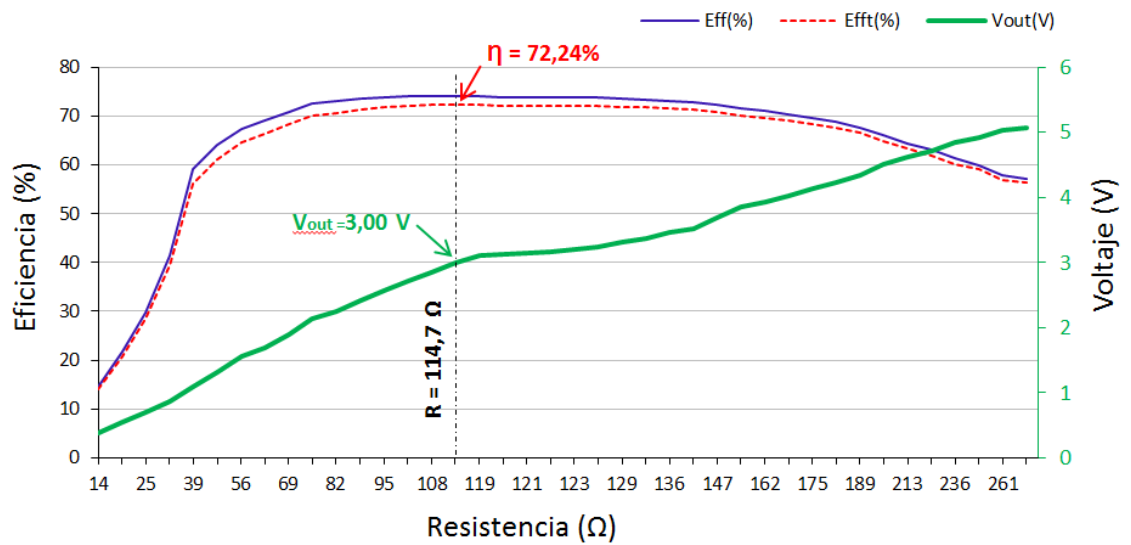


Figura 5.24. Eficiencia y voltaje a la salida frente a distintos niveles de carga para $V_{DS} = 3.505 \text{ V}$

En la figura 5.24 vemos como para una $V_{DSINV} = 3.505 \text{ V}$ se puede trabajar desde 78.2Ω hasta 156.6Ω sin bajar del 70% encontrándose el valor óptimo a 114.7Ω , donde la eficiencia es de 74.08% con una eficiencia total de 72.24% y un voltaje de salida de 3.00 V.

5.2.1.3 Barrido de potencia de entrada

Por último se realiza un último barrido de potencia a la entrada a la frecuencia fundamental con una carga de 128.3Ω y un voltaje de drenador de 3.005 V.

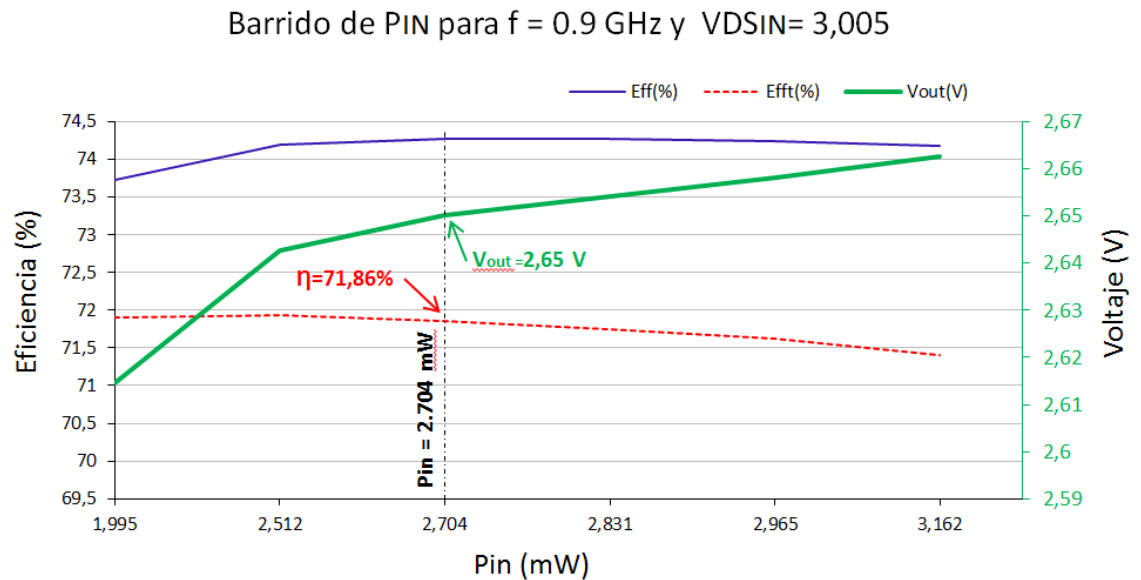


Figura 5.25. Eficiencia y voltaje a la salida frente a distintos valores de potencia de entrada con $V_{DSINV} = 3.005 \text{ V}$

Para este barrido tanto la eficiencia como el voltaje de salida se mantienen muy estables. En ningún caso se baja del 70% de eficiencia total y vemos como para una potencia de entrada de 2.704 mW se trabaja a una eficiencia de 74.27% donde la eficiencia total se sitúa en 71.86% y la V_{OUT} es de 2.65 V

5.3 Referencias

[1] www.arlon-med.com

[2] <http://datasheet.octopart.com/L-05C33NJV4-Johanson-datasheet-5970.pdf>

6

Conclusiones y líneas futuras

En este último capítulo se exponen las conclusiones finales extraídas tras realizar este trabajo, valorando los resultados obtenidos y comparándolos con los esperados en las primeras fases de diseño, y con los obtenidos en otros trabajos similares.

6.1 Conclusiones

Llegados a este punto del diseño, montaje y caracterización convertidor clase E² se realizará un breve balance de los resultados obtenidos y las conclusiones que de ellos podemos extraer.

El diseño del convertidor hay que recordar que está orientado a operar como etapa de modulación de un transmisor polar en la banda de 900 MHz.

Se realiza un estado del arte, realizando comparaciones con [1], [2], [3], [4], [5], [6], [7] y [8], se puede concluir que se obtienen unos resultados excelentes alcanzando una eficiencia pico de 72% cuando la tensión de entrada son 3V a una frecuencia de trabajo de 0.9 GHz. Además se mantiene por encima de 70% en un rango de frecuencias de más de 50 MHz.

Se ha logrado diseñar un convertidor como dispositivo único, aumentando la eficiencia y reduciendo el volumen que ocuparían el inversor y el rectificador implementados de forma independiente importante a la hora de ser utilizado en usos como en la rama AM del transistor polar.

Frecuencia [GHz]	Vout [V]	Pout [W]	Eficiencia [%]	Año/Referencia
0.02	7	6	84	2012 [1]
0.03	65	472	83	2010 [2]
0.03	33	220	87	2011 [3]
0.05	42	35	90	2011 [4]
0.1	23.7	1.7	55	2011 [5]
0.15	3.3	3.3	84	2012 [6]
0.78	24	11.5	72	2012 [7]
1	25	12.5	72	2012 [7]
0.9	2.65	0.06	70	Este Trabajo
4.5	2.15	0.053	64	1999 [8]

Figura 6.1. Tabla ilustrativa del estado del arte en convertidores DC/DC

Para este trabajo se ha adaptado el diseño del layout sobre una de las placas disponibles. Por tanto es el diseño el que ha de tener las dimensiones de la placa y no al revés que sería lo óptimo. Con alta probabilidad el resultado mejoraría reduciendo el espaciado tanto de la red de interconexión como de esta con los transistores.

A continuación se proponen al lector algunas de las posibles vías de desarrollo a las que se enfrentan este tipo de tecnologías y bajo desde nuestro punto de vista cuál de esas vías son las que mayor repercusión van a desencadenar en el futuro.

6.2 Líneas futuras de trabajo

El presente proyecto ha abierto un camino bastante amplio de posibilidades, la fabricación de un componente está dividida en varias fases, desde una primera idea, pasando por la simulación hasta llegar a su fabricación y posteriormente testear sus posibilidades. Así pues, ya disponemos del componente físico al que se podrán aplicar numerosos estudios.

La línea de trabajo futura más evidente es la implementación de un transmisor polar con la arquitecturas desarrollada a lo largo del proyecto. Para ello sería necesario mejorar el perfil de eficiencia con respecto de la tensión de salida del convertidor y que con ello pueda manipular de modo eficiente la envolvente de la señal.

6.3 Referencias

- [1] J. Hu, A. D. Sagneri, J.M. Rivas, Y. Han ,S. M. Davis and D. J. Perreault, "High-frequency resonant SEPIC converter with wide input and output voltage ranges", IEEE Trans. Power Electron., vol.27, no.1, pp.189-200, Jan 2012
- [2] J. S. Glaser and J. M. Rivas, "A 500W push-pull DC-DC power converter with a 30 MHz switching frequency", in 25th Annu. IEEE Apl. Power Electron. Conf. and Expo. , Feb. 21-25, 2010, pp. 1-4.
- [3] J.M. Rivas, O. Leitermann, Y. Han and D. J. Perreault, "A very high frequency DC-DC converter based on a class ϕ_2 resonant inverter", IEEE Trans. Power Electron. , vol.26, no. 10, pp. 2980-2992, Oct. 2011
- [4] N. Le Gallou, D. Sardin, C. Delepaut, M. Campovecchio and S. Rochette, "Over 10MHz bandwidth envelope-tracking DC/DC converter for flexible high power GaN amplifiers", IEEE MTT-S Int. Microw. Symp. Dig., Jun. 5-10, 2011, pp.1-4.
- [5] T. M. Andersen, S. K. Christensen, A. Knott and M. A. E. Andersen, "A VHF class E DC-DC converter with self-oscillating gate driver", 26th Annu. IEEE Appl. Power Electron. Conf. and Expo., Mar. 6-11, 2011, pp- 885-891.
- [6] V. Pala, H. Peng, P. Wright, M. M. Hella and T. P. Chow, "Integrated high-frequency power converters based on GaAs pHEMT: Technology characterization and design examples", IEEE Trans. Power Electron. Vol.27, no. 5, pp. 2644-2656, May 2012.
- [7] J. A. García, R. Marante, M. N. Ruiz, "GaN HEMT class E2 resonant topologies for UHF DC/DC power conversion", IEEE Trans. Microw. Theory and Techn., 2012.
- [8] S. Djukic, D. Maksimovic and Z. Popovic, "A planar 4.5 GHz DC-DC power converter", IEEE Trans. Microw. Theory and Techn., vol 47, no. 8, pp. 1457-1460, Aug, 1999.

