

ESCUELA TÉCNICA SUPERIOR DE INGENIEROS
INDUSTRIALES Y DE TELECOMUNICACIÓN

UNIVERSIDAD DE CANTABRIA



Trabajo Fin de Grado

**Sistema de Lectura de 300 MHz a 6 GHz
para Detectores de Inductancia Cinética**

**(Readout System from 300 MHz to
6 GHz for Kinetic Inductance Detectors)**

Para acceder al Título de

***Graduado en
Ingeniería de Tecnologías de Telecomunicación***

Autor: Jesús Marqués Casanueva

Julio - 2025

GRADUADO EN INGENIERÍA DE TECNOLOGÍAS DE TELECOMUNICACIÓN

CALIFICACIÓN DEL TRABAJO FIN DE GRADO

Realizado por: Jesús Marqués Casanueva

Director del TFG: Beatriz Aja Abelán / Enrique Villa Benito

Título: “Sistema de Lectura de 300 MHz a 6 GHz para Detectores de Inductancia Cinética”

Title: “Readout System from 300 MHz to 6 GHz for Kinetic Inductance Detectors”

Presentado a examen el día: 18 de Julio de 2025

para acceder al Título de

GRADUADO EN INGENIERÍA DE TECNOLOGÍAS DE TELECOMUNICACIÓN

Composición del Tribunal:

Presidente (Apellidos, Nombre): De la Fuente Rodríguez, Luisa María

Secretario (Apellidos, Nombre): Robla Gómez, María Sandra

Vocal (Apellidos, Nombre): Quintela Incera, María Ángeles

Este Tribunal ha resuelto otorgar la calificación de:

Fdo: El Presidente

Fdo: El Secretario

Fdo: El Vocal

Fdo: El Director del TFG
(sólo si es distinto del Secretario)

Vº Bº del Subdirector

Trabajo Fin de Grado Nº
(a asignar por Secretaría)

Agradecimientos

En primer lugar, quiero dar las gracias a mis tutores, Beatriz Aja y Enrique Villa. Gracias por la ilusión, la paciencia y el esfuerzo que habéis mostrado hacia mí. Me habéis impulsado y ayudado a crecer, no solo como ingeniero, sino también como persona.

También agradezco al Grupo de Radiofrecuencia y Microondas, por permitirme usar las instalaciones y por toda la ayuda ofrecida. Y a Paul, por su trabajo en la fabricación y el montaje del sistema, una parte clave para hacer realidad este proyecto.

Se agradece el soporte ofrecido por el Ministerio de Ciencia e Innovación (proyecto PID2022-137779OB-C43) y el Gobierno de Cantabria, Consejería de Industria, Empleo, Innovación y Comercio (Proyecto 2023/TCN/005).

A mi familia, por estar siempre. A mis padres, por su apoyo y amor incondicional. En especial, a mi madre, por ser mi referente, por su dedicación y su esfuerzo constante. A mis abuelos, por escucharme cada noche, por sus consejos y su cariño.

A mis amigos y compañeros de universidad, por tantas horas compartidas, dentro y fuera de clase. Estos años han sido mucho más fáciles gracias a vosotros.

Y a Lucía, gracias por acompañarme en cada paso, por celebrar mis logros como si fueran tuyos y, sobre todo, por hacerme mejor persona cada día.

"Pon en manos del Señor todas tus obras, y tus proyectos se cumplirán"

Proverbios 16:3

Resumen

Este Trabajo Fin de Grado tiene como objetivo el diseño, desarrollo e integración de un sistema de lectura de 300 MHz a 6 GHz para la medida de detectores de Inductancia Cinética (KIDs). Los KIDs son unos detectores extremadamente sensibles, con aplicaciones en radioastronomía y computación cuántica, basados en micro-resonadores superconductores que operan a temperaturas criogénicas dentro de un criostato, y cuya lectura requiere potencias muy débiles en la banda del sistema desarrollado en este trabajo.

El sistema de lectura está compuesto por amplificadores de bajo ruido (LNA), conmutadores de doble vía (SPDTs), un atenuador programable, un divisor de potencia y un demodulador I/Q. Los SPDTs permiten seleccionar entre dos configuraciones de medida: mediante un analizador vectorial de redes (VNA) o a través del demodulador I/Q.

En una primera fase se ha llevado a cabo el análisis, diseño y simulación del sistema de amplificación, evaluando diferentes configuraciones de LNA y SPDTs para seleccionar los componentes más adecuados. A partir de este estudio, se diseñó una PCB que posteriormente fue fabricada y corregida tras detectar problemas en una primera versión.

El sistema ha sido caracterizado experimentalmente en laboratorio, tanto a nivel de placa como de componentes individuales, comprobando su comportamiento en frecuencia y en ruido. Finalmente, se ha llevado a cabo la integración de todos los elementos en una única caja, formando un sistema compacto y funcional, preparado para la lectura de KIDs mediante distintas configuraciones de medida.

Abstract

This Bachelor's Thesis presents the design, development, and integration of a 300 MHz to 6 GHz readout system intended for the interrogation of Kinetic Inductance Detectors (KIDs). KIDs are extremely sensitive detectors, based on superconducting microresonators, with applications in radio astronomy and quantum computing. They operate at cryogenic temperatures inside a cryostat and require very low readout power within the frequency band targeted by the system developed in this work.

The readout system includes low-noise amplifiers (LNAs), single-pole double-throw (SPDT) switches, a programmable attenuator, a power divider, and an I/Q demodulator. The SPDT switches allow switching between two measurement configurations: using a Vector Network Analyzer (VNA) or the I/Q demodulator.

In the initial phase, various LNA and SPDT configurations were analyzed, simulated, and evaluated to select the most suitable components for the amplification stage. Based on this analysis, a PCB was designed, fabricated, and later revised due to issues encountered in the first version.

The system was then experimentally characterized in the lab, both at the board level and through individual component testing, assessing frequency response and noise behavior. Finally, all components were integrated into a single enclosure, resulting in a compact and functional system ready for KID readout using different measurement schemes.

Palabras clave

Sistema de lectura (Readout)

Detectores de Inductancia Cinética (KIDs – Kinetic Inductance Detector)

Amplificadores de bajo ruido (LNA – Low Noise Amplifier)

Conmutadores de doble vía (SPDT – Single Pole Double Throw)

Demodulador I/Q

Radiofrecuencia (RF)

Placa de circuito impreso (PCB Printed Circuit Board)

Diseño en ADS (Advanced Design System)

Lista de acrónimos

ADS	Advanced Design System	Advanced Design System
DUT	Dispositivo Bajo Prueba	Device Under Test
ENR	Relación de Exceso de Ruido	Excess Noise Ratio
IF	Frecuencia Intermedia	Intermediate Frequency
IQ	Demodulación en Cuadratura	In-phase/Quadrature
KID	Detector de Inductancia Cinética	Kinetic Inductance Detector
LNA	Amplificador de Bajo Ruido	Low Noise Amplifier
LO	Oscilador Local	Local Oscillator
NF	Figura de Ruido	Noise Figure
PCB	Placa de Circuito Impreso	Printed Circuit Board
PNA	Analizador de Redes de Precisión	Precision Network Analyzer
RF	Radiofrecuencia	Radio Frequency
SNR	Relación Señal/Ruido	Signal-to-Noise Ratio
SPDT	Conmutador de Doble Vía	Single Pole Double Throw
VNA	Analizador de Redes Vectoriales	Vector Network Analyzer

Índice general

Capítulo 1. Introducción.....	1
1.1 Objetivo del trabajo.....	1
1.2 Estructura del documento.....	2
Capítulo 2. Marco teórico y estado del arte.....	3
2.1 Detectores de Inductancia Cinética (KIDs).....	3
2.2 Amplificadores de bajo ruido (LNA)	5
2.2.1 Parámetros de Scattering	5
2.2.2 Ruido	6
2.2.3 Punto de compresión 1 dB	10
2.3 Conmutadores de doble vía (SPDT).....	10
2.4 Demodulador I/Q	11
2.5 Otros componentes pasivos	12
2.5.1 Divisores de potencia	12
2.5.2 Atenuadores programables	12
2.6 Estado del arte en sistemas de lectura para KIDs.....	12
Capítulo 3. Diseño y simulación de la etapa amplificadora	14
3.1 Herramienta de diseño.....	15
3.2 Elección de componentes	16
3.2.1 Amplificadores de bajo ruido (LNA)	16
3.2.2 Conmutadores de doble vía (SPDT).....	22
3.3 Simulación de configuraciones en cascada	23
3.3.1 Primera configuración: HMC8410 + 3 × HMC8414	23
3.3.2 Segunda configuración: HMC8410 + 2 × HMC8414	25
3.4 Diseño de layouts	26
3.4.1 Layout del LNA HMC8410.....	28
3.4.2 Layout del LNA HMC8414.....	31
3.4.3 Layout del SPDT	34
Capítulo 4. Fabricación de la PCB de amplificación	37
4.1 Primera versión de la PCB	37
4.2 Revisión del diseño y mejoras implementadas.....	43
4.3 Segunda versión de la PCB	48
Capítulo 5. Caracterización experimental	54
5.1 Etapa de amplificación – segunda versión de la PCB	54
5.2 Divisor de Potencia (Power Splitter) - ZN2PD2-63-S+	60

5.3 Atenuador Programable - RCDAT-6000-90	62
5.4 SPDT RF Switch - ZSW2-63DR+	64
5.5 Demodulador IQ - AD0460B	66
Capítulo 6. Integración del sistema completo	69
6.1 Ensamblaje en el chasis y conexionado	69
6.2 Caracterización del sistema.....	72
Capítulo 7. Conclusiones y líneas futuras	76
Bibliografía	78

Índice de figuras

Figura 1. Desplazamiento de la frecuencia de resonancia en un KID cuando se detecta [2].	4
Figura 2. Concepto de lectura de array MKID [3].	4
Figura 3. Arquitectura del sistema que incluye electrónica digital (azul), electrónica de RF (roja) y criostato con array MKID (gris) [3].	5
Figura 4. Primera parte de la técnica de medida de ruido Factor-Y: Calibración [5].	8
Figura 5. Segunda parte de la técnica de medida de ruido Factor-Y: Medida del DUT [5].	9
Figura 6. Definición del punto de compresión de 1 dB. Diferencia entre las dos curvas (1 dB) [8].	10
Figura 7. Concepto del conmutador SPDT.	11
Figura 8. Esquema conceptual del IQ Mixer [10].	11
Figura 9. Diagrama de bloques del sistema de lectura.	14
Figura 10. Características principales del amplificador PMA-5552+ [12].	16
Figura 11. Parámetros S del amplificador PMA-5452+ de Mini-Circuits.	17
Figura 12. Características principales del amplificador HMC-ALH444 de Analog Devices [13].	17
Figura 13. Parámetros S del amplificador HMC-ALH444 de Analog Devices.	18
Figura 14. Características principales del amplificador ADL8122 de Analog Devices [14].	18
Figura 15. Parámetros S del amplificador ADL8122 de Analog Devices.	19
Figura 16. Características principales del amplificador HMC8410 de Analog Devices [15].	19
Figura 17. Parámetros S del amplificador HMC8410 de Analog Devices.	19
Figura 18. Figura de ruido del amplificador HMC8410 de Analog Devices. (a) Hoja de datos [15]. (b) ADS.	20
Figura 19. Características principales del amplificador HMC8414 de Analog Devices [16].	21
Figura 20. Parámetros S del amplificador HMC8414 de Analog Devices. (a) Modo LNA. (b) Modo Bypass.	21
Figura 21. Figura de ruido del amplificador HMC8414 de Analog Devices. (a) Hoja de datos [16]. (b) ADS.	21
Figura 22. Características principales del conmutador SPDT M3SWA2-63DRC de Mini-Circuits [17].	22
Figura 23. Parámetros S del conmutador M3SWA2-63DRC de Mini-Circuits.	23
Figura 24. Primera configuración en cadena con todos los amplificadores activos. (a) Parámetros S. (b) Figura de ruido.	24
Figura 25. Comparación de ganancias de la primera configuración para los distintos casos.	24
Figura 26. Parámetros S de la segunda configuración con ambos HMC8414 activos.	25
Figura 27. Comparación de ganancias de la segunda configuración para los distintos casos.	25
Figura 28. Comparación de las figuras de ruido en todas las configuraciones.	26
Figura 29. Características principales del substrato Rogers RO4350B [18].	27
Figura 30. Interfaz gráfica de LineCalc para el cálculo de las dimensiones de las líneas microstrip.	28
Figura 31. Esquema eléctrico recomendado para el HMC8410 (hoja de datos de Analog Devices) [15].	29
Figura 32. Esquemático en ADS del circuito para el LNA HMC8410.	30
Figura 33. Diseño del layout del LNA HMC8410 sobre substrato RO4350B (tamaño: 30 mm x 45 mm).	30
Figura 34. Parámetros S del LNA HMC8410 con los elementos incluidos en el layout (líneas de transmisión, condensadores y resistencias).	31
Figura 35. Esquema eléctrico recomendado para el HMC8414 (hoja de datos de Analog Devices) [16].	31
Figura 36. Esquemático en ADS del circuito para el LNA HMC8414.	32

Figura 37. Diseño del layout del LNA HMC8414 sobre sustrato RO4350B (tamaño: 32 mm x 45 mm).	33
Figura 38. Parámetros S del LNA HMC8414 con los elementos incluidos en el layout (líneas de transmisión, condensadores y resistencias).	33
Figura 39. Esquema eléctrico recomendado para el M3SWA2-63DRC+ (hoja de datos de Mini-Circuits) [17].	34
Figura 40. Esquemático en ADS del circuito para el SPDT M3SWA2-63DRC+.	35
Figura 41. Diseño del layout del SPDT M3SWA2-63DRC+ sobre sustrato RO4350B (tamaño: 25 mm x 60 mm).	35
Figura 42. Parámetros S del layout del SPDT M3SWA2-63DRC+.	36
Figura 43. Layout completo de la PCB (primera versión) (tamaño: 10 cm x 7 cm).	38
Figura 44. Simulación de parámetros S del circuito completo de la primera PCB, LNAs y el conmutador integrado. (a) Todos los LNA HMC8414 activos. (b) Todos los LNA HMC8414 en bypass.	39
Figura 45. Simulación de la figura de ruido de la primera PCB.	39
Figura 46. Layout con serigrafía: entradas, salidas, tensiones, control e identificación (tamaño: 10 cm x 7 cm).	40
Figura 47. PCB sin componentes. (a) Cara superior. (b) Cara inferior.	42
Figura 48. Vista microscópica para comprobación del tamaño de las líneas.	42
Figura 49. Primera versión de la PCB acabada #1 (tamaño: 10 cm x 7 cm).	43
Figura 50. Medida en laboratorio de la primera PCB con el PNA y las fuentes.	43
Figura 51. Parámetros S de la primera PCB, con el último LNA en modo bypass y los demás activados.	44
Figura 52. Parámetros S de la primera PCB, con un LNA en bypass y cambio en la red RLC.	45
Figura 53. Parámetros S de la primera PCB, con todos los LNA activos y cambio en la red RLC.	45
Figura 54. Parámetros S de la primera PCB, con un LNA en bypass y con resistencia 10 Ohm.	46
Figura 55. Parámetros S de la primera PCB, con todos los LNA activos y con resistencia 10 Ohm.	46
Figura 56. Medida de ruido en laboratorio de la primera PCB con el NFA y las fuentes.	47
Figura 57. Medida de ruido en laboratorio de la primera PCB con la fuente de ruido.	47
Figura 58. Figura de ruido de la primera PCB con el NFA. (a) Un LNA activado. (b) Dos LNAs activados.	48
Figura 59. Layout completo de la PCB (segunda versión) (tamaño: 8 cm x 6 cm).	49
Figura 60. Parámetros S del circuito completo de la segunda PCB. (a) LNAs activos. (b) LNAs en bypass.	50
Figura 61. Figura de ruido del circuito completo en la segunda PCB.	50
Figura 62. Layout de la PCB (tamaño: 8 cm x 6 cm). (a) Etiquetas de los de los componentes. (b) Cara inferior.	51
Figura 63. Segunda versión de la PCB (tamaño 8 cm x 6 cm). (a) Cara superior. (b) Cara inferior.	53
Figura 64. Medida en laboratorio de la segunda PCB con el PNA y las fuentes.	56
Figura 65. Parámetros S de la segunda PCB en configuración BIAS3.	56
Figura 66. Comparación del S21 de la segunda PCB en distintas configuraciones.	57
Figura 67. Parámetros S de la segunda PCB en configuración BIAS3-ISO.	57
Figura 68. Comparación de parámetros S de las dos salidas de la segunda PCB en configuración BIAS3.	58
Figura 69. Comparación de las figuras de ruido para las distintas configuraciones de alimentación.	58
Figura 70. Curva de compresión P1dB en configuración BIAS3 a 3 GHz.	59

Figura 71. Comparación del punto de compresión P1dB a 3 GHz entre BIAS1 (verde), BIAS2 (roja) y BIAS3 (azul).	60
Figura 72. Características principales del ZN2PD2-63-S+ de Mini-Circuits [19].	60
Figura 73. Medida en laboratorio del ZN2PD2-63-S+.....	61
Figura 74. Parámetros S del ZN2PD2-63-S+ entre el acceso S (común) y el acceso 1.	61
Figura 75. Parámetros S del ZN2PD2-63-S+ entre el acceso 1 y el acceso 2.	62
Figura 76. Características principales del RCDAT-6000-90 de Mini-Circuits [20].	62
Figura 77. Medida en laboratorio del RCDAT-6000-90.....	63
Figura 78. Parámetros S del RCDAT-6000-90 en el estado de 0 dB de atenuación.....	63
Figura 79. Comparación de las atenuaciones del RCDAT-6000-90 para distintos estados configurados en pasos de 5 dB.	64
Figura 80. Características principales del ZSW2-63DR+ de Mini-Circuits [21].	64
Figura 81. Parámetros S del ZSW2-63DR+ entre el acceso COM (común) y el acceso RF1 con V_{CTRL} 0 V.	65
Figura 82. Parámetros S del ZSW2-63DR+ entre el acceso COM (común) y el acceso RF1 con V_{CTRL} 5 V.	65
Figura 83. Parámetros S del ZSW2-63DR+ entre el acceso RF1 y el acceso RF2 con V_{CTRL} 0 V.	66
Figura 84. Características principales del AD0460B de Polyphase Microwave [22].	66
Figura 85. Medida en laboratorio del AD0460B.	67
Figura 86. Parámetros S del AD0460B entre el acceso RF y el acceso I (izquierda), y el acceso Q (derecha).	67
Figura 87. Parámetros S del AD0460B entre el acceso OL y el acceso I (izquierda), y el acceso Q (derecha).	68
Figura 88. Parámetros S del AD0460B entre el acceso RF y el acceso OL.	68
Figura 89. Diagrama de bloques del sistema completo.	69
Figura 90. Nivel inferior del sistema completo integrado en el chasis.	70
Figura 91. Nivel superior del sistema completo integrado en el chasis.	70
Figura 92. Sistema completo montado en el chasis y con el conexionado de RF.	71
Figura 93. Vistas laterales del sistema completo montado en el chasis y sus conexiones.	71
Figura 94. Medida en laboratorio del sistema completo.	72
Figura 95. Parámetros S del sistema de lectura entre el puerto PNA1 y el puerto PNA2, en configuración BIAS3.	73
Figura 96. Comparación del parámetro S21 del sistema de lectura entre el puerto PNA1 y el puerto PNA2, entre BIAS1 (roja), BIAS2 (azul) y BIAS3 (morada).	73
Figura 97. Comparación del parámetro S21 del sistema de lectura entre el puerto OL y el puerto IN, para distintos niveles de atenuación.	74
Figura 98. Diferencia de amplitud y fase entre los canales I y Q a la salida del mezclador en función de la frecuencia.	75
Figura 99. Concepto de tapas lateral del chasis.....	77

Índice de tablas

Tabla 1. Componentes del esquema eléctrico del HMC8410 de Analog Devices.	29
Tabla 2. Componentes del esquema eléctrico del HMC8414 de Analog Devices.	32
Tabla 3. Componentes del esquema eléctrico del M3SWA2-63DRC+ de Mini-Circuits.	34
Tabla 4. Componentes del esquema eléctrico de la primera PCB.	41
Tabla 5. Componentes del esquema eléctrico de la segunda PCB.	52
Tabla 6. Casos de estudio y consumo de corriente en cada configuración.	55
Tabla 7. Consumo eléctrico del sistema para distintas configuraciones de polarización.	74

Capítulo 1. Introducción

En los últimos años, los avances en detección de radiación y partículas han motivado el desarrollo de tecnologías cada vez más sensibles, capaces de operar en condiciones extremas y de ofrecer un gran rendimiento en términos de resolución, velocidad y ruido. En este contexto, los detectores de Inductancia Cinética (KIDs, por sus siglas en inglés) han adquirido una gran relevancia por su conveniencia en aplicaciones como la radioastronomía y la computación cuántica. Estos detectores, basados en micro-resonadores superconductores, destacan por su capacidad de operar a temperaturas criogénicas y por la posibilidad de ser leídos mediante técnicas de multiplexado en frecuencia, lo que permite leer múltiples detectores con una misma línea de transmisión [1].

La lectura de los KIDs se realiza generalmente mediante la monitorización de su respuesta en frecuencia, dentro de una banda que en ocasiones se sitúa entre los 300 MHz y los 6 GHz, dependiendo del diseño del resonador y del experimento en cuestión. Debido a las condiciones de operación, con potencias extremadamente bajas, interferencias externas mínimas y temperaturas próximas al cero absoluto, el sistema de lectura asociado debe cumplir unos requisitos muy exigentes en términos de ganancia, ruido, linealidad, y estabilidad en frecuencia.

Este trabajo surge de la necesidad de contar con un sistema de lectura portable y robusto, capaz de integrarse en un entorno de laboratorio para la caracterización de KIDs, permitiendo tanto la operación con un analizador vectorial de redes (VNA) como mediante una lectura continua utilizando un demodulador I/Q. La implementación de este sistema implica no solo la selección adecuada de componentes, sino también su integración física, su simulación previa para asegurar un comportamiento óptimo, y su caracterización experimental para validar el correcto funcionamiento en un entorno real.

1.1 Objetivo del trabajo

Como se ha mencionado previamente, el principal objetivo de este Trabajo Fin de Grado es el diseño, desarrollo e integración de un sistema de lectura de 300 MHz a 6 GHz, específicamente orientado a la medida de detectores de Inductancia Cinética (KIDs). Se pretende obtener un sistema funcional, compacto y fácilmente integrable en laboratorio, que permita la amplificación, conmutación y procesamiento de señales en el rango deseado. Para ello, el trabajo se ha dividido en varias etapas.

En una primera fase, se ha realizado el diseño y simulación de una etapa de amplificación mediante la herramienta ADS (Advanced Design System), considerando distintos amplificadores de bajo ruido (LNA) y conmutadores SPDT, y evaluando su comportamiento en términos de ganancia, ruido, adaptabilidad en frecuencia y régimen lineal.

A continuación, se diseñó una placa de circuito impreso (PCB) que integra los elementos seleccionados, la cual fue fabricada y probada. La primera versión presentó ciertas limitaciones que fueron corregidas en una segunda placa, mejorando la estabilidad y el rendimiento del sistema.

Posteriormente, se realizó la caracterización experimental, tanto de los distintos bloques del sistema como de la PCB con la etapa de amplificación en su conjunto, midiendo parámetros como la ganancia, adaptación o el factor de ruido, con el fin de validar el comportamiento real frente al esperado en simulación o al proporcionado por los fabricantes.

Finalmente, se ha abordado la integración global de todos los elementos en una única caja metálica, incluyendo conectores, un circuito de alimentación, cables y conectores para transmitir la señal, con el objetivo de obtener un sistema compacto, funcional y modular, listo para ser utilizado en experimentos reales con KIDs.

Este enfoque integral permite tanto validar el funcionamiento del sistema para su uso en laboratorio, como también ofrecer un recurso escalable y versátil que pueda adaptarse a futuras modificaciones o ampliaciones.

1.2 Estructura del documento

Este documento se organiza en siete capítulos, además de la bibliografía y los anexos:

En el Capítulo 2. Marco teórico y estado del arte, se presenta el principio de funcionamiento de los KIDs, sus requerimientos de lectura, y se repasan algunas soluciones existentes en la literatura para la implementación de sistemas de lectura en estas bandas.

El Capítulo 3. Diseño y simulación de la etapa amplificadora, aborda el análisis de parámetros de scattering, la elección de componentes y la simulación de las diferentes configuraciones. También se realiza el diseño individual de los layouts de los componentes para su posterior implementación conjunta en la PCB.

En el Capítulo 4. Fabricación de la PCB de amplificación, se detalla el proceso de la fabricación de la PCB, describiendo tanto el diseño del layout completo como las consideraciones prácticas tomadas durante su implementación, así como los errores detectados en una primera versión y su posterior corrección.

El Capítulo 5. Caracterización experimental, está dedicado a la medida de parámetros clave tanto en los componentes individuales como en la placa amplificadora desarrollada.

En el Capítulo 6. Integración del sistema completo, se describe el proceso de ensamblaje final del sistema, en el que se integran todos los elementos en una única carcasa, se realiza el cableado interno y se prepara el sistema para su operación conjunta.

Por último, el Capítulo 7. Conclusiones y líneas futuras, recoge los resultados del trabajo, y propone posibles líneas futuras de mejora y ampliación.

Capítulo 2. Marco teórico y estado del arte

Para comprender en profundidad el desarrollo de un sistema de lectura destinado a la detección de señales procedentes de detectores de Inductancia Cinética (KIDs), es fundamental establecer primero los fundamentos teóricos que sustentan su funcionamiento, así como el contexto tecnológico en el que se enmarca este trabajo.

Los KIDs, por su altísima sensibilidad y su funcionamiento a temperaturas criogénicas, imponen exigencias muy específicas a los sistemas de lectura que los acompañan. Entre estas exigencias destacan el bajo nivel de ruido, una respuesta plana en frecuencia, alta linealidad y un correcto balance de potencias. Para cumplir con estos requerimientos, se analizarán los bloques fundamentales del sistema de lectura, prestando especial atención amplificadores de bajo ruido (LNAs), conmutadores de doble vía (SPDTs), atenuadores programables, divisores de potencia y mezcladores I/Q. La elección de estos componentes y su configuración final han sido guiadas por criterios tanto teóricos como experimentales, con el objetivo de asegurar una combinación cuidadosamente probada para formar un sistema coherente, estable y funcional.

Este capítulo tiene como objetivo sentar las bases teóricas necesarias para el diseño y desarrollo del sistema planteado. Se abordarán los principios físicos y operativos de los KIDs, se analizarán las características esenciales de los principales bloques de un sistema de lectura en RF, y se estudiará el estado del arte en la literatura y desarrollos tecnológicos actuales. Esta revisión permitirá justificar las decisiones de diseño adoptadas en capítulos posteriores, y posicionar el presente trabajo en el marco de las investigaciones actuales en el ámbito de la lectura de resonadores superconductores.

2.1 Detectores de Inductancia Cinética (KIDs)

Los detectores de inductancia cinética (Kinetic Inductance Detectors, KIDs) son sensores superconductores de alta sensibilidad basados en la variación de la inductancia cinética de un superconductor ante la absorción de fotones o partículas. Esta propiedad permite que se comporten como resonadores cuya frecuencia de resonancia cambia en respuesta a una señal incidente, lo que los convierte en una tecnología especialmente atractiva para aplicaciones que requieren detección de muy bajo nivel de potencia, como la radioastronomía o la computación cuántica.

Los KIDs funcionan a temperaturas criogénicas, típicamente por debajo de 300 mK, dentro de un criostato. A estas temperaturas, los portadores de carga se agrupan en pares de Cooper, y la inductancia total de la línea de transmisión incluye una contribución significativa de la llamada inductancia cinética, relacionada con la inercia de estos pares. Cuando un fotón de energía suficiente incide sobre el detector, rompe algunos pares de Cooper, generando cuasipartículas y modificando la inductancia del sistema. Este cambio afecta a la frecuencia de resonancia del resonador, como se muestra en la Figura 1, lo que puede medirse con gran precisión mediante una técnica de lectura basada en barrido de frecuencia o demodulación en cuadratura (I/Q).

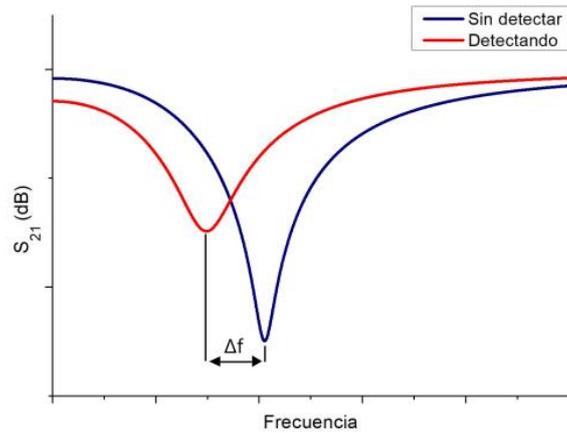


Figura 1. Desplazamiento de la frecuencia de resonancia en un KID cuando se detecta [2].

Una de las ventajas clave de los KIDs es su capacidad de multiplexado en frecuencia, lo que permite la lectura simultánea de cientos o miles de resonadores utilizando un único canal de RF. Para ello, se diseñan resonadores con frecuencias ligeramente distintas entre sí, todos acoplados a una misma línea de transmisión. La señal reflejada o transmitida a través de dicha línea contiene la información combinada de todos los detectores, y debe ser procesada adecuadamente para separar y caracterizar cada respuesta individual (Figura 2).

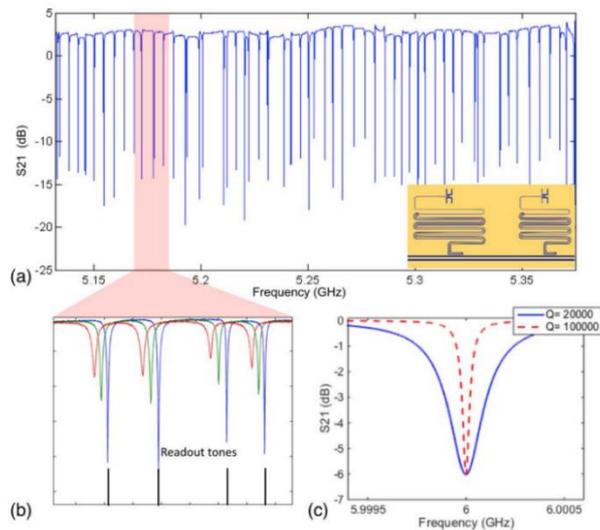


Figura 2. Concepto de lectura de array MKID [3].

El sistema de lectura típico para arrays de KIDs se basa en la generación de una señal compuesta por múltiples tonos, cada uno sintonizado con la frecuencia de un KID individual. Esta señal, generada digitalmente en frecuencia intermedia (IF), se convierte a RF mediante un mezclador I/Q, y se inyecta en el criostato donde se encuentran los detectores. Tras pasar por el array, la señal modula sus componentes en fase y amplitud, reflejando los cambios en cada KID. Luego es amplificada, convertida nuevamente a IF y digitalizada. Esta arquitectura se muestra en la Figura 3:

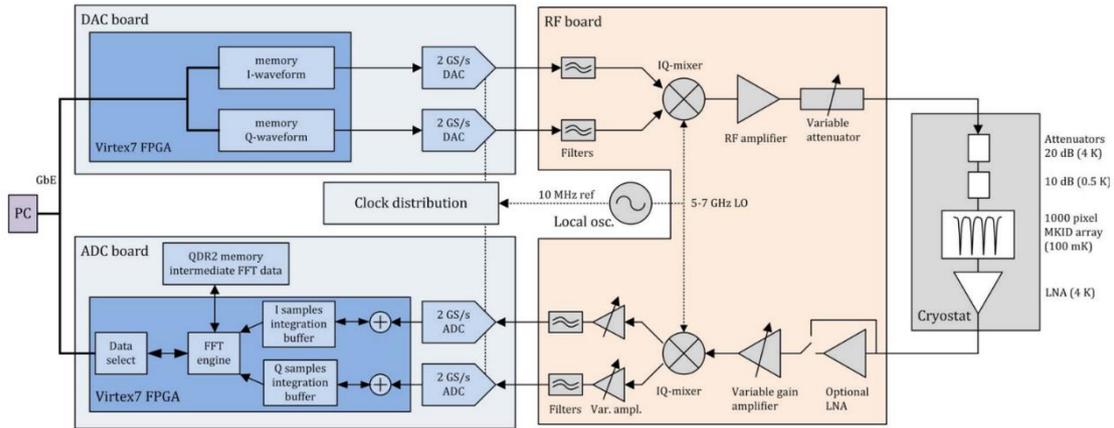


Figura 3. Arquitectura del sistema que incluye electrónica digital (azul), electrónica de RF (roja) y criostato con array MKID (gris) [3].

El diseño del sistema de lectura debe tener en cuenta las características de estos dispositivos: el rango de frecuencias de operación (habitualmente en el dominio de las frecuencias de microondas, GHz), las bajas potencias de excitación necesarias para evitar la destrucción de los estados superconductores, y el comportamiento extremadamente sensible frente al ruido. Todo ello obliga a implementar cadenas de amplificación de bajo ruido, conmutación selectiva para la caracterización y sistemas de demodulación de alta precisión.

2.2 Amplificadores de bajo ruido (LNA)

En sistemas de detección de señales extremadamente débiles, como los utilizados para la lectura de detectores de inductancia cinética (KIDs), el amplificador de bajo ruido (LNA) constituye un componente fundamental. Su función principal es proporcionar una ganancia significativa a la señal sin degradar sustancialmente su relación señal/ruido (SNR). Dado que estos sistemas operan en entornos criogénicos y con señales en el rango de los -90 dBm o menores, el LNA debe presentar unas características específicas que aseguren una amplificación eficiente, estable y con poco ruido.

2.2.1 Parámetros de Scattering

Los parámetros S (parámetros de Scattering) representan las características de los componentes y los circuitos electrónicos de RF y microondas. En concreto, describen la respuesta de una red de N-accesos a una o más señales incidentes en cualquiera de los accesos o en todos ellos a la vez [4]. En el caso de los LNA, al tener 2 accesos, uno de entrada y otro de salida, la matriz será de dimensión 2x2:

$$[S] = \begin{bmatrix} S_{11} & S_{12} \\ S_{21} & S_{22} \end{bmatrix}$$

Se pueden definir los parámetros de Scattering (S) como la relación entre las ondas de salida y las de entrada [4]. En el caso concreto de los LNA, los parámetros medidos para una red de dos accesos se pueden definir de la siguiente forma:

- S_{11} : Coeficiente de reflexión de entrada.
- S_{21} : Coeficiente de transmisión directa (ganancia lineal).

- S_{12} : Coeficiente de transmisión inversa.
- S_{22} : Coeficiente de reflexión de salida.

Estos parámetros no solo son necesarios en el estudio de amplificadores, también lo han sido para la caracterización de los demás componentes que forman el sistema. En el caso concreto de los SPDT, al tener 3 accesos, la matriz de Scattering será de dimensión 3x3.

2.2.2 Ruido

El ruido se define como cualquier señal no deseada en un sistema de telecomunicaciones que degrada la relación señal-ruido (SNR). El ruido puede provenir de fuentes artificiales, como actividades humanas, o naturales, siendo el ruido térmico el más relevante en circuitos electrónicos [5].

2.2.2.1 Ruido térmico

El ruido térmico surge del movimiento aleatorio de electrones en materiales conductores y semiconductores a temperaturas superiores al cero absoluto, generando corrientes y voltajes fluctuantes. La potencia del ruido térmico se calcula mediante:

$$N = N_0 B = kTB \text{ (Watt)}$$

donde:

N_0 : Densidad espectral del ruido térmico.

k : Constante de Boltzmann ($1.38 \cdot 10^{-23} \text{ J}\cdot\text{K}^{-1}$)

T : Temperatura ambiente en Kelvin.

B : Ancho de banda del ruido en Hz.

El ruido térmico es inherente a todos los componentes electrónicos y es especialmente crítico en receptores, donde la baja potencia de la señal amplifica su impacto. La SNR, definida como el cociente entre la potencia de la señal y la del ruido, es una métrica clave para evaluar el rendimiento del sistema, siendo deseable un valor elevado [5].

2.2.2.2 Factor y figura de ruido

El parámetro más utilizado a la hora de cuantificar el ruido en un sistema es el factor de ruido (F) ya que se encarga de relacionar la relación señal-ruido a la entrada de un dispositivo con su relación señal-ruido a la salida. Por lo tanto, el factor de ruido de cualquier componente se puede definir como la relación entre ambas SNR:

$$F = \frac{SNR_{in}}{SNR_{out}}$$

donde:

$SNR_{in} = \frac{S_{in}}{N_{in}}$: Potencia de señal y ruido a la entrada,

$SNR_{out} = \frac{S_{out}}{N_{out}}$: Potencia de señal y ruido a la salida.

Dadas las relaciones en las cuales la potencia de señal a la salida es $S_{out} = G \cdot S_{in}$ (donde G es la ganancia del componente) y el ruido a la salida $N_{out} = N_a + G \cdot N_{in}$ (donde N_a es el ruido añadido por el dispositivo), el factor de ruido se expresa como:

$$F = \frac{N_a + G \cdot N_{in}}{G \cdot N_{in}}$$

Asumiendo que el ruido de entrada es puramente térmico ($N_{in} = k \cdot T_0 \cdot B$, con $T_0 = 290$ K), el factor de ruido se convierte en [6]:

$$F = \frac{N_a + G \cdot k \cdot T_0 \cdot B}{G \cdot k \cdot T_0 \cdot B}$$

La figura de ruido NF es el factor de ruido en decibelios:

$$NF = 10 \log F$$

En amplificadores de bajo ruido se prefiere usar la temperatura de ruido T_a para facilitar la comparación. T_a representa la temperatura que debería tener una resistencia ideal, considerada como fuente de ruido térmico, conectada a la entrada de un amplificador ideal (sin ruido), para generar la misma potencia de ruido que el propio amplificador [7]:

$$T_a = (F - 1) \cdot T_0$$

Para sistemas en cascada, como el diseñado en la PCB de la etapa de amplificación, el factor de ruido y la temperatura equivalentes se obtienen mediante la fórmula de Friis [6]:

$$F_{eq} = F_1 + \frac{F_2 - 1}{G_1} + \frac{F_3 - 1}{G_1 \cdot G_2} + \dots + \frac{F_N - 1}{G_1 \cdot G_2 \dots G_{N-1}}$$

$$T_{eq} = T_1 + \frac{T_2}{G_1} + \frac{T_3}{G_1 \cdot G_2} + \dots + \frac{T_N}{G_1 \cdot G_2 \dots G_{N-1}}$$

Estas ecuaciones destacan la importancia del primer elemento en sistemas con varios componentes en cascada, ya que sus características influyen más que las del resto.

2.2.2.3 Parámetros de ruido

Los parámetros de ruido son esenciales para optimizar el diseño de LNAs, ya que describen el comportamiento del ruido respecto a la impedancia presente a su entrada y permiten obtener la figura de ruido del componente activo. Estos parámetros describen las correlaciones entre las ondas de ruido en la entrada y la salida.

Especialmente para el uso y diseño de amplificadores, donde la figura de ruido es un parámetro tan relevante, los fabricantes de transistores proporcionan un fichero con los distintos parámetros de ruido:

- Factor de ruido mínimo (F_{min}): El menor factor de ruido alcanzable, también expresado como figura de ruido mínima (NF_{min}) o temperatura de ruido mínima (T_{min}).
- Coeficiente de reflexión óptimo de ruido (Γ_{opt}): El coeficiente de reflexión de la fuente (en magnitud y fase) con el que se obtiene F_{min} , a veces dado como impedancia óptima (Z_{opt}).

- Resistencia equivalente de ruido (R_n): Indica la sensibilidad del factor de ruido a desviaciones de Z_{opt} , a menudo normalizada como $r_n = R_n/Z_0$.

El factor de ruido para un coeficiente de reflexión de fuente Γ_s se calcula como:

$$F = F_{min} + \frac{4 \cdot R_n \cdot |\Gamma_s - \Gamma_{opt}|^2}{Z_0 \cdot |1 + \Gamma_{opt}|^2 \cdot (1 - |\Gamma_s|^2)}$$

Cuando $\Gamma_s = \Gamma_{opt}$, el factor de ruido iguala a F_{min} , minimizando el ruido. Estos parámetros guían el diseño de redes de adaptación de entrada para optimizar el comportamiento de ruido.

2.2.2.4 Medida de ruido

La caracterización precisa del ruido es crucial para validar diseños de LNAs. El método de medida que se ha utilizado en este trabajo para caracterizar el ruido de los distintos elementos es el método del factor Y. Esta es la técnica principal para medir el ruido a temperatura ambiente, empleando una fuente de ruido y un analizador de figura de ruido (NFA).

El procedimiento incluye una primera etapa de calibración. La fuente de ruido, caracterizada por su Relación de Exceso de Ruido (ENR – Excess Noise Ratio), se conecta directamente al NFA. El ENR se define como:

$$ENR = 10 \log \frac{(T_S^{ON} - T_S^{OFF})}{T_0}$$

donde T_S^{ON} y T_S^{OFF} son las temperaturas de ruido de la fuente en los estados encendido y apagado, respectivamente, y $T_0 = 290$ K.

El factor Y es una relación de dos niveles de potencia de ruido, uno medido con la fuente de ruido encendida y otro con la fuente apagada. Como la figura de ruido es proporcional a la temperatura, también se puede expresar como una relación de esta última [5]:

$$Y = \frac{N^{ON}}{N^{OFF}} = \frac{T^{ON}}{T^{OFF}}$$

donde N^{ON} y N^{OFF} son potencias de ruido.

La calibración se realiza sin colocar el DUT (Device Under Test). Por lo tanto, la fuente de ruido se conecta directamente a la entrada del NFA cuya temperatura en el momento de la calibración es T_2 , como se puede observar en la siguiente figura:

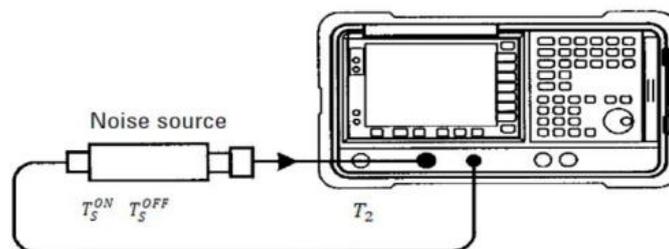


Figura 4. Primera parte de la técnica de medida de ruido Factor-Y: Calibración [5].

La calibración determina el factor Y medido en esta fase, con ello se puede calcular cual el valor de T_2 , por lo que guarda todos los valores obtenidos y normaliza las medidas de ganancia y figura de ruido para una correcta caracterización del DUT.

$$Y_2 = \frac{N_2^{ON}}{N_2^{OFF}} = \frac{T_S^{ON} + T_2}{T_S^{OFF} + T_2}$$

$$T_2 = \frac{(T_S^{ON} + Y_2 \cdot T_S^{OFF})}{(Y_2 - 1)}$$

Una vez se ha calibrado el NFA, se puede comenzar con la medida del ruido del dispositivo bajo prueba (DUT), el cual se inserta entre la fuente de ruido y el NFA, como se puede ver en la siguiente figura:

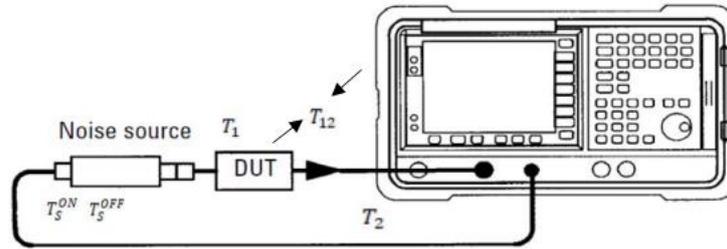


Figura 5. Segunda parte de la técnica de medida de ruido Factor-Y: Medida del DUT [5].

Una vez se tiene el sistema configurado se mide el factor Y, del NFA y el DUT combinado (Y_{12}):

$$Y_{12} = \frac{N_{12}^{ON}}{N_{12}^{OFF}}$$

Desarrollando este factor, se puede obtener la temperatura de ruido combinada del DUT y el NFA (T_{12}):

$$T_{12} = \frac{(T_S^{ON} + Y_{12} \cdot T_S^{OFF})}{(Y_{12} - 1)}$$

A partir de las medidas realizadas, se puede obtener tanto la ganancia como la temperatura de ruido del DUT (T_1), en el que se asume que el NFA añade T_2 (previa calibración). Dichos parámetros se muestran en las siguientes ecuaciones:

$$G_1(\text{dB}) = 10 \log \frac{N_{12}^{ON} - N_{12}^{OFF}}{N_2^{ON} - N_2^{OFF}}$$

$$T_1 = T_{12} - \frac{T_2}{G_1}$$

La correcta caracterización del ruido en los elementos activos del sistema resulta esencial para asegurar un funcionamiento óptimo en aplicaciones sensibles como la lectura de detectores superconductores. La metodología de medida mediante el factor-Y, combinada con la teoría del factor de ruido y los parámetros de diseño asociados, permite no solo validar las simulaciones previas, sino también optimizar la elección e integración de los componentes en la etapa de amplificación de la PCB desarrollada.

2.2.3 Punto de compresión 1 dB

El punto de compresión a 1 dB (P1dB) es un parámetro característico de dispositivos no lineales, como amplificadores o mezcladores, y se manifiesta cuando el dispositivo comienza a saturarse debido a una potencia de entrada excesiva. La compresión de ganancia se produce por la no linealidad en la función de transferencia, causada generalmente por el calentamiento o por operar fuera del rango lineal del dispositivo.

El P1dB se define como el punto en el cual la ganancia se ha reducido en 1 dB respecto al valor en régimen lineal. Puede especificarse con el nivel de potencia alcanzado tanto en la entrada (IP1dB) como en la salida (OP1dB) del dispositivo. Por encima de este punto, cada incremento de potencia en la entrada ya no se traduce en un aumento proporcional de la potencia de salida, y la curva de ganancia comienza a aplanarse, indicando la proximidad a la saturación [8]. En la siguiente figura se puede apreciar gráficamente el comportamiento de este fenómeno:

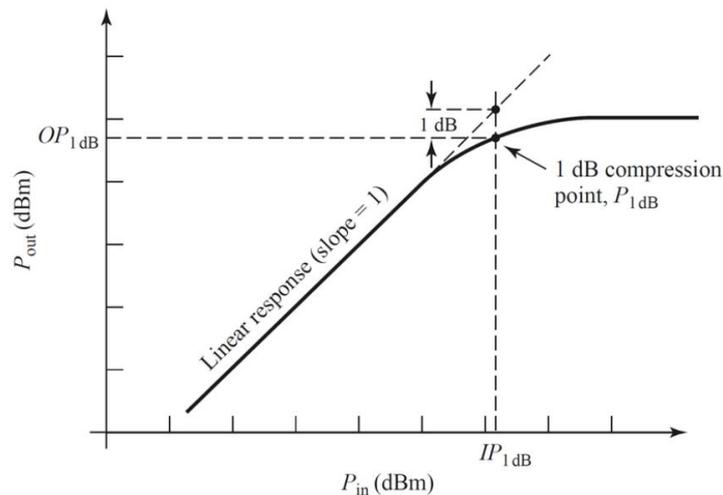


Figura 6. Definición del punto de compresión de 1 dB. Diferencia entre las dos curvas (1 dB) [8].

Un valor alto de P1dB implica que el amplificador puede manejar potencias más elevadas sin entrar en compresión, lo que se traduce en menor distorsión de la señal. Por este motivo, es deseable operar siempre con un margen de seguridad por debajo del P1dB, especialmente en sistemas de lectura sensibles como los utilizados para KIDs.

2.3 Conmutadores de doble vía (SPDT)

Los conmutadores SPDT (Single Pole Double Throw) son elementos fundamentales en sistemas de RF cuando se requiere seleccionar entre dos caminos eléctricos posibles para una misma señal. En el sistema de lectura desarrollado en este trabajo, se utilizan para conmutar entre dos modos de medida: uno basado en analizador de redes vectoriales (VNA), y otro mediante demodulación I/Q.

Desde el punto de vista funcional, un SPDT permite que una única entrada se conecte de forma selectiva a una de dos salidas (o viceversa), mediante control electrónico. En aplicaciones de microondas como esta, su elección debe garantizar un buen rendimiento eléctrico en toda la banda de interés (300 MHz a 6 GHz), lo que implica bajas pérdidas

de inserción, elevado aislamiento entre caminos, y una buena adaptación de impedancia para minimizar reflexiones no deseadas.

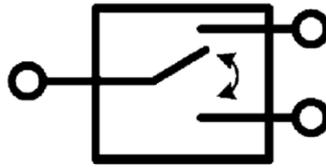


Figura 7. Concepto del conmutador SPDT.

Además, aunque el sistema opera con señales de muy baja potencia, es importante que los SPDTs mantengan un comportamiento lineal y no introduzcan distorsión, especialmente durante las pruebas en laboratorio en las que se puedan aplicar niveles algo mayores.

En este proyecto se han seleccionado distintos SPDTs, utilizados como elementos individuales en el sistema completo de lectura, y también como chips para su integración en las placas de circuito impreso. En el capítulo siguiente se describen las simulaciones y pruebas realizadas con estos dispositivos en ADS, así como su incorporación en el diseño final de la PCB.

2.4 Demodulador I/Q

En el sistema de lectura desarrollado en este trabajo, el demodulador en cuadratura (I/Q Mixer) desempeña un papel clave en la detección y análisis de la señal reflejada o transmitida por los detectores KID.

El demodulador I/Q permite transformar una señal de radiofrecuencia en una señal compuesta por dos componentes: I (In-phase) y Q (Quadrature). Para ello, la señal entrante se mezcla con dos réplicas de la señal local (LO), desfasadas entre sí 90 grados [9]. El resultado son dos señales analógicas que contienen toda la información de modulación de la señal original, facilitando así el análisis de fenómenos como pequeños desplazamientos de frecuencia, variaciones de fase o amplitud, e incluso el cálculo de la frecuencia de resonancia de cada KID.

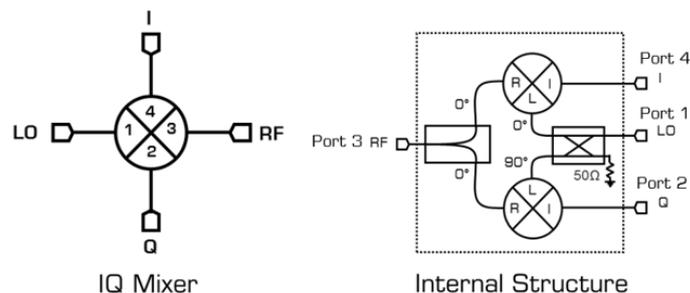


Figura 8. Esquema conceptual del IQ Mixer [10].

En el diseño de este sistema se ha optado por utilizar un I/Q Mixer comercial, con características adecuadas en cuanto a rango de frecuencia, linealidad y aislamiento entre accesos. Es importante asegurar que el demodulador presente un buen equilibrio I/Q, baja conversión cruzada y estabilidad frente a variaciones térmicas o de potencia,

especialmente en aplicaciones donde la información extraída depende de pequeñas variaciones de fase y amplitud.

La combinación de SPDTs con el I/Q Mixer permite al sistema seleccionar entre una medida puntual con barrido (modo VNA) y una lectura directa con conversión a banda base (modo I/Q). Su implementación en el sistema final se ha realizado de forma modular, facilitando su reemplazo o actualización futura, y permitiendo su uso tanto en entornos de laboratorio como en aplicaciones integradas más complejas.

2.5 Otros componentes pasivos

2.5.1 Divisores de potencia

Los divisores de potencia son dispositivos pasivos utilizados para repartir una señal de RF entre múltiples salidas. Su diseño busca asegurar que cada rama de salida reciba una fracción controlada de la potencia de entrada, manteniendo una buena adaptación de impedancias para minimizar reflexiones. Existen diferentes tipos, como los divisores resistivos, Wilkinson o de tipo híbrido [6], cada uno con ventajas específicas en términos de aislamiento, pérdidas de inserción o ancho de banda.

2.5.2 Atenuadores programables

Los atenuadores programables permiten controlar el nivel de señal de forma ajustable [6], actuando como elementos de control dinámico en sistemas de RF. Estos dispositivos introducen una reducción determinada de la potencia de una señal que puede variarse electrónicamente, ya sea mediante control digital o analógico. Su uso es común para evitar saturación en etapas sensibles, ajustar el rango dinámico o facilitar la calibración. Los modelos digitales suelen ofrecer pasos discretos de atenuación con buena repetibilidad, estabilidad y respuesta lineal a lo largo del espectro operativo.

2.6 Estado del arte en sistemas de lectura para KIDs

El desarrollo de sistemas de lectura para detectores de Inductancia Cinética (KIDs) ha evolucionado significativamente desde los primeros trabajos en la década de 2000, pasando de configuraciones experimentales simples a arquitecturas complejas capaces de leer miles de píxeles en paralelo. Esta evolución ha sido impulsada por el rápido avance de los KIDs como tecnología clave en aplicaciones científicas que requieren alta sensibilidad, como en astrofísica a longitudes de onda infrarrojas, cosmología de fondo de microondas o la detección cuántica.

Uno de los trabajos pioneros es obra de Peter K. Day et al., '*A broadband superconducting detector suitable for use in large arrays*' [11], donde se presentó una arquitectura de detector basada en micro-resonadores superconductores, demostrando su viabilidad para su uso en grandes arrays multiplexados en frecuencia. Esta base conceptual ha sido ampliamente adoptada y refinada por trabajos posteriores.

Por ejemplo, en el trabajo de Van Rantwijk et al., '*Multiplexed Readout for 1000-Pixel Arrays of Microwave Kinetic Inductance Detectors*' [3], se describe un sistema de lectura multiplexado capaz de manejar más de 1000 KIDs simultáneamente mediante electrónica digital de alta velocidad y técnicas de síntesis y demodulación con múltiples tonos. Este

sistema emplea una cadena mixta analógica-digital donde la señal RF se genera digitalmente, se convierte a analógica con un conversor digital a analógico (DAC), y tras interactuar con los KIDs, es amplificada y vuelta a digitalizar para realizar un análisis espectral.

En desarrollos más recientes, L. Foote et al., en su trabajo '*High-Sensitivity Kinetic Inductance Detector Arrays for the PRobe Far-Infrared Mission for Astrophysics*' [1], presentan una plataforma para la misión espacial PRIMA (PRobe far-Infrared Mission for Astrophysics), donde se integran arrays de KIDs de alta sensibilidad con sistemas de lectura optimizados para ambientes espaciales, incluyendo elementos de reducción de ruido y consumo, así como compatibilidad con escalabilidad en el número de canales.

A nivel de bloques de RF, la tendencia dominante en estos trabajos es el uso de LNAs criogénicos con figuras de ruido cercanas al mínimo físico alcanzable, divisores Wilkinson de banda ancha, y topologías de mezcla I/Q que permiten una lectura directa en banda base con gran fidelidad. Paralelamente, se exploran técnicas de corrección digital en FPGA para mejorar la linealidad, corregir desbalances de I/Q y minimizar la distorsión espectral.

No obstante, muchos de estos desarrollos están fuertemente orientados a entornos de misión o de instrumentación científica de gran escala. Esto deja espacio para propuestas más modulares, compactas y adaptables a laboratorios, donde la prioridad no es la lectura masiva, sino la flexibilidad para caracterizar o validar nuevos dispositivos, tecnologías o configuraciones experimentales.

En este contexto, este trabajo se enmarca como una propuesta que recoge los fundamentos establecidos por el estado del arte, pero orientada a una solución robusta, portable y accesible para aplicaciones de laboratorio, ofreciendo un equilibrio entre complejidad, coste y rendimiento técnico.

Capítulo 3. Diseño y simulación de la etapa amplificadora

En este capítulo se presenta el proceso completo de diseño y simulación de los bloques funcionales que componen la etapa de amplificación del sistema de lectura, que se muestra en la Figura 9, utilizando la herramienta Advanced Design System (ADS) de Keysight Technologies. Esta etapa constituye un paso fundamental en el desarrollo del sistema, ya que permite aumentar la potencia de la señal a la salida de los resonadores KID para su correcto análisis posterior.

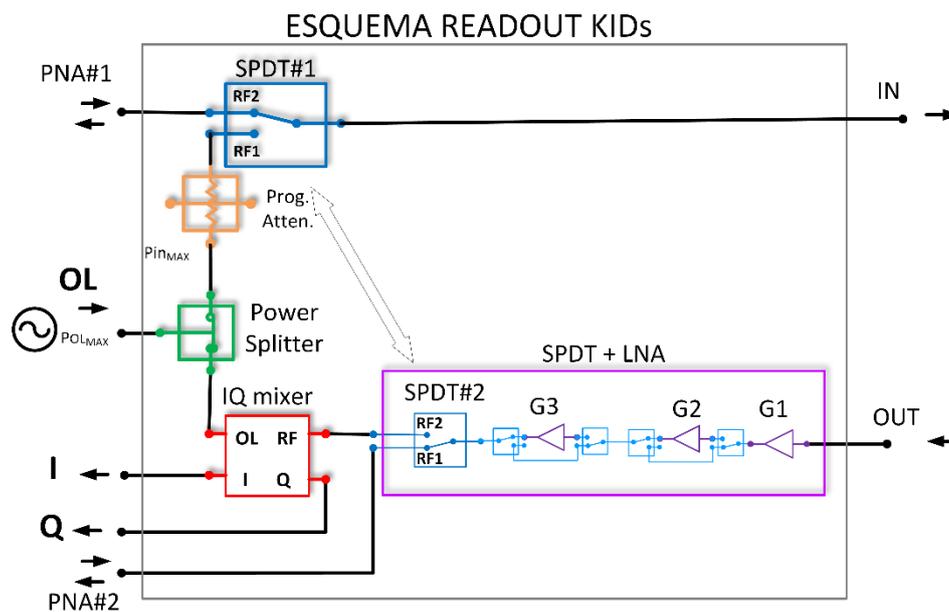


Figura 9. Diagrama de bloques del sistema de lectura.

El objetivo principal ha sido construir un modelo funcional de cada uno de los bloques del sistema basados en los componentes seleccionados, principalmente amplificadores de bajo ruido (LNAs) y conmutadores SPDT, evaluando su comportamiento tanto individualmente como en configuraciones en cascada. Para ello, se han utilizado archivos de parámetros S proporcionados por los fabricantes, y se ha llevado a cabo un análisis detallado en términos de adaptación de impedancias, ganancia, aislamiento y figura de ruido.

Además de la simulación de circuitos, se ha realizado el diseño del layout para cada bloque de forma individual con el objetivo de preparar su integración futura en una única PCB fabricada sobre sustrato Rogers 4350B. Esta parte del trabajo incluye consideraciones prácticas como el diseño de líneas de transmisión adaptadas, el posicionamiento de componentes pasivos, las vías de conexión a masa, y las interconexiones de alimentación y control.

Es importante destacar que en este capítulo se aborda únicamente el diseño modular y simulado de los distintos bloques. La integración de todos ellos en un único diseño de PCB completo se desarrollará más adelante, en el Capítulo 4. Fabricación de la PCB de

amplificación, donde se abordará el layout completo del sistema, su fabricación y las modificaciones necesarias derivadas del análisis experimental.

En un sistema de lectura basado en KIDs (detectores de Inductancia Cinética), las señales leídas presentan niveles de potencia extremadamente bajos. Típicamente, los KIDs son interrogados con señales de entre -90 y -75 dBm, lo que implica la necesidad de amplificar considerablemente la señal a lo largo de la cadena de lectura para que sea utilizable por los siguientes módulos del sistema. Además, en un sistema real, estas señales se amplifican previamente mediante un amplificador criogénico, situado a la salida del criostato, que proporciona una ganancia del orden de 30 dB.

Como consecuencia, se espera que las señales que lleguen a la entrada del sistema de lectura desarrollado, concretamente a la etapa de amplificación diseñada, tengan niveles de potencia comprendidos entre -60 y -45 dBm aproximadamente. Uno de los objetivos clave de esta etapa es, por tanto, llevar la señal a un nivel adecuado para su correcta demodulación, especialmente en el caso de configuraciones con mezcladores I/Q. En este proyecto se emplea un demodulador I/Q cuyo rango óptimo de funcionamiento requiere una señal de entrada en torno a 0 dBm.

En este contexto, el diseño de la etapa de amplificación se centra no solo en proporcionar la ganancia necesaria, sino también en asegurar un nivel de ruido lo más bajo posible, ya que se trata de señales débiles de alta sensibilidad. Asimismo, se ha considerado la posibilidad de controlar la ganancia de forma dinámica, mediante conmutación entre amplificadores y rutas alternativas, para poder ajustar la señal a los requisitos de cada escenario experimental.

3.1 Herramienta de diseño

Para el diseño y simulación de cada bloque de la etapa de amplificación se ha utilizado el entorno de desarrollo Advanced Design System (ADS) de Keysight Technologies, una herramienta de simulación ampliamente utilizada en el ámbito de la radiofrecuencia y las microondas, por su capacidad para integrar esquemáticos, simulación electromagnética, diseño de layouts y análisis de circuitos de alta frecuencia.

En primer lugar, se generaron esquemáticos para cada uno de los bloques funcionales de la etapa de amplificación, incluyendo los amplificadores de bajo ruido (LNA) y los conmutadores SPDT. Para ello, se emplearon los modelos de dispositivos proporcionados por los fabricantes en formato de parámetros S (*.s2p), lo que permitió realizar simulaciones realistas del comportamiento en frecuencia de cada componente.

Las simulaciones realizadas abarcaron el análisis de parámetros S (S_{11} , S_{21} , S_{12} , S_{22}), fundamentales para la evaluación de la adaptación de impedancias y la ganancia, así como la simulación de figura de ruido (Noise Figure). Se analizaron tanto configuraciones individuales como montajes en cascada de varios LNAs y SPDTs, en distintos estados de activación y bypass.

Una vez validadas las configuraciones mediante simulación, se procedió al diseño de la máscara ('layout') de cada bloque individual. Para ello se empleó el módulo de diseño de layouts de ADS, seleccionando el sustrato Rogers 4350B, cuyas propiedades dieléctricas

son adecuadas para aplicaciones de microondas. Se utilizaron herramientas como LineCalc para calcular las dimensiones de líneas de transmisión de 50Ω , así como encapsulados comerciales (tamaños estándares en milésima de pulgada 0402, 0805, etc.) para los componentes pasivos. En esta etapa se prestó especial atención al enrutado de señales de RF, las conexiones a masa mediante vías, y la correcta distribución de las líneas de alimentación y control.

Durante el proceso de diseño fue necesario iterar entre esquemáticos, simulaciones y layouts para ajustar la respuesta en frecuencia, minimizar pérdidas o evitar acoplos no deseados. Este trabajo de diseño modular constituye la base sobre la cual se integrará la PCB completa en el siguiente capítulo.

3.2 Elección de componentes

3.2.1 Amplificadores de bajo ruido (LNA)

En el diseño de la etapa de amplificación se consideraron distintas configuraciones con el fin de ajustar la ganancia total del sistema según los requerimientos de lectura. Para ello, se simularon varios LNAs comerciales con diferentes características, evaluando su comportamiento tanto de forma aislada como en combinación con otros elementos en cascada.

La primera propuesta consistía en una cadena de LNAs idénticos con SPDTs intercalados, lo que permitiría activar o desactivar etapas según la ganancia deseada. No obstante, esta opción fue descartada por su complejidad de control y sus prestaciones poco óptimas. La configuración final adoptada se basa en un primer LNA siempre activo seguido de varios amplificadores en cascada que incorporan funcionalidad de bypass integrada, lo que permite activarlos de forma selectiva sin necesidad de añadir conmutadores externos. Esta solución ofrece una mayor simplicidad de control, un menor nivel de ruido añadido, una mayor integración y una ganancia configurable de forma eficiente.

A continuación, se detallan los LNAs estudiados en ADS:

3.2.1.1 PMA-5452+

Este primer LNA, con sus características básicas mostradas en la Figura 10, fue el elegido para la primera propuesta, ya que se adecuaba al rango de frecuencias en el que trabaja el sistema de lectura. El fabricante, Mini-Circuits, proporciona el fichero de parámetros S del amplificador, el cual simula su comportamiento ideal bajo condiciones estándar de temperatura y funcionamiento. Para el análisis de los LNAs, se simuló en ADS su respuesta en un rango de frecuencias de 300 MHz a 6 GHz (Figura 11).



Figura 10. Características principales del amplificador PMA-5552+ [12].

Como se observa en la simulación, este LNA no ofrece unas prestaciones óptimas para la aplicación en el sistema de lectura. La adaptación de impedancia en el acceso de entrada, representada por el parámetro S11, no llega a los -10 dB, valor que suelen considerarse como umbral aceptable en este tipo de aplicaciones. Además, presenta un comportamiento de ganancia con una caída considerable a altas frecuencias, descendiendo hasta valores cercanos a 5 dB.

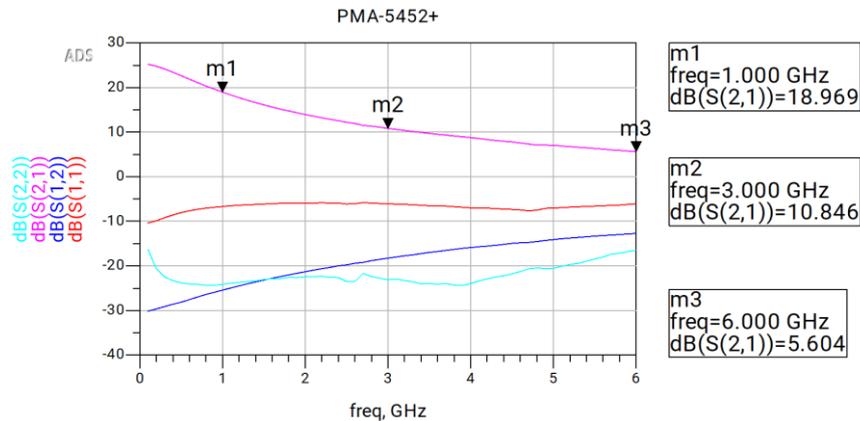


Figura 11. Parámetros S del amplificador PMA-5452+ de Mini-Circuits.

Este amplificador no se descartó inicialmente, sino que se simuló su comportamiento en cascada junto con el SPDT M3SWA2-63DRC. Esta configuración constituyó la primera propuesta del sistema, pero tras analizar los resultados de simulación se concluyó que no ofrecía un rendimiento adecuado. Por ello, se optó por explorar otros amplificadores de bajo ruido con características más acordes a los requisitos del sistema de lectura, comparando su comportamiento para seleccionar finalmente el que ofreciera las mejores prestaciones.

3.2.1.2 HMC-ALH444

Para la segunda propuesta de configuración de la etapa de amplificación se planteó una arquitectura más sencilla, en la que se evitara el uso de múltiples SPDTs para activar o desactivar amplificadores. En su lugar, se propuso emplear un primer LNA fijo, seguido de varios LNAs con modo bypass en cascada. En esta sección y las siguientes se analizan distintas opciones para ese primer amplificador fijo, con el objetivo de seleccionar el que mejor se ajuste a los requisitos del sistema.

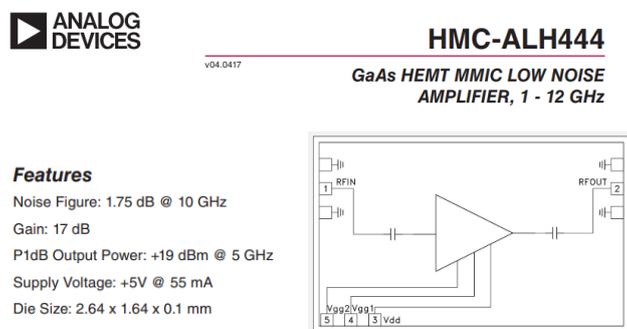


Figura 12. Características principales del amplificador HMC-ALH444 de Analog Devices [13].

Los tres amplificadores evaluados en esta etapa pertenecen al fabricante Analog Devices y, al igual que con el PMA-5452+, se ha obtenido y simulado su fichero de parámetros S (formato *.s2p) en el rango de frecuencias de 300 MHz a 6 GHz. El HMC-ALH444 ofrece unas prestaciones mucho más adecuadas a las que se buscan para el sistema de lectura, con una buena adaptación de impedancias en ambos accesos (valores de S11 y S22 por debajo de -10 dB) y una ganancia prácticamente constante en torno a 17 dB en todo el rango de frecuencias (Figura 13). Sin embargo, a pesar de estos buenos resultados, este componente fue finalmente descartado.

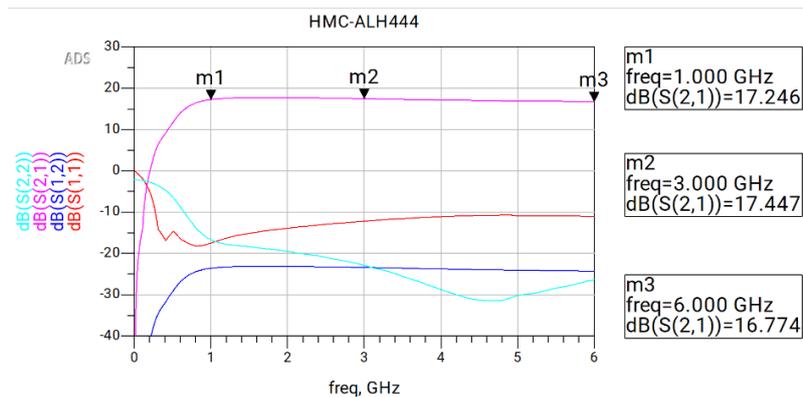


Figura 13. Parámetros S del amplificador HMC-ALH444 de Analog Devices.

3.2.1.3 ADL8122

Continuando con la búsqueda del primer LNA para la cadena de amplificación, se analizó el modelo ADL8122 de Analog Devices (Figura 14). Al igual que en los casos anteriores, se simuló su comportamiento mediante el fichero de parámetros S (formato *.s2p) en el rango de frecuencias de 300 MHz a 6 GHz (Figura 15).

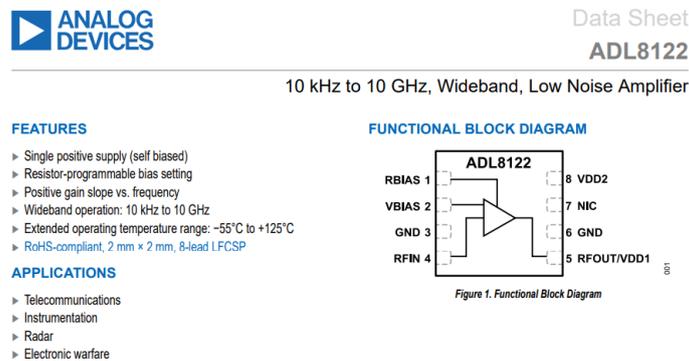


Figura 14. Características principales del amplificador ADL8122 de Analog Devices [14].

El ADL8122 muestra unas prestaciones muy similares a las del HMC-ALH444, con una buena adaptación en ambos accesos (valores de S11 y S22 por debajo de -10 dB) y una ganancia estable cercana a los 17 dB a lo largo de todo el ancho de banda. Sin embargo, y pese a su buen rendimiento, este amplificador también fue finalmente descartado.

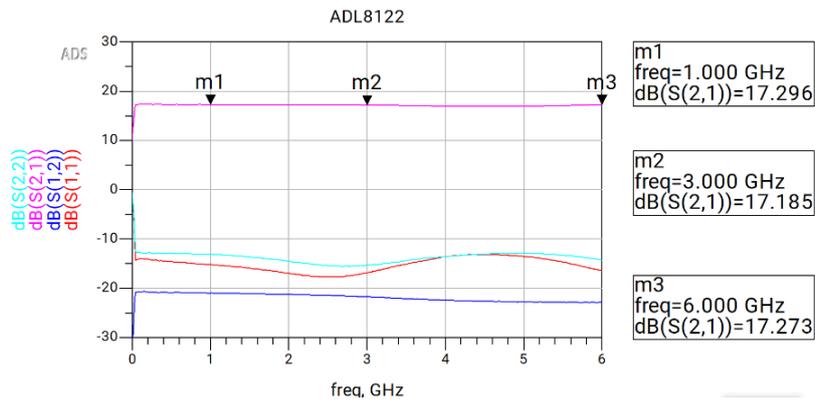


Figura 15. Parámetros S del amplificador ADL8122 de Analog Devices.

3.2.1.4 HMC8410

El amplificador HMC8410 de Analog Devices fue finalmente el seleccionado como primer LNA de la cadena de amplificación (Figura 16). Este componente destaca por su facilidad de implementación, tamaño compacto y disponibilidad comercial, además de ofrecer unas características eléctricas muy adecuadas para los requisitos del sistema de lectura.

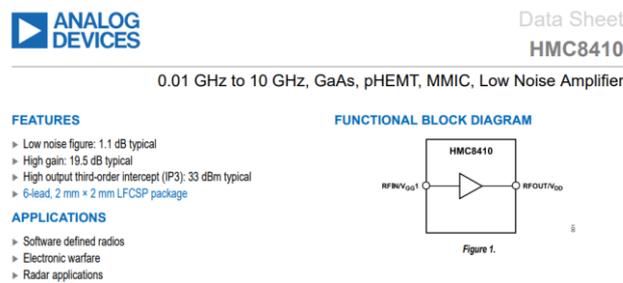


Figura 16. Características principales del amplificador HMC8410 de Analog Devices [15].

La simulación de su fichero de parámetros S en el rango de 300 MHz a 6 GHz (Figura 17) muestra unas prestaciones ligeramente superiores a las de los modelos previamente analizados. Presenta una buena adaptación en ambos accesos (S11 y S22 por debajo de -10 dB) y una ganancia estable comprendida entre los 20 dB y los 17 dB, con una leve pendiente negativa hacia frecuencias más altas. Estas características lo convierten en una opción óptima como etapa inicial de amplificación, asegurando una buena sensibilidad y un bajo ruido añadido desde el inicio de la cadena.

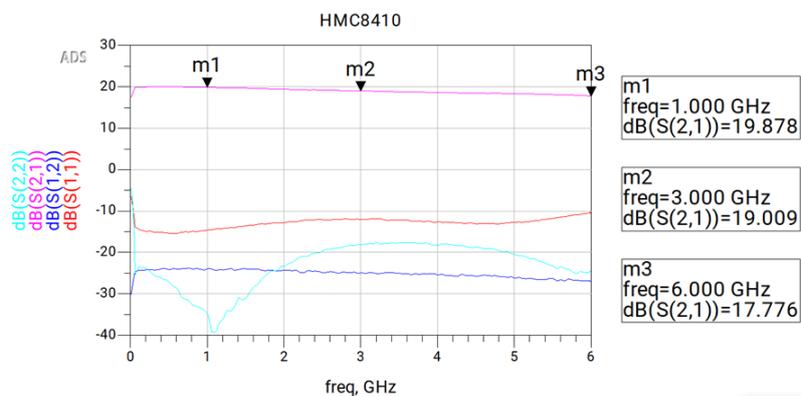


Figura 17. Parámetros S del amplificador HMC8410 de Analog Devices.

Cabe destacar que los tres LNAs considerados como posibles candidatos para la primera posición en la etapa de amplificación fueron evaluados en configuración en cascada con el amplificador HMC8414, que será descrito a continuación, y basándose en los resultados de ruido, ganancia y adaptación se seleccionó. Este último incorpora una funcionalidad de bypass, lo cual resulta especialmente útil para configurar la ganancia total del sistema de forma dinámica sin necesidad de conmutadores externos.

Uno de los factores clave en la elección del HMC8410 fue su baja figura de ruido, una característica esencial para mantener la sensibilidad del sistema en niveles óptimos. No obstante, el fabricante no proporciona un fichero específico con los datos de ruido en formato compatible con simulación, sino únicamente una gráfica en la hoja de datos (Figura 18 a).

Por ello, fue necesario extraer manualmente los valores de la curva correspondiente a 25 °C y añadirlos al fichero de parámetros S para poder realizar la simulación en ADS. Una vez incorporados los datos, la simulación de la figura de ruido en ADS (Figura 18 b) muestra una evolución muy similar a la del gráfico proporcionado por el fabricante, con valores comprendidos entre 1 dB y 2 dB en el rango de frecuencia de interés, lo cual es perfecto para su aplicación.

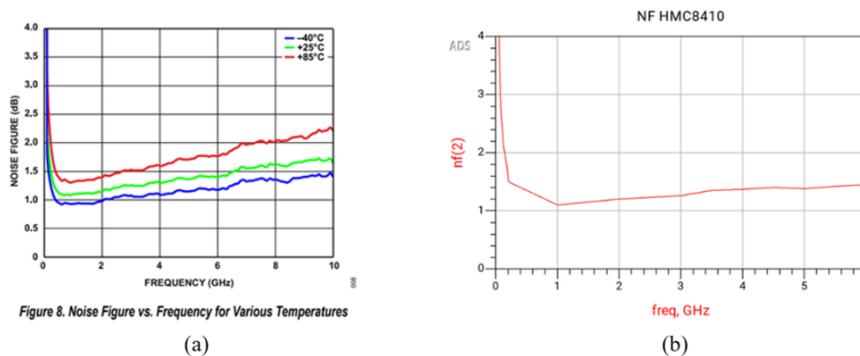


Figura 18. Figura de ruido del amplificador HMC8410 de Analog Devices. (a) Hoja de datos [15]. (b) ADS.

3.2.1.5 HMC8414

El amplificador HMC8414 de Analog Devices fue el seleccionado para aumentar la amplificación incluyendo etapas en cascada (Figura 19). Su principal ventaja es que incorpora una funcionalidad de bypass, lo que permite activarlo o desactivarlo sin necesidad de conmutadores externos, facilitando así la reconfiguración del sistema según las necesidades de ganancia. En este caso no se consideraron muchas alternativas, ya que existen menos opciones comerciales con esta funcionalidad que además cumplan los requisitos técnicos del sistema de lectura.

Low Noise Amplifier with Bypass Switch 0.1 GHz to 10 GHz

FEATURES

- ▶ Integrated amplifier bypass switch
- ▶ Self biased with adjustable bias current
- ▶ Gain in amplifier path: 16 dB typical at 7 GHz to 10 GHz
- ▶ OIP3 in amplifier path: 36.5 dBm typical at 0.1 GHz to 4 GHz
- ▶ Noise figure in amplifier path: 2 dB typical at 0.1 GHz to 4 GHz
- ▶ Insertion loss in bypass path: 1.5 dB typical at 0.1 GHz to 4 GHz
- ▶ 16-lead, 3 mm × 3 mm LFCSP package

APPLICATIONS

- ▶ Test and measurement equipment
- ▶ Wideband high dynamic range receivers

FUNCTIONAL BLOCK DIAGRAM

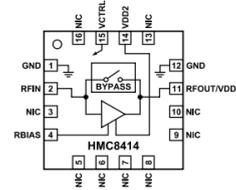


Figure 1.

Figura 19. Características principales del amplificador HMC8414 de Analog Devices [16].

Siguiendo la misma metodología aplicada a los amplificadores anteriores, se simuló su comportamiento en el rango de frecuencias de 300 MHz a 6 GHz, tanto en modo amplificador activo como en modo bypass (Figura 20). En modo LNA, el dispositivo presenta un comportamiento muy adecuado, con buena adaptación de impedancias (S_{11} y $S_{22} < -10$ dB) y una ganancia plana de entre 16 y 17 dB a lo largo de todo el ancho de banda. En modo bypass, se mantiene una correcta adaptación en los accesos, aunque se introducen pérdidas de inserción en torno a 1–2 dB, lo cual representa una degradación esperada, pero aceptable, del rendimiento en este modo.

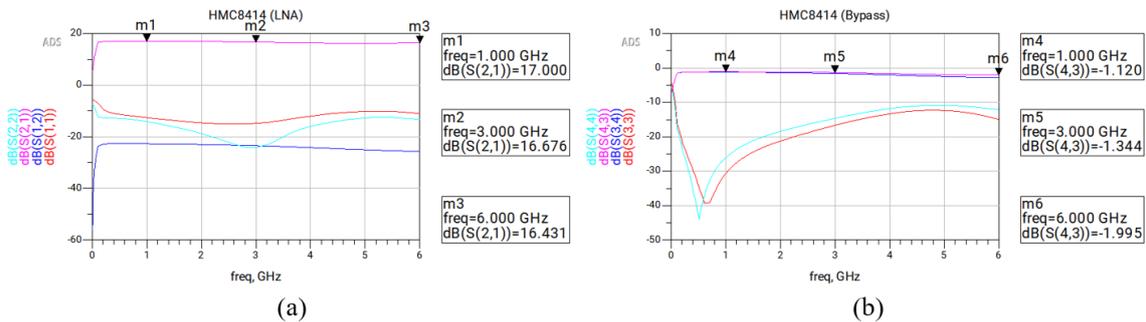


Figura 20. Parámetros S del amplificador HMC8414 de Analog Devices. (a) Modo LNA. (b) Modo Bypass.

Como en el caso del HMC8410, el mismo fabricante no proporciona un fichero específico con los datos de figura de ruido. Por tanto, se extrajeron manualmente los valores de la gráfica correspondiente a 25 °C en la hoja de datos (Figura 21 a) y se añadieron al fichero de parámetros S para su simulación en ADS (Figura 21 b). Una vez añadido el ruido, se simula el ruido en ADS:

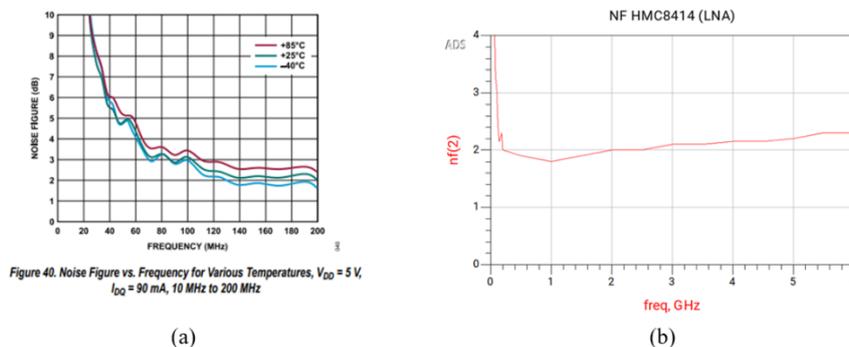


Figure 40. Noise Figure vs. Frequency for Various Temperatures, $V_{DD} = 5$ V, $I_{DD} = 90$ mA, 10 MHz to 200 MHz

Figura 21. Figura de ruido del amplificador HMC8414 de Analog Devices. (a) Hoja de datos [16]. (b) ADS.

El análisis muestra una figura de ruido ligeramente superior a la del HMC8410, con valores superiores a 2 dB en el rango de interés. Sin embargo, al tratarse de un elemento situado tras el primer LNA, su contribución al ruido total del sistema es significativamente menor, como se explicó en el Capítulo 2. Marco teórico y estado del arte.

Con esta selección se concluye la elección de los LNAs del sistema. Posteriormente, será necesario abordar su integración en la PCB y su implementación física, lo cual requerirá un análisis detallado del diseño del layout y la adaptación de cada etapa.

3.2.2 Conmutadores de doble vía (SPDT)

Para permitir la conmutación entre los diferentes caminos que la señal puede seguir dentro de la etapa de amplificación, se hace necesaria la inclusión de conmutadores de una entrada y dos salidas (SPDT, Single-Pole Double-Throw). En este caso estos componentes permiten seleccionar entre dos rutas posibles, activando o desactivando determinadas secciones del sistema, como amplificadores o salidas del sistema.

La elección de los SPDT está basada en criterios como el rango de frecuencias de funcionamiento, las pérdidas de inserción, el aislamiento entre accesos y la facilidad de montaje en PCB.

3.2.2.1 M3SWA2-63DRC

El M3SWA2-63DRC de Mini-Circuits (Figura 22) es un conmutador SPDT que opera en un rango de frecuencias de 50 MHz a 6 GHz, cubriendo así todo el ancho de banda del sistema de lectura. Inicialmente, en la primera propuesta del sistema, se planteó utilizar varios de estos conmutadores para permitir la activación o desactivación selectiva de distintas ramas de amplificación. Esta topología ofrecía una gran flexibilidad, pero implicaba un aumento significativo de pérdidas, complejidad de control y ruido adicional en la cadena.

Nano-Second Switching
SPDT RF Switch **M3SWA2-63DRC+**
Absorptive RF Switch with internal driver

The Big Deal

- High Isolation, 63 dB typ. at 1GHz
- High IIP3, +44dBm typ. at 1GHz
- Low insertion loss, 0.5 dB typ. at 1GHz
- Fast Rise/Fall time, 5.6 ns / 6 ns typ.
- Tiny Size, 3x3mm 12L MCLP



CASE STYLE: DQ1225

Figura 22. Características principales del conmutador SPDT M3SWA2-63DRC de Mini-Circuits [17].

Tras evaluar su comportamiento en simulaciones en cascada con amplificadores, se observó que el rendimiento global del sistema se degradaba considerablemente, especialmente por el aumento en la figura de ruido. Esto llevó a descartar el uso de múltiples SPDTs y a rediseñar la arquitectura de la etapa de amplificación basándose en los amplificadores con bypass HMC8414.

Finalmente, se optó por utilizar un único conmutador M3SWA2-63DRC a la salida de la etapa de amplificación. En esta ubicación, su función es seleccionar entre dos salidas distintas del sistema: una salida directa hacia el analizador de redes vectorial (PNA) y

otra hacia el demodulador IQ, permitiendo así una mayor versatilidad en la caracterización del sistema y la lectura de los detectores. En la simulación de parámetros S, el componente presenta unas pérdidas de inserción de aproximadamente entre 0.5 dB y 1.5 dB, y un aislamiento superior a 30 dB en buena parte del rango de frecuencias, aunque a altas frecuencias empeora su rendimiento, como se muestra en la Figura 23.

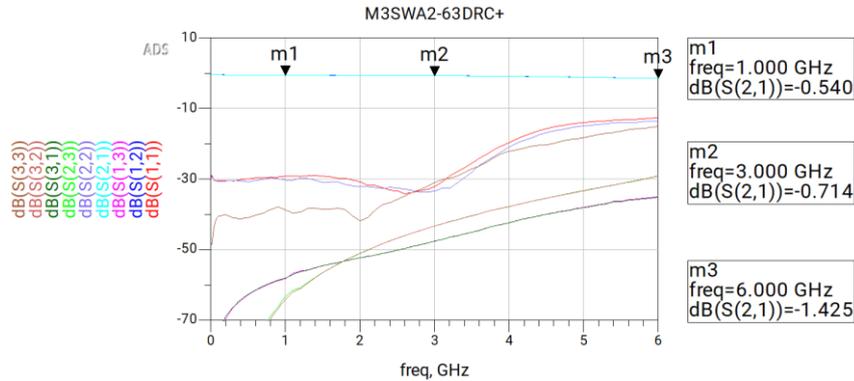


Figura 23. Parámetros S del conmutador M3SWA2-63DRC de Mini-Circuits.

3.3 Simulación de configuraciones en cascada

En este apartado se presenta el análisis de las distintas configuraciones en cascada simuladas para la etapa de amplificación del sistema de lectura. El objetivo principal es evaluar el comportamiento conjunto de los amplificadores seleccionados y otros componentes clave (como los SPDT), en términos de ganancia total, adaptación de impedancias y figura de ruido del sistema.

3.3.1 Primera configuración: HMC8410 + 3 × HMC8414

La primera configuración propuesta para la etapa de amplificación se compone de un primer LNA fijo HMC8410, seguido de tres amplificadores HMC8414 con capacidad de funcionamiento en modo bypass. Esta solución busca maximizar la ganancia total del sistema y, al mismo tiempo, ofrecer flexibilidad mediante la activación selectiva de cada etapa en función de las condiciones del experimento. Por este motivo, se analizan mediante simulación distintas combinaciones posibles de activación y bypass.

La simulación en ADS (Figura 24) muestra una ganancia total entre 65 dB y 70 dB en el rango de 300 MHz a 6 GHz, y una adaptación aceptable en ambos accesos de la cadena, con S11 y S22 por debajo de -10 dB en gran parte del ancho de banda. La figura de ruido se mantiene en valores adecuados, dominada principalmente por el primer LNA (HMC8410), lo que sitúa el valor global entre 1 dB y 1.5 dB en toda la banda.

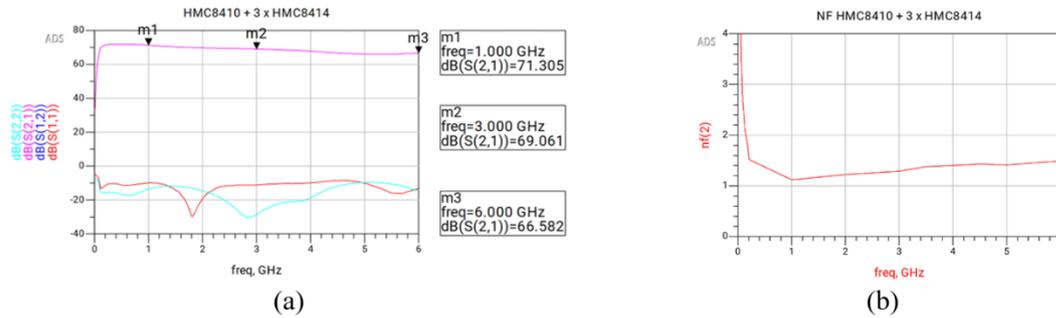


Figura 24. Primera configuración en cadena con todos los amplificadores activos. (a) Parámetros S. (b) Figura de ruido.

Se evalúan todos los casos en los que los amplificadores HMC8414 también operan en modo bypass, ya que esta es una de las características más relevantes de esta arquitectura, y en la Figura 25 se comparan las ganancias ofrecidas por cada una de las distintas posibles combinaciones. Se ve como cada vez que un HMC8414 actúa en modo bypass, la ganancia del circuito disminuye y las pérdidas introducidas por los elementos en este estado también afectan, pero en todos los casos, las adaptaciones se mantienen en valores adecuados. La figura de ruido tiene prácticamente el mismo valor, al estar predominada por el primer LNA y tener este una ganancia que hace que no afecten estas pérdidas introducidas a su salida.

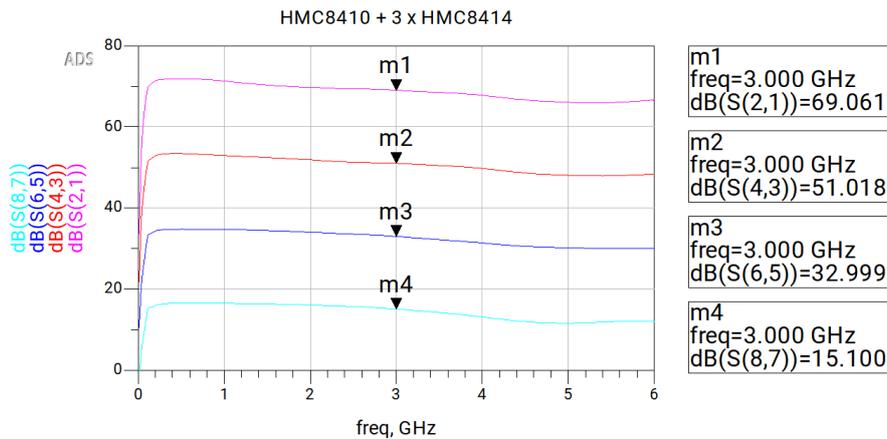


Figura 25. Comparación de ganancias de la primera configuración para los distintos casos.

A pesar de los buenos resultados simulados, al fabricar y probar la primera versión de la placa se detectaron problemas de estabilidad cuando se activaban simultáneamente los tres amplificadores HMC8414. Estos problemas se manifestaban en forma de oscilaciones debido a la elevada ganancia cercana a los 70 dB, y se apreciaba en el nivel de potencia total medida que afectaba a la correcta estabilidad del sistema. Esto significa que uno de los LNAs con bypass, la última unidad, quedaba inutilizado, lo que comprometía el funcionamiento global de la cadena.

Debido a estos problemas de estabilidad, se decidió replantear el diseño y reducir el número de amplificadores con bypass, priorizando la robustez y simplicidad del sistema frente a una ganancia ligeramente superior pero menos estable.

3.3.2 Segunda configuración: HMC8410 + 2 × HMC8414

Se propone una segunda arquitectura más simple y robusta, compuesta por un primer LNA HMC8410, siempre activo, seguido de dos amplificadores HMC8414 en modo bypass. Esta configuración reduce la ganancia total respecto a la anterior, pero mejora la fiabilidad y evita las inestabilidades observadas en la versión previa.

La simulación en ADS, mostrada en la Figura 26 muestra una ganancia total del sistema entre 50 dB y 55 dB en el rango de 300 MHz a 6 GHz con todos los amplificadores activos. La adaptación en los accesos de entrada y salida se mantiene dentro de los márgenes aceptables, con S11 y S22 por debajo de -10 dB en gran parte de la banda, lo que indica una buena adaptación de impedancias, esto se mantiene para todas las distintas configuraciones.

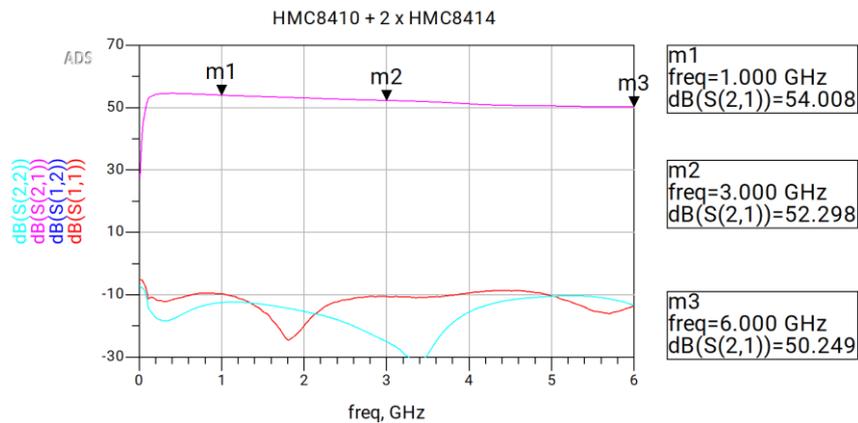


Figura 26. Parámetros S de la segunda configuración con ambos HMC8414 activos.

En la Figura 27 se estudia la ganancia de esta segunda configuración para todos los casos posibles. La configuración intermedia, con un solo HMC8414 activado, reduce la ganancia total en aproximadamente 20 dB respecto a la primera, pero conserva una buena adaptación y un comportamiento estable. En el caso extremo, con ambos HMC8414 en modo bypass, la ganancia total se reduce a valores entre 14 y 17 dB, la adaptación de impedancias permanece adecuada y la figura de ruido no se degrada significativamente, ya que sigue determinada por el primer amplificador.

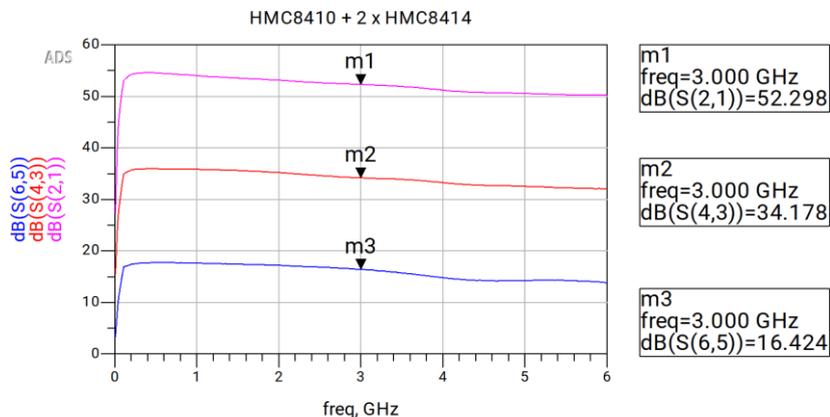


Figura 27. Comparación de ganancias de la segunda configuración para los distintos casos.

A continuación, se comparan las figuras de ruido obtenidas para tres configuraciones distintas del sistema (Figura 28):

- nf(2): los tres LNAs funcionan como amplificadores (curva roja).
- nf(4): el primer y segundo LNA actúan como amplificadores, mientras que el tercero se encuentra en modo bypass. Esta configuración presenta una curva que se solapa prácticamente con la de nf(2), indicando una contribución despreciable del segundo y tercer LNA a la figura de ruido total (curva azul).
- nf(6): solo el primer LNA está en modo amplificador y los otros dos en modo bypass, lo que resulta en una figura de ruido superior a las anteriores (curva rosa).

La figura de ruido apenas se ve afectada por la reducción de un amplificador respecto a la configuración anterior, ya que sigue estando dominada por el primer LNA. Se mantiene en torno a 1–1.5 dB a lo largo de todo el ancho de banda.

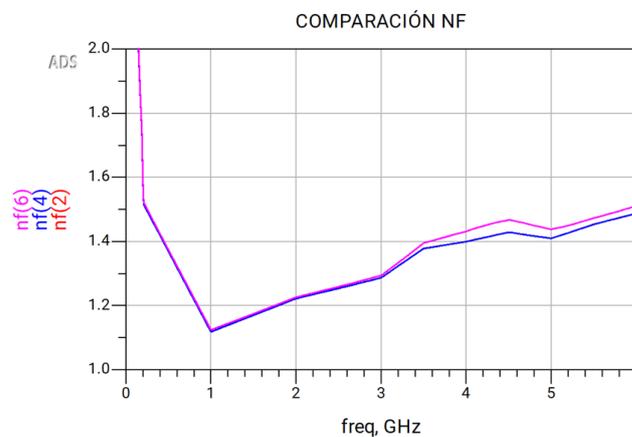


Figura 28. Comparación de las figuras de ruido en todas las configuraciones.

Gracias a la estabilidad mejorada y rendimiento más predecible, esta segunda configuración es la que finalmente se implementa en la segunda versión de la PCB. Además de eliminar los problemas de inestabilidades, la reducción en el número de componentes simplifica el diseño del layout, reduce las pérdidas asociadas a etapas inactivas y se tiene un menor consumo de continua.

3.4 Diseño de layouts

En este apartado se detallan los diseños individuales de las diferentes secciones del sistema, en concreto los layouts que rodean a los componentes activos (LNAs y SPDT), incluyendo las líneas de transmisión, componentes pasivos asociados y la elección del sustrato. El diseño de cada sección se realiza por separado para facilitar la verificación de su comportamiento, y posteriormente se integran en un único conjunto, descrito en el siguiente capítulo.

Para todas las simulaciones y diseño de layouts se utiliza como sustrato el Rogers RO4350B de 10 mil (0.254 mm de grosor) [18], material empleado en aplicaciones de microondas por sus bajas pérdidas, adecuado en el rango de frecuencias de los circuitos diseñados y con buena estabilidad frente a la temperatura. Los parámetros eléctricos

utilizados en ADS para modelar este substrato RO4350B [18] se muestran en la hoja de características que ofrece el fabricante, e incluyen (Figura 29):

- Constante dieléctrica relativa: $\epsilon_r = 3.66$
- Grosor del dieléctrico: $H = 0.254$ mm
- Grosor del cobre: $T = 35$ μ m
- Tangente de pérdidas: $\tan \delta = 0.0037$
- Conductividad del cobre: $\sigma = 5.8 \times 10^7$ S/m

Property	Typical Value		Direction	Units	Condition	Test Method
	RO4003C	RO4350B				
Dielectric Constant, ϵ_r Process	3.38 ± 0.05	⁽¹⁾ 3.48 ± 0.05	Z	-	10 GHz/23°C	IPC-TM-650 2.5.5.5 Clamped Stripline
⁽²⁾ Dielectric Constant, ϵ_r Design	3.55	3.66	Z	-	8 to 40 GHz	Differential Phase Length Method
Dissipation Factor tan, d	0.0027 0.0021	0.0037 0.0031	Z	-	10 GHz/23°C 2.5 GHz/23°C	IPC-TM-650 2.5.5.5
Thermal Coefficient of ϵ_r	+40	+50	Z	ppm/°C	-50°C to 150°C	IPC-TM-650 2.5.5.5
Volume Resistivity	1.7 X 10 ¹⁰	1.2 X 10 ¹⁰	-	MΩ-cm	COND A	IPC-TM-650 2.5.17.1
Surface Resistivity	4.2 X 10 ⁹	5.7 X 10 ⁹	-	MΩ	COND A	IPC-TM-650 2.5.17.1
Electrical Strength	31.2 (780)	31.2 (780)	Z	KV/mm (V/mil)	0.51mm (0.020")	IPC-TM-650 2.5.6.2
Tensile Modulus	19,650 (2,850) 19,450 (2,821)	16,767 (2,432) 14,153 (2,053)	X Y	MPa (ksi)	RT	ASTM D638
Tensile Strength	139 (20.2) 100 (14.5)	203 (29.5) 130 (18.9)	X Y	MPa (ksi)	RT	ASTM D638
Flexural Strength	276 (40)	255 (37)	-	MPa (kpsi)	-	IPC-TM-650 2.4.4
Dimensional Stability	<0.3	<0.5	X,Y	mm/m (mils/inch)	after etch +E2/150°C	IPC-TM-650 2.4.39A
Coefficient of Thermal Expansion	11 14 46	10 12 32	X Y Z	ppm/°C	-55 to 288°C	IPC-TM-650 2.4.41
Tg	>280	>280	-	°C TMA	A	IPC-TM-650 2.4.24.3
Td	425	390	-	°C TGA	-	ASTM D3850
Thermal Conductivity	0.71	0.69	-	W/m ² K	80°C	ASTM C518
Moisture Absorption	0.06	0.06	-	%	48 hrs immersion 0.060" sample Temperature 50°C	ASTM D570
Density	1.79	1.86	-	g/cm ³	23°C	ASTM D792
Copper Peel Strength	1.05 (6.0)	0.88 (5.0)	-	N/mm (pli)	after solder float 1 oz. EDC Foil	IPC-TM-650 2.4.8
Flammability	N/A	⁽³⁾ V-0	-	-	-	UL 94
Lead-Free Process Compatible	Yes	Yes	-	-	-	-

Figura 29. Características principales del substrato Rogers RO4350B [18].

Para la implementación de las líneas de transmisión adaptadas a 50 Ohmios, se ha utilizado la herramienta LineCalc de ADS como se ve en la Figura 30, que permite calcular de forma precisa la geometría de las pistas en función del substrato y la frecuencia de operación.

Con el substrato especificado, las líneas microstrip de impedancia característica 50 Ohmios requieren una anchura de 0.524 mm. Estas líneas conectan la entrada y las salidas, pasando entre los distintos amplificadores. Cabe destacar que el resto de las líneas, destinadas a interconectar componentes pasivos o a proporcionar conexión con planos de masa y alimentación, están configuradas con una impedancia característica de 75 Ohmios, lo que implica una anchura de 0.275 mm para dichas pistas.

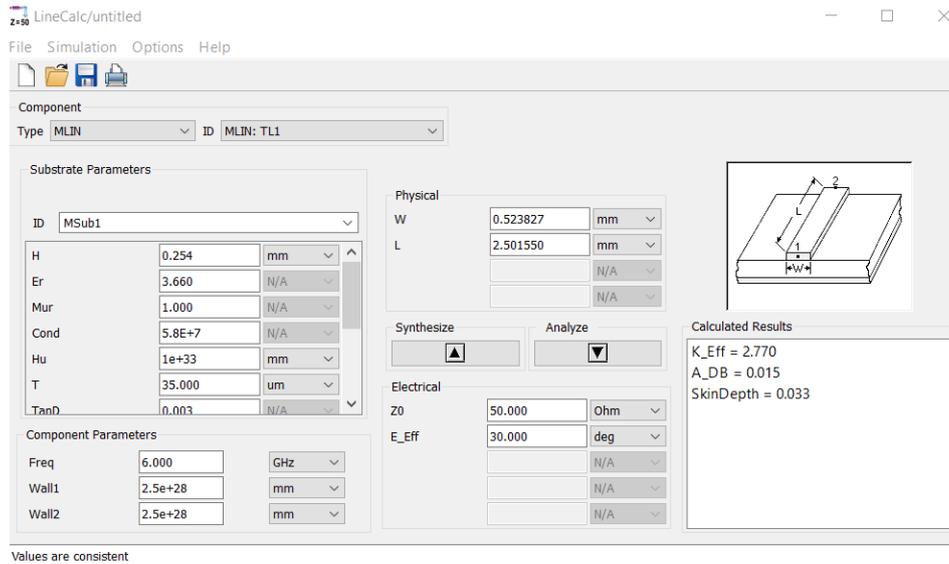


Figura 30. Interfaz gráfica de LineCalc para el cálculo de las dimensiones de las líneas microstrip.

Aunque en esta fase cada bloque se diseña y simula de forma independiente, todos ellos se integrarán posteriormente en una única placa de circuito impreso que se analiza en el capítulo siguiente.

3.4.1 Layout del LNA HMC8410

El diseño del layout para el amplificador HMC8410 se centra en garantizar una correcta adaptación de impedancias, minimizar las pérdidas de inserción y preservar la integridad de la señal a lo largo de toda la banda de operación (300 MHz – 6 GHz). Para ello, se emplea una línea de transmisión microstrip de impedancia característica 50 Ohmios tanto en la entrada como en la salida del componente, calculada con los parámetros del sustrato Rogers RO4350B.

Además de las líneas de señal, se añaden los contactos para insertar los componentes pasivos recomendados por el fabricante para un funcionamiento óptimo del LNA. Estos incluyen:

- Condensadores de desacoplo en las líneas de alimentación para filtrar las bajas frecuencias y asegurar la estabilidad del circuito, permitiendo el paso de corriente continua.
- Resistencia de polarización para establecer el punto de operación del transistor interno.
- Condensadores en serie en la entrada y la salida para desacoplar DC.

Las líneas de alimentación y conexión a masa se diseñan lo más cortas posibles para reducir los efectos parásitos que puedan aparecer. Asimismo, se colocan vías de conexión a masa alrededor del componente para mejorar su estabilidad y minimizar el ruido.

En la Figura 31 se muestra el esquema eléctrico de aplicación típico proporcionado por el fabricante:

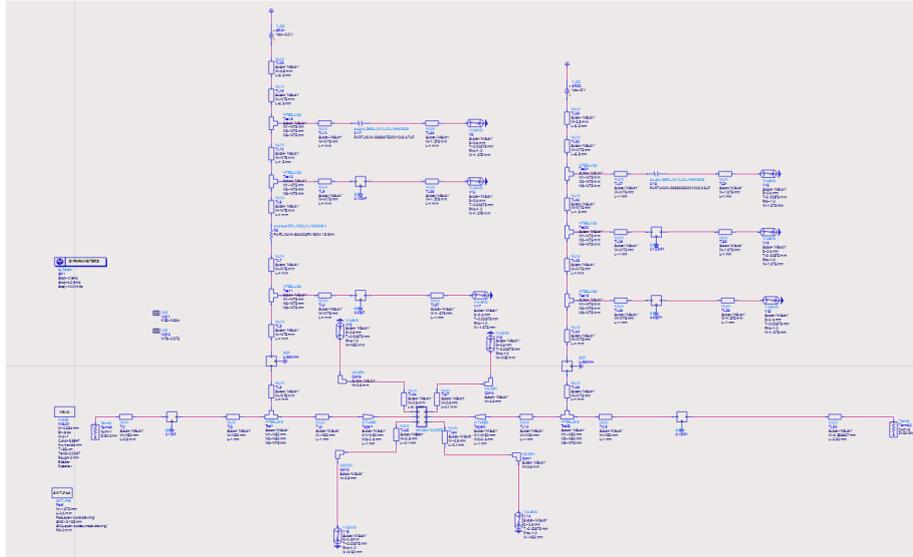


Figura 32. Esquemático en ADS del circuito para el LNA HMC8410.

El layout asociado, mostrado en la Figura 33, se ha diseñado prestando especial atención a minimizar la longitud de las líneas de alimentación y señal, y a asegurar un buen contacto a masa mediante un mallado de vías. Se emplean líneas microstrip de 50 Ohmios en entrada y salida, y se ha optimizado la disposición de los componentes pasivos para garantizar estabilidad y rendimiento uniforme en toda la banda. Un aspecto crítico ha sido la selección del encapsulado de los componentes pasivos. Durante la simulación de la primera versión de la placa se detectaron errores derivados del uso de encapsulados de menor tamaño, que generaban parásitos que hacían que la respuesta fuese incorrecta. Por este motivo, en la versión final se utilizan los tamaños indicados en la hoja de datos, principalmente 0402, y se reduce alguno a 0805, comprobándolo en simulación.

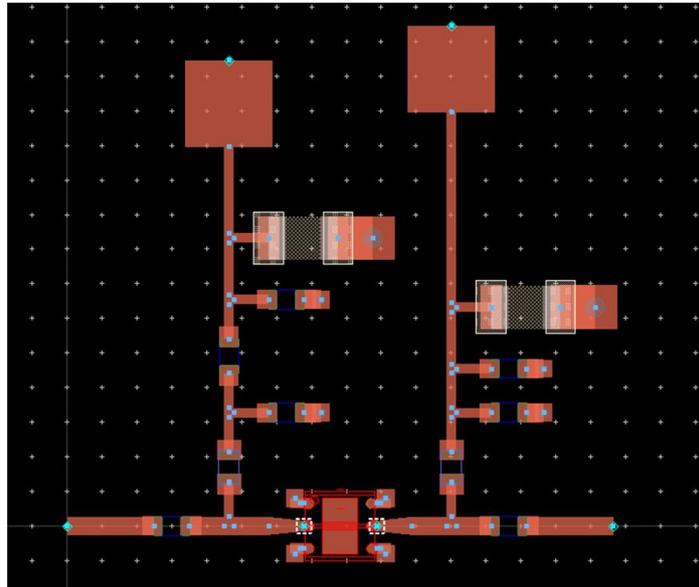


Figura 33. Diseño del layout del LNA HMC8410 sobre sustrato RO4350B (tamaño: 30 mm x 45 mm).

Como se puede observar, el diseño compacto y optimizado del layout asegura una buena continuidad en las líneas de transmisión y se ha reforzado el plano de masa con múltiples vías alrededor del LNA, lo que contribuye a mejorar la estabilidad del circuito.

La simulación del circuito con los elementos incluidos en el layout, líneas de transmisión, condensadores y resistencias (Figura 34) muestra una ganancia de aproximadamente 20 dB (S21) desde 300 MHz hasta los 17 dB a 6 GHz, así como una adaptación adecuada en entrada y salida (S11 y S22 por debajo de -10 dB). Estos resultados coinciden con las expectativas teóricas y validan el diseño del layout en términos de adaptación de impedancias y respuesta en frecuencia.

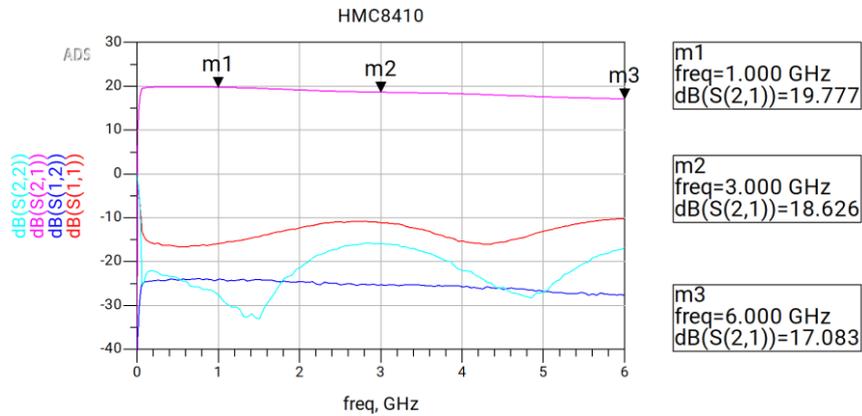


Figura 34. Parámetros S del LNA HMC8410 con los elementos incluidos en el layout (líneas de transmisión, condensadores y resistencias).

3.4.2 Layout del LNA HMC8414

El diseño del layout correspondiente al amplificador HMC8414 se ha realizado con el objetivo de garantizar la correcta adaptación de impedancias y maximizar la ganancia dentro de la banda de 300 MHz a 6 GHz, al igual que se hizo con el HMC8410.

Al igual que en el caso anterior, se utilizan líneas microstrip de impedancia característica 50 Ohmios o 75 Ohmios, calculadas con la herramienta LineCalc teniendo en cuenta el sustrato Rogers RO4350B de 10 mil. Se han respetado los encapsulados recomendados por el fabricante en la hoja de datos para minimizar errores de montaje y comportamiento no deseado, especialmente importantes debido al reducido tamaño de los componentes SMD (0402 y 0805). A continuación, se muestra el esquema eléctrico de aplicación recomendado por Analog Devices:

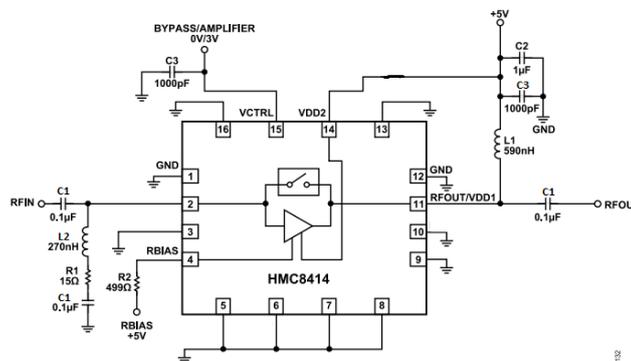


Figura 35. Esquema eléctrico recomendado para el HMC8414 (hoja de datos de Analog Devices) [16].

En la siguiente tabla se detallan los componentes pasivos utilizados en el diseño, junto con sus valores nominales y referencias comerciales:

Cantidad	Ref.	Tamaño /Empaque tado	Descripción	Valor	Fabricante	Número de referencia
2	C3	0402	Condensador	1 nF	Würth	X7R0402102K025DFCT10000 (885012205044)
3	C1	0402	Condensador	100 nF	Würth	X7R0402102K025DFCT10000 (885012205037)
1	C2	0805	Condensador	1 μ F	KYOCERA AVX	08053G105MAT2A
1	R1	0402	Resistencia	15 Ohm	Vishay	CRCW040215R0JNED
1	R2	0402	Resistencia	499 Ohm	Vishay	CRCW0402499RFKEDC
1	L2	0402	Bobina	270 nH	Coilcraft	0402DF-271XJRW
1	L1	0402	Bobina	590 nH	Coilcraft	0402DF-591XJRU
1	IC2	16-lead, 3 mm x 3 mm LFCSP	LNA Bypass		Analog Devices	HMC8414
Substrato			RO4350B	H = 10 mil $\epsilon_r = 3.48$ (design 3.66)	Rogers Corporation	RO4350B™ Laminates

Tabla 2. Componentes del esquema eléctrico del HMC8414 de Analog Devices.

Este circuito requiere dos líneas de alimentación a +5 V y una tensión adicional entre 0 y 3 V para controlar el modo bypass del LNA.

En la Figura 36 se muestra el esquemático del circuito en ADS, en el que se ha seguido el diseño proporcionado por Analog Devices para el HMC8414. Este esquema incluye los componentes pasivos detallados en la Tabla 2, así como las conexiones necesarias para alimentación y masa.

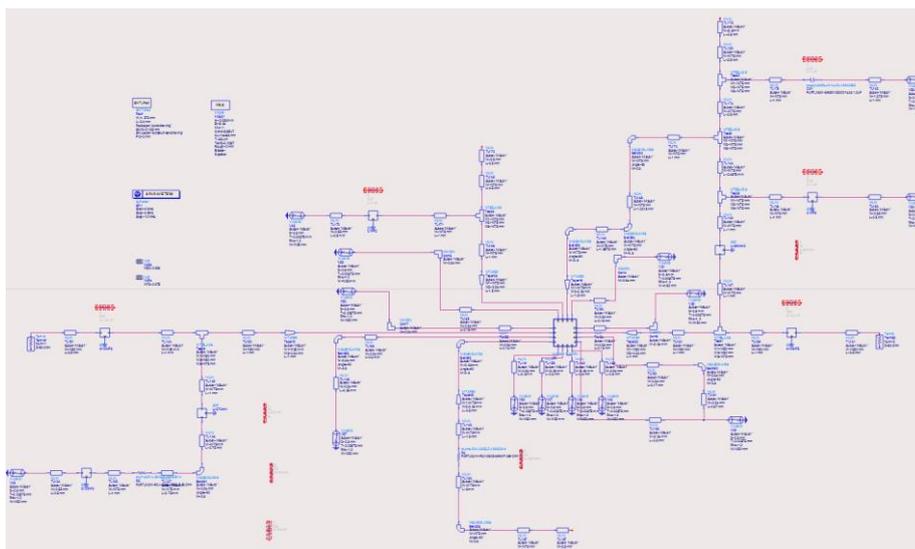


Figura 36. Esquemático en ADS del circuito para el LNA HMC8414.

El diseño del layout ha sido optimizado tras realizar múltiples iteraciones, para optimizar su rendimiento, evitar acoplos indeseados y reforzar los pasos a masa (Figura 37). La distribución compacta y el uso de múltiples vías de conexión a masa permiten asegurar un comportamiento estable.

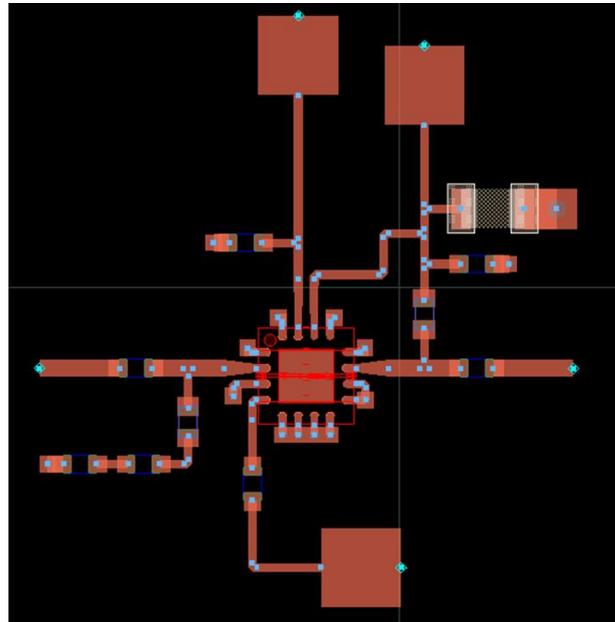


Figura 37. Diseño del layout del LNA HMC8414 sobre sustrato RO4350B (tamaño: 32 mm x 45 mm).

Como en el caso anterior, el tamaño reducido de los encapsulados empleados (0402 y 0805) ha condicionado el diseño, ya que se han respetado los recomendados por Analog Devices para asegurar la compatibilidad del layout con la PCB final y evitar errores después de su fabricación. La simulación de parámetros S del circuito con los elementos incluidos en el layout, líneas de transmisión, condensadores y resistencias, en ADS se muestra en la Figura 38 y confirma un comportamiento muy similar al previsto por el fabricante, con una ganancia promedio superior a 16 dB en la mayor parte del rango operativo y una adaptación adecuada en las entradas y salidas. Este bloque será reutilizado posteriormente en el diseño integrado del sistema de lectura.

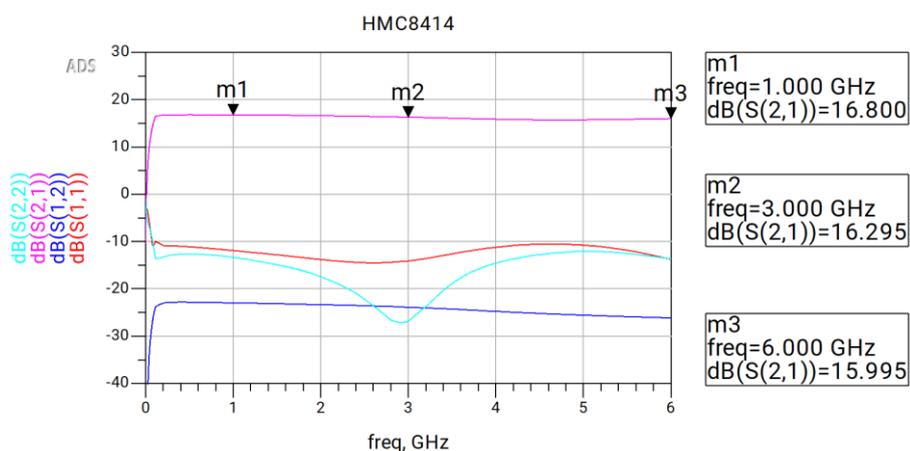


Figura 38. Parámetros S del LNA HMC8414 con los elementos incluidos en el layout (líneas de transmisión, condensadores y resistencias).

3.4.3 Layout del SPDT

El diseño del layout del conmutador SPDT M3SWA2-63DRC+ de Mini-Circuits se ha llevado a cabo siguiendo las recomendaciones del fabricante con el objetivo de garantizar una conmutación fiable y bajas pérdidas de inserción en todo el rango de frecuencias del sistema (300 MHz a 6 GHz). La estructura del circuito incluye redes de adaptación con componentes pasivos, protección con diodos Zener y líneas de alimentación desacopladas. En la siguiente ilustración se presenta el esquema eléctrico propuesto por Mini-Circuits:

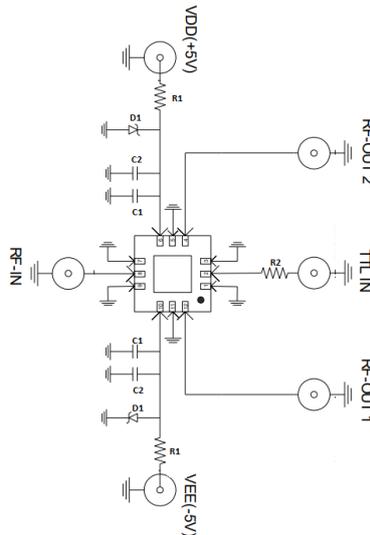


Figura 39. Esquema eléctrico recomendado para el M3SWA2-63DRC+ (hoja de datos de Mini-Circuits) [17].

La Tabla 3 resume los componentes empleados en el diseño, junto con sus características principales y referencias comerciales:

Cantidad	Ref.	Tamaño /Empaquetado	Descripción	Valor	Fabricante	Número de referencia
2	C1	0402	Condensador	0.5 pF	Johanson Technology	251R07S0R5BV4S
2	C2	0402	Condensador	1 pF	Würth	NP004021R0D025DFCT10000 (885012005034)
2	R1	0402	Resistencia	11.5 Ohm	Vishay	CRCW040211R5FKED
1	R2	0402	Resistencia	1 kOhm	Vishay	RCG04021K00JNED
2	Z1	SOD-123	Diodo Zener	Vz =5.6V	Vishay	MMSZ5232B-HE3_A-08
1	IC3	12-lead 3x3mm MCLP	SPDT		Mini Circuits	M3SWA2-63DRC+
Substrato			RO4350B	H = 10 mil $\epsilon_r = 3.48$ (design 3.66)	Rogers Corporation	RO4350B™ Laminates

Tabla 3. Componentes del esquema eléctrico del M3SWA2-63DRC+ de Mini-Circuits.

El circuito requiere una doble alimentación simétrica de +5 V y -5 V, además de una señal de control en el rango de 0 a 5 V que determina cuál de las dos salidas RF está activa.

Como en el caso de los amplificadores, para el M3SWA2-63DRC+, se ha seguido el esquema eléctrico de referencia proporcionado por Mini-Circuits, y se ha representado en ADS como se puede ver en la Figura 40:

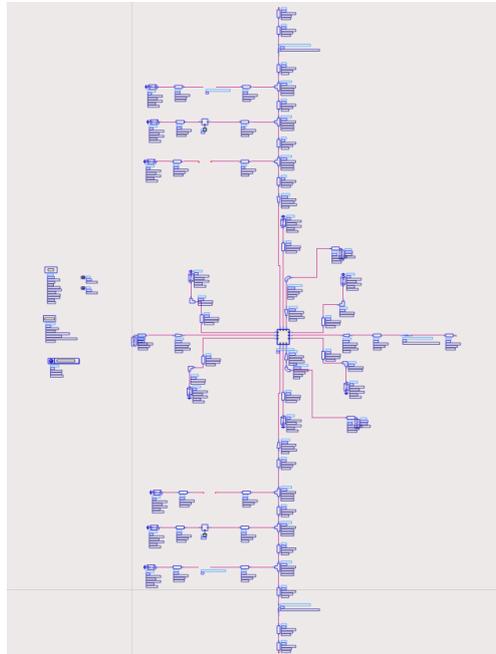


Figura 40. Esquemático en ADS del circuito para el SPDT M3SWA2-63DRC+.

Se ha prestado especial atención al diseño del layout para asegurar una correcta transmisión de las señales de RF, evitando acoplamientos y pérdidas no deseadas. También se ha reforzado la conexión a masa mediante el uso de múltiples pasos a masa, lo que mejora la estabilidad del circuito (Figura 41).

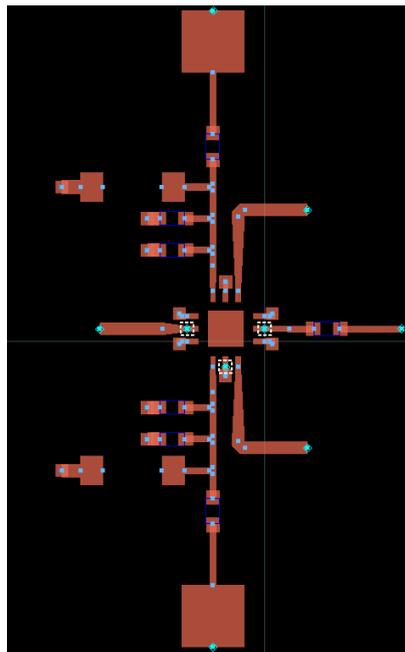


Figura 41. Diseño del layout del SPDT M3SWA2-63DRC+ sobre sustrato RO4350B (tamaño: 25 mm x 60 mm).

El reducido tamaño del encapsulado y de los componentes pasivos asociados (0402) ha exigido una distribución muy compacta en el diseño. Se han utilizado exclusivamente los encapsulados recomendados en la hoja de datos, para evitar incompatibilidades durante el montaje y asegurar el correcto comportamiento del circuito. La simulación de parámetros S en ADS indica una baja pérdida de inserción (menor a 1 dB) y un buen aislamiento entre accesos (entre 15-30 dB) en la mayoría del rango de frecuencias. Estos resultados confirman que el diseño del layout es adecuado para su integración en el sistema completo de lectura (Figura 42).

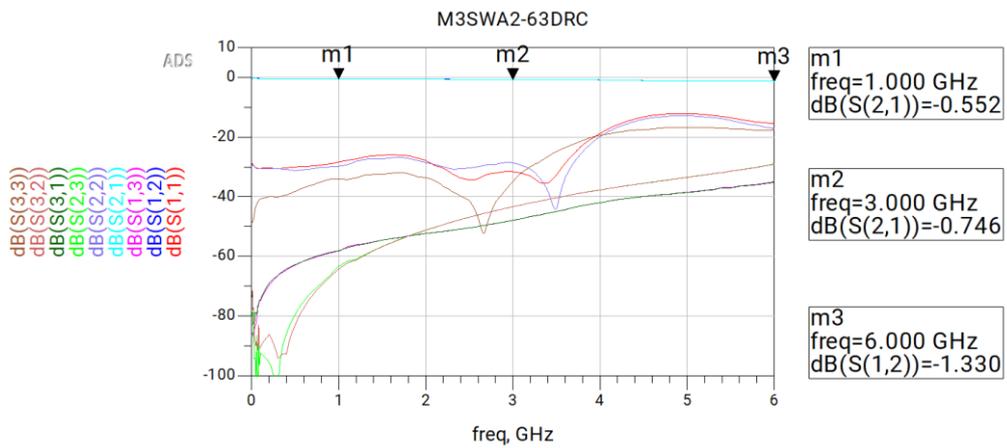


Figura 42. Parámetros S del layout del SPDT M3SWA2-63DRC+.

Capítulo 4. Fabricación de la PCB de amplificación

En este capítulo se describe el proceso de fabricación de las dos versiones de la placa de circuito impreso (PCB) desarrollada para la etapa de amplificación del sistema de lectura. Este proceso comienza con la integración de los distintos bloques diseñados y simulados en el capítulo anterior, lo que implica realizar las modificaciones necesarias en los esquemáticos, así como la inserción o eliminación de componentes en función de los requerimientos del diseño final. Posteriormente, se procede al diseño del layout y la generación de los ficheros necesarios, que son enviados a fabricación en el departamento de Ingeniería de Comunicaciones.

Una vez fabricada y ensamblada la primera versión de la PCB, se realizaron pruebas funcionales que permitieron identificar diversos problemas relacionados con la respuesta del sistema. A partir de este análisis, se introdujeron mejoras tanto en el diseño eléctrico como en el layout, lo que dio lugar a una segunda versión de la placa. Esta nueva versión corrigió los errores detectados y ofrece un comportamiento adecuado, por lo que es la que se emplea en las siguientes fases de caracterización e integración del sistema completo.

4.1 Primera versión de la PCB

La primera versión de la PCB fue desarrollada a partir de los diseños modulares descritos en el capítulo anterior, integrando en un único circuito los bloques funcionales correspondientes a los amplificadores HMC8410 y HMC8414, así como al SPDT M3SWA2-63DRC+. En esta etapa se reutilizaron las estructuras ya validadas en simulación, aplicando pequeñas modificaciones para adaptarlas a una estructura conjunta y funcional.

Esta versión incorpora un total de cuatro amplificadores de bajo ruido: un HMC8410, tres HMC8414, y un SPDT colocado a la salida. El substrato empleado para la fabricación es el RO4350B de Rogers Corporation, con un grosor de 10 mil y permitividad dieléctrica relativa de 3.66, lo que asegura un buen comportamiento de RF en todo el rango de frecuencias.

Para la conexión de señal RF se utilizó un conector coaxial Amphenol 132432, mientras que las conexiones de alimentación y control se realizaron mediante conectores de JST tipo EH de 2.5 mm de paso, desconectables, con terminación por crimpado, con el número de conexiones necesarias para cada toma de alimentación o control.

A nivel de layout, se decidió unificar los condensadores de entrada y salida de los distintos amplificadores cuando estos coincidían en valor. Esto permitió reducir el número total de componentes sin afectar al comportamiento eléctrico. En el caso de la transición entre el HMC8410 y el primer HMC8414, se eligió el condensador de menor valor, 10 nF, para asegurar una buena respuesta en frecuencia.

Además, con el fin de optimizar el uso del espacio en la parte superior del circuito y facilitar el enrutamiento de las líneas de alimentación, se recurrió al uso de tres saltos con

resistencias de 0 Ohmios. Esta solución permitió unificar distintas líneas de alimentación que compartían valores, sin comprometer la funcionalidad del circuito.

En la siguiente ilustración se muestra el layout completo de esta primera versión de la PCB:

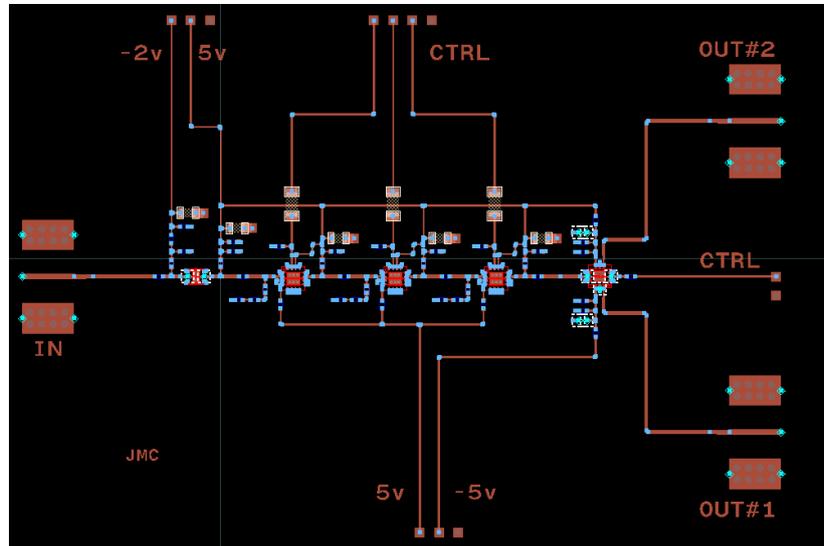


Figura 43. Layout completo de la PCB (primera versión) (tamaño: 10 cm x 7 cm).

En el layout completo de esta primera versión de la PCB se aprecian claramente los tres pads, en los bordes de la placa, para la conexión de los conectores coaxiales de RF (entrada y salidas), así como los cuatro grupos destinados a los conectores de alimentación y control, que presentan distinta cantidad de pines según la función asociada. También se identifican fácilmente en el centro, las huellas para los bloques funcionales de los amplificadores (HMC8410 y HMC8414) y del SPDT (M3SWA2-63DRC+).

En la siguiente figura se muestra la simulación los parámetros S de la primera versión de la PCB con los cuatro amplificadores activos (HMC8410 y tres HMC8414) y el conmutador (Figura 44 a). Los resultados obtenidos son coherentes con lo esperado en el capítulo anterior, mostrando una ganancia total que decrece ligeramente desde aproximadamente 70 dB a 63 dB en el rango de 300 MHz a 6 GHz. La adaptación de impedancias se mantiene por debajo de los -10 dB en todo el ancho de banda, lo que indica un buen acoplamiento y mínima reflexión en las entradas y salidas del sistema.

Cuando los tres amplificadores HMC8414 se configuran en modo bypass (Figura 44 b), el sistema presenta una ganancia más baja, comprendida entre los 15 dB y los 8 dB, dependiendo de la frecuencia. En esta configuración se observan ciertas pérdidas adicionales atribuibles a los elementos pasivos y las transiciones entre bloques, aunque la adaptación de impedancias sigue siendo adecuada en todo el rango, manteniéndose también por debajo de los -10 dB.

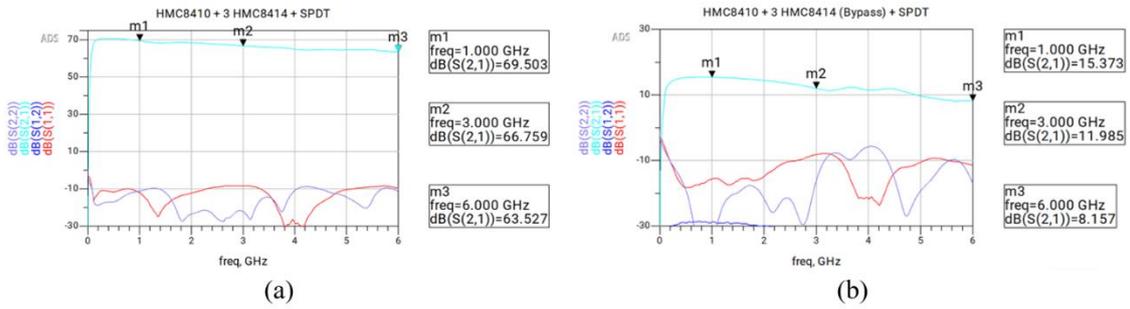


Figura 44. Simulación de parámetros S del circuito completo de la primera PCB, LNAs y el conmutador integrado. (a) Todos los LNA HMC8414 activos. (b) Todos los LNA HMC8414 en bypass.

La figura de ruido obtenida mediante simulación (Figura 45) se mantiene dentro del rango previsto, entre 1 dB y 2 dB, valores que se consideran bajos y adecuados para aplicaciones de lectura de detectores de muy baja señal. Este resultado refleja la contribución dominante del primer amplificador (HMC8410), que marca el nivel de ruido del sistema completo.

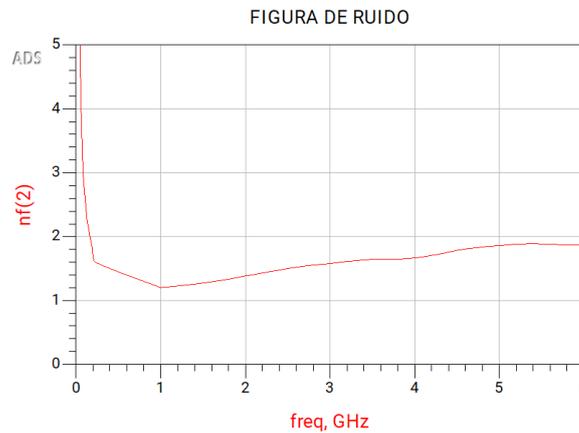


Figura 45. Simulación de la figura de ruido de la primera PCB.

En la siguiente fase se añadieron etiquetas identificativas sobre la PCB, incluyendo las leyendas IN, OUT1, OUT2, valores de tensión de alimentación, etiquetas de control, mis iniciales, su funcionalidad ('AMPLI. + SPDT') y el rango de frecuencias (Figura 46). Esta información facilita la integración y puesta en marcha del sistema en laboratorio. También se definieron los bordes de la placa, respetando las distancias necesarias para los conectores de RF y los conectores de DC.

En la capa de masa, se incluyen detalles críticos como la implementación de pads con geometría de tipo corona en las zonas de entrada de tensión DC. Estas coronas sin metalización en su interior evitan el contacto directo entre las señales de alimentación y la masa, garantizando un buen aislamiento entre planos y evitando cortocircuitos accidentales.

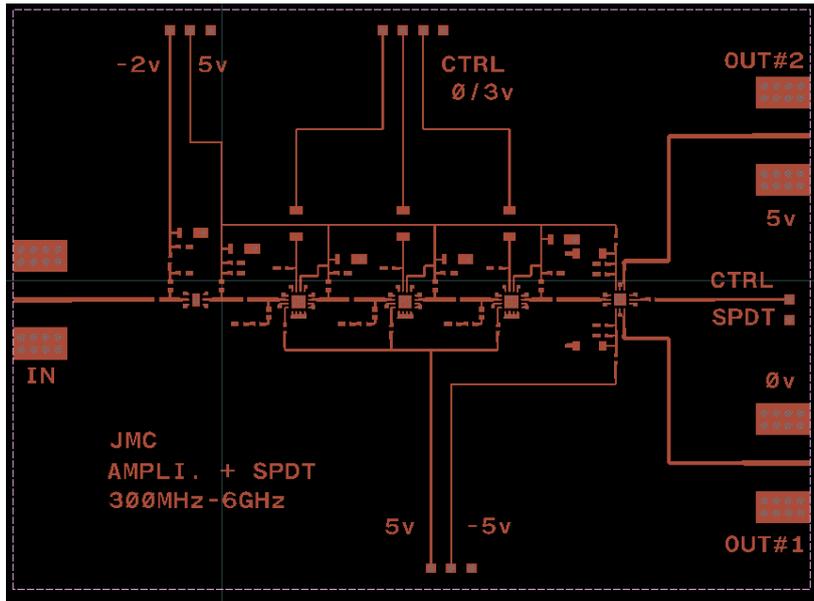


Figura 46. Layout con serigrafía: entradas, salidas, tensiones, control e identificación (tamaño: 10 cm x 7 cm).

En la Tabla 4 se listan los componentes necesarios para el montaje de esta primera versión de la PCB. Se incluyen los valores, encapsulados, referencias y fabricantes. Destacan los LNAs y el SPDT, los condensadores de acoplo y desacoplo, y las inductancias y resistencias de polarización. También se recogen las modificaciones mencionadas anteriormente, como el uso de un solo valor de condensador intermedio en la etapa de amplificación o las resistencias de 0 Ohmios utilizadas como puentes para facilitar el conexionado.

Cantidad	Ref.	Tamaño /Empaquetado	Descripción	Valor	Fabricante	Número de Referencia
2	C1	0402	Condensador	0.5 pF	Johanson Technology	251R0750R5BV4S
2	C2	0402	Condensador	1 pF	Würth	NP004021R0D025DFCT10000 (885012005034)
2	C3	0402	Condensador	20 pF 22pF	Kemet Würth	C0402C200K5GACTU NP00402220J025DFCT10000 (885012005042)
6	C4	0402	Condensador	1 nF	Würth	X7R0402102K025DFCT10000 (885012205044)
2	C5	0402	Condensador	10 nF	Würth	X7R0402103K050DFCT10000 (885012205067)
8	C6	0402	Condensador	100 nF	Würth	X7R0402102K025DFCT10000 (885012205037)
3	C7	0805	Condensador	1 μ F	KYOCERA AVX	08053G105MAT2A
1	C8	0805	Condensador	2.2 μ F	KYOCERA AVX	0805YC225KAT2A
1	C9	0805	Condensador	4.7 μ F	KYOCERA AVX	08056D475MAT2A
3	R1	1206	Resistencia	0 Ohm	Vishay	RCA12060000ZSTA
2	R2	0402	Resistencia	11.5 Ohm	Vishay	CRCW040211R5FKED
4	R3	0402	Resistencia	15 Ohm	Vishay	CRCW040215R0JNED
3	R4	0402	Resistencia	499 Ohm	Vishay	CRCW0402499RFKEDC
1	R5	0402	Resistencia	1 kOhm	Vishay	RCG04021K00JNED
3	L1	0402	Bobina	270 nH	Coilcraft	0402DF-271XJRW
5	L2	0402	Bobina	590 nH	Coilcraft	0402DF-591XJRU
2	Z1	SOD-123	Diodo Zener	Vz =5.6V	Vishay	MMSZ5232B-HE3_A-08
1	IC1	6-lead, 2 mm \times 2 mm LFCSP	LNA		Analog Devices	HMC8410
3	IC2	16-lead, 3 mm \times 3 mm LFCSP	LNA Bypass		Analog Devices	HMC8414
1	IC3	12-lead 3x3mm MCLP	SPDT		Mini Circuits	M3SWA2-63DRC+
Substrato			RO4350B	H = 10 mil ϵ_r =3.48 (design 3.66)	Rogers Corporation	RO4350B™ Laminates

Tabla 4. Componentes del esquema eléctrico de la primera PCB.

Una vez finalizado el diseño, tanto los ficheros de fabricación como la tabla de componentes fueron enviados al área especializada de PCB del propio departamento, la cual se encargó de producir la placa y montar los componentes en ella.

En la siguiente imagen (Figura 47) se muestra la PCB fabricada sin ningún componente montado. Se aprecian claramente las huellas de los diferentes elementos pasivos y activos, los pads para conectores coaxiales y de alimentación, así como cuatro perforaciones en las esquinas destinadas a la instalación de soportes mecánicos, añadidos posteriormente,

para facilitar su manipulación y fijación. En la vista inferior de la placa pueden observarse los planos de masa y las conexiones a través de vías. Destacan las áreas de entrada de tensión DC, donde se implementan los pads tipo corona para evitar la conexión directa con el plano de tierra.

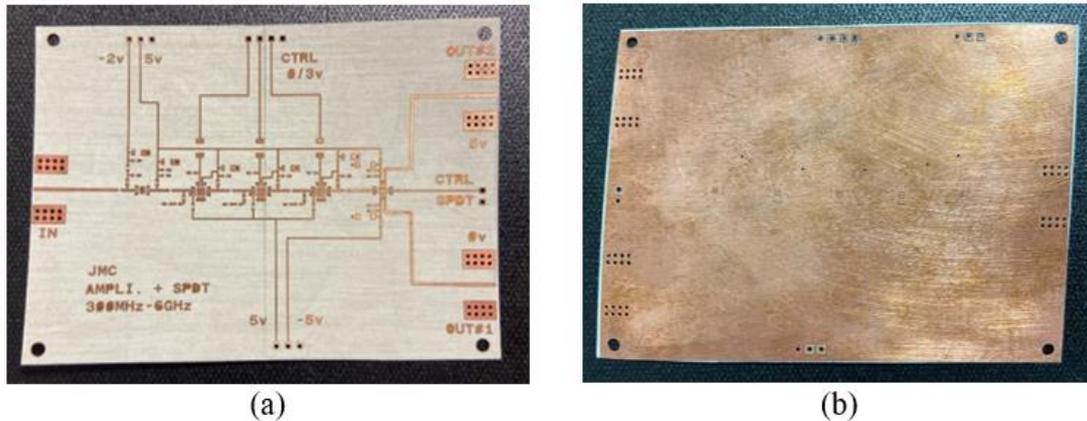


Figura 47. PCB sin componentes. (a) Cara superior. (b) Cara inferior.

Esta imagen (Figura 48) fue obtenida mediante microscopio binocular en la que se observa en detalle una de las huellas destinadas al montaje de unos de los amplificadores HMC8414. Se verificaron las dimensiones de las pistas y pads, comprobando que se ajustan a las especificaciones del diseño, sin desviaciones apreciables.

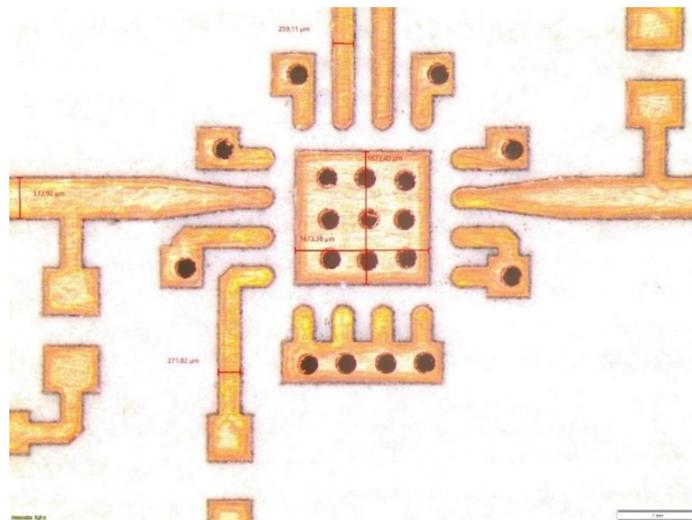


Figura 48. Vista microscópica para comprobación del tamaño de las líneas.

En la siguiente imagen de la placa completamente ensamblada, con todos sus componentes, se incluye una regla para proporcionar una referencia de sus dimensiones, que son aproximadamente de 10 cm por 7 cm. Esta versión, aunque correctamente fabricada y como se comentó anteriormente, no funcionó según lo previsto, por lo que se analizarán sus limitaciones y propuestas de mejora en el siguiente apartado.

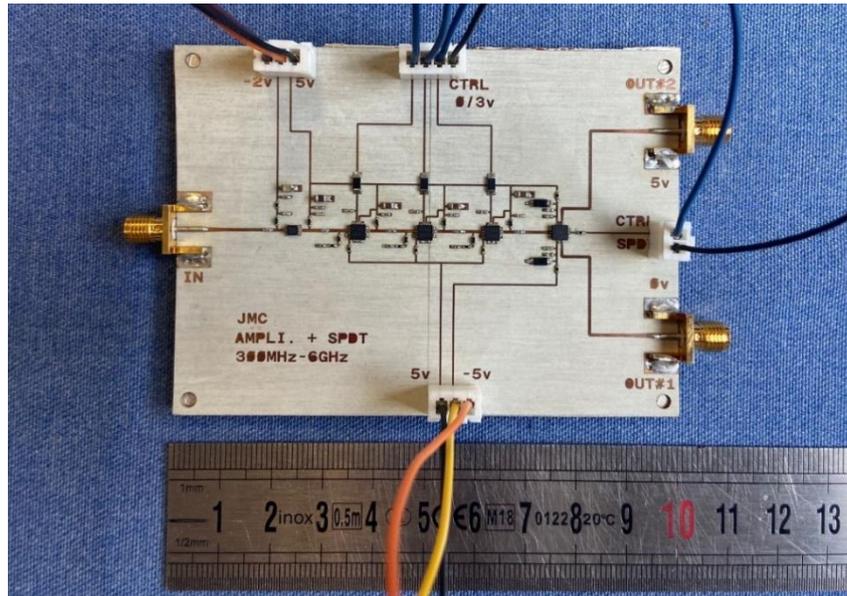


Figura 49. Primera versión de la PCB acabada #1 (tamaño: 10 cm x 7 cm).

4.2 Revisión del diseño y mejoras implementadas

Aunque esta primera versión de la placa no llegó a integrarse en el sistema completo debido a diversos problemas de funcionamiento, se procedió a su caracterización experimental con el objetivo de identificar sus prestaciones. En este apartado se presentan los resultados más relevantes, sin entrar en detalle sobre el consumo o tensiones de los componentes, al no ser representativos para el sistema final.

Para la caracterización en frecuencia se utilizó un analizador de redes vectorial PNA-E8364A de Agilent, con un rango de operación de 45 MHz a 50 GHz. La calibración se realizó mediante un kit de precisión 85052C en conector 3.5 mm. Las medidas se efectuaron entre 50 MHz y 10 GHz, utilizando 201 puntos de frecuencia con un paso de 50 MHz y un ancho de banda de frecuencia intermedia (IF-Bandwidth) de 100 Hz. La configuración de los equipos se muestra en la siguiente imagen, donde puede observarse la placa conectada al PNA y alimentada mediante múltiples fuentes:

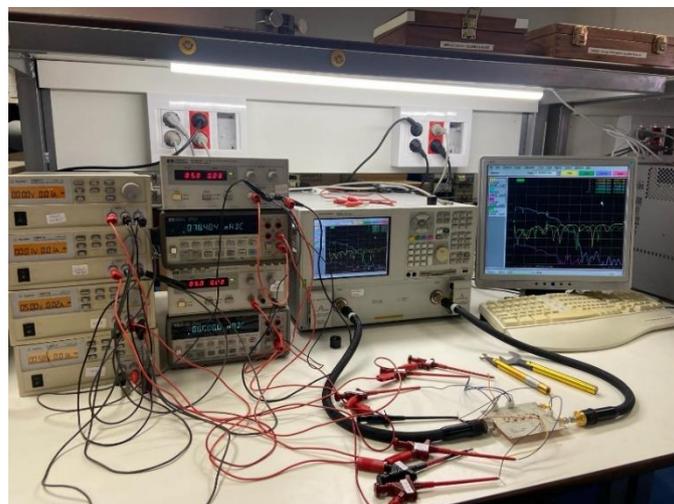


Figura 50. Medida en laboratorio de la primera PCB con el PNA y las fuentes.

Los primeros resultados mostraron un comportamiento anómalo al activar los tres amplificadores HMC8414, siendo inestable y no permitiendo ver en el PNA su correcto comportamiento, que debería ser una ganancia combinada cercana a 70 dB. En esta configuración, el equipo presentaba un error de tipo 'Phase Lock Lost', impidiendo la obtención de medidas fiables. En la siguiente figura se muestra la respuesta en frecuencia con solo dos de los tres amplificadores activados, configuración en la que la placa mantenía un funcionamiento estable.

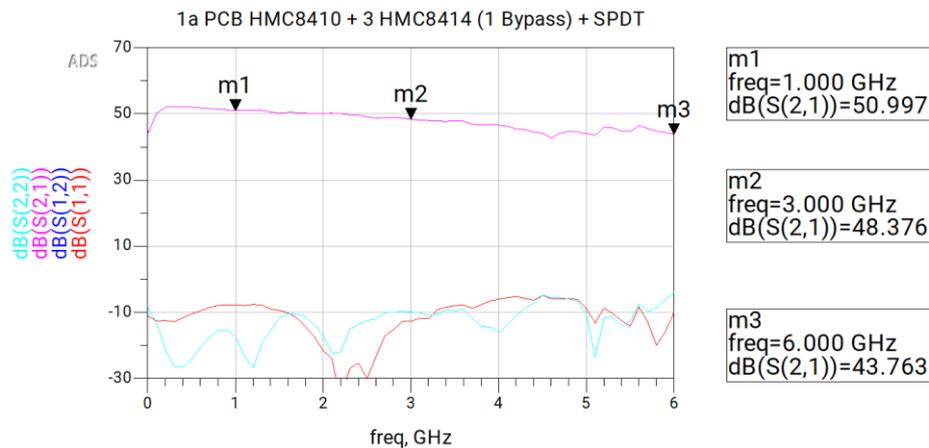


Figura 51. Parámetros S de la primera PCB, con el último LNA en modo bypass y los demás activados.

Como se puede ver en la respuesta medida, la PCB ofrece un comportamiento bastante razonable en todo el rango de frecuencias. Con una ganancia entre los 51 dB y los 43 dB, dependiendo de la frecuencia. La adaptación de impedancias se mantiene también en torno a los -10 dB.

Con el objetivo de mitigar el problema observado en la PCB, se introdujo un atenuador AT3330A-10 de 10 dB (Weinschel RF-AT) a la salida del sistema para evitar un posible exceso de potencia en el analizador. Sin embargo, esta modificación no resultó efectiva, por lo que se optó por una revisión más profunda del diseño.

Debido a su no solución, se revisó minuciosamente la conexión del plano de masas de los LNAs, con el fin de descartar problemas de estabilidad debidos al apantallamiento o al retorno de señal. Asimismo, se propuso una modificación en la red RLC de entrada del tercer HMC8414, intercambiando la posición de la resistencia respecto a la bobina. Esta variación aportó una ligera mejora, pero no solucionó por completo los problemas de estabilidad en la medida. En la Figura 52 se presenta la medida con solo dos de los tres amplificadores HMC8414 activos, y se aprecia que la ganancia general de la placa disminuye ligeramente como consecuencia del cambio en la red RLC, mientras que la adaptación presenta una respuesta algo más estable, sin variaciones significativas respecto al caso anterior.

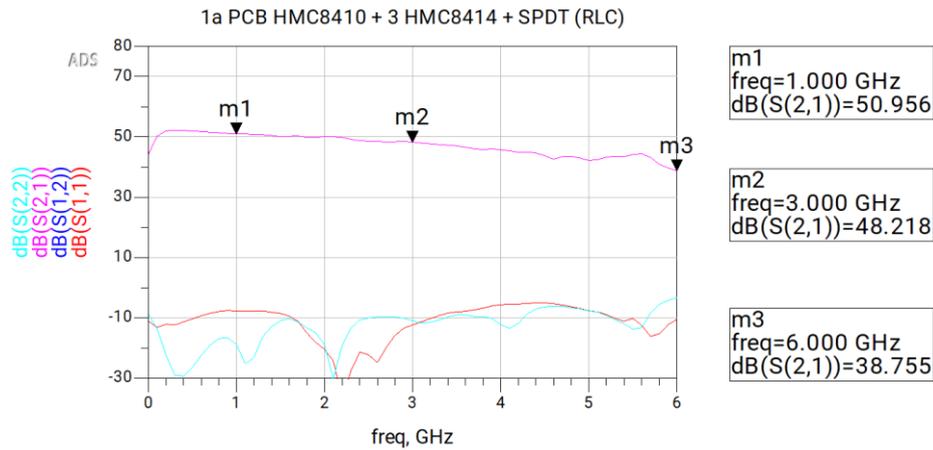


Figura 52. Parámetros S de la primera PCB, con un LNA en bypass y cambio en la red RLC.

En esta configuración, y reactivando el último HMC8414, se consiguió capturar correctamente los datos antes de que reapareciese el error en el analizador, como se ve en la Figura 53. La ganancia se mantiene dentro de un rango esperado, aproximadamente entre 57 dB y 70 dB, aunque se observan múltiples picos y comportamientos no deseados. Además, la adaptación empeora de forma considerable, alcanzando valores cercanos a 0 dB en ciertas bandas, lo que pone de manifiesto la persistencia de problemas de estabilidad.

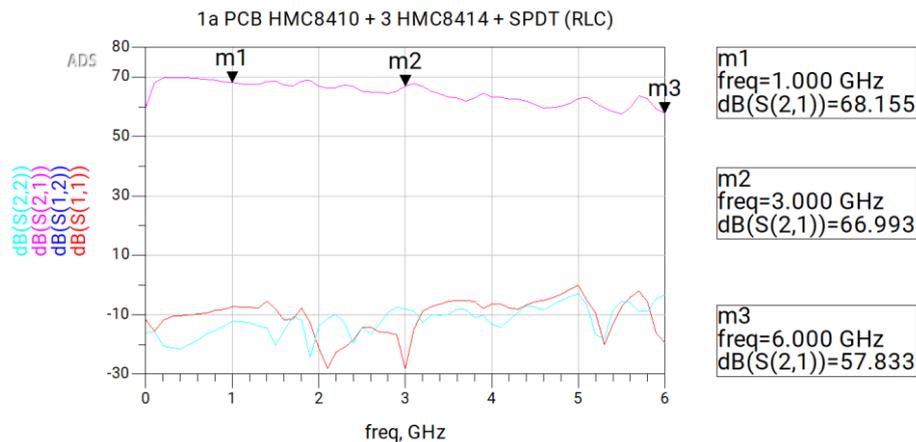


Figura 53. Parámetros S de la primera PCB, con todos los LNA activos y cambio en la red RLC.

Como última modificación, se restauró la red RLC original y se introdujo una resistencia de 10Ω entre el segundo y el tercer HMC8414. El objetivo era reducir la ganancia total y amortiguar posibles oscilaciones, lo que permitió estabilizar el funcionamiento de la placa con dos de los tres amplificadores activos, aunque con resultados aún sin llegar a ser óptimos, ya que al activar el último amplificador, el error en la medida persistía. En esta configuración, con solo dos de los tres amplificadores HMC8414 activos, el comportamiento de la placa se mantiene dentro de los márgenes esperados (Figura 54). La ganancia recupera los valores previos a la modificación en la red RLC, y la adaptación en los accesos no presenta degradaciones relevantes, lo que indica un funcionamiento correcto en esta condición operativa.

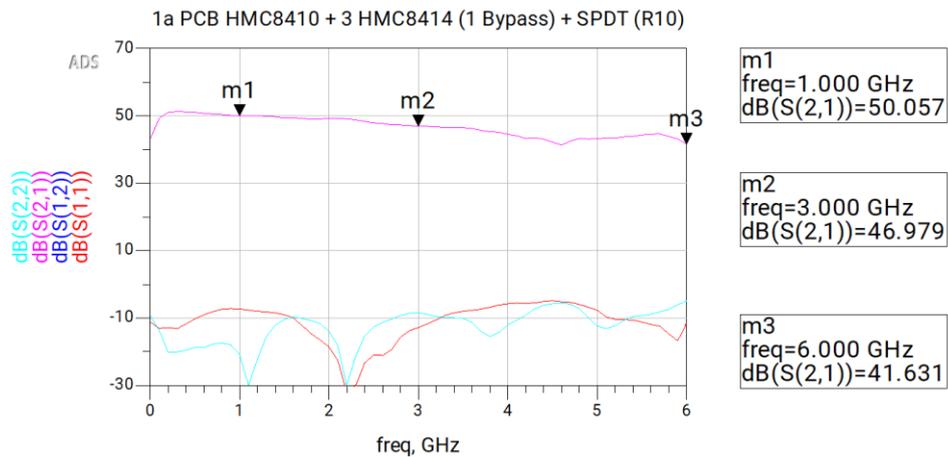


Figura 54. Parámetros S de la primera PCB, con un LNA en bypass y con resistencia 10 Ohm.

En la Figura 55 se representa el caso más claro de funcionamiento incorrecto observado en esta versión de la placa. Al activar los tres amplificadores, se manifiestan cambios pronunciados en la respuesta y una pérdida significativa tanto en la ganancia como en la adaptación de impedancias. Estas distorsiones evidencian que la inserción de la resistencia no fue suficiente para evitar la aparición de fenómenos no deseados cuando se activa el tercer HMC8414, lo que reafirma la necesidad de rediseñar el sistema.

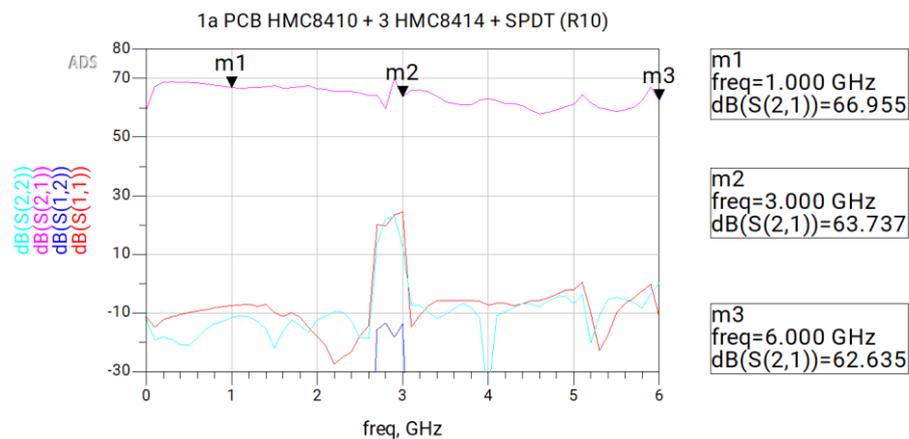


Figura 55. Parámetros S de la primera PCB, con todos los LNA activos y con resistencia 10 Ohm.

Finalmente, se caracterizó la figura de ruido utilizando un analizador NFA8975A de Keysight Technologies, junto con una fuente de ruido N4000A (Agilent) con conector de 3.5 mm y una ENR de 6 dB (Figura 56). Las medidas se realizaron en el rango de 0.5 GHz a 6.5 GHz, con 61 puntos (paso de 0.1 GHz), un ancho de banda de 4 MHz y un promediado de 16 puntos. Durante estas pruebas se detectaron interferencias de fuentes externas, en ciertas bandas, que obligaron a aplicar un apantallamiento adicional.

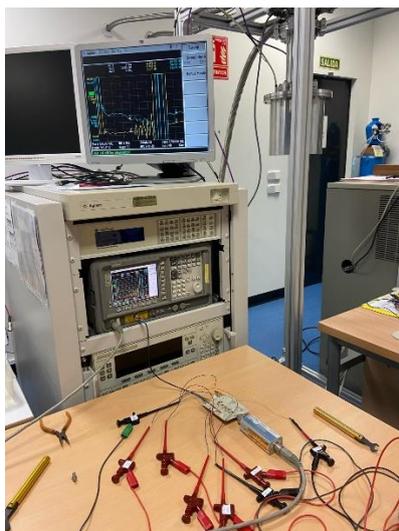


Figura 56. Medida de ruido en laboratorio de la primera PCB con el NFA y las fuentes.

En la siguiente imagen se puede ver a la fuente de ruido N4000A de Agilent conectada al DUT, en este caso la primera versión de la etapa de amplificación:

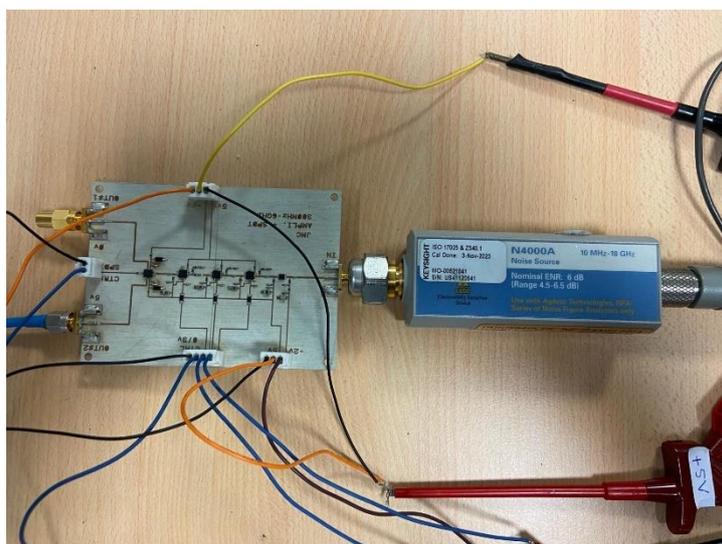


Figura 57. Medida de ruido en laboratorio de la primera PCB con la fuente de ruido.

En cuanto a los resultados, se midió la figura de ruido para configuraciones con uno y dos amplificadores activos, presentadas en las siguientes figuras respectivamente. Estos resultados permitieron evaluar el impacto de las etapas de ganancia en el ruido total del sistema para verificar el correcto desempeño de la PCB en este ámbito. La medida realizada con el analizador de figura de ruido NFA muestra una figura de ruido situada entre 1 dB y 3 dB para la configuración con un único amplificador HMC8414 activo, véase la Figura 58 a.

En configuración con dos amplificadores HMC8414 activos, la figura de ruido mantiene una tendencia similar a la observada en simulaciones, confirmando un funcionamiento aceptable en términos de este parámetro (Figura 58 b). No obstante, se detectaron interferencias en determinadas bandas del espectro, lo que obligó a introducir apantallamiento adicional durante la medida. A pesar de estas limitaciones, los resultados permiten evaluar de forma aproximada el desempeño de la placa desde el punto de vista

del ruido. Estos valores son consistentes con los obtenidos en las simulaciones previas realizadas en ADS, lo que valida parcialmente el comportamiento del circuito en este modo reducido de operación.

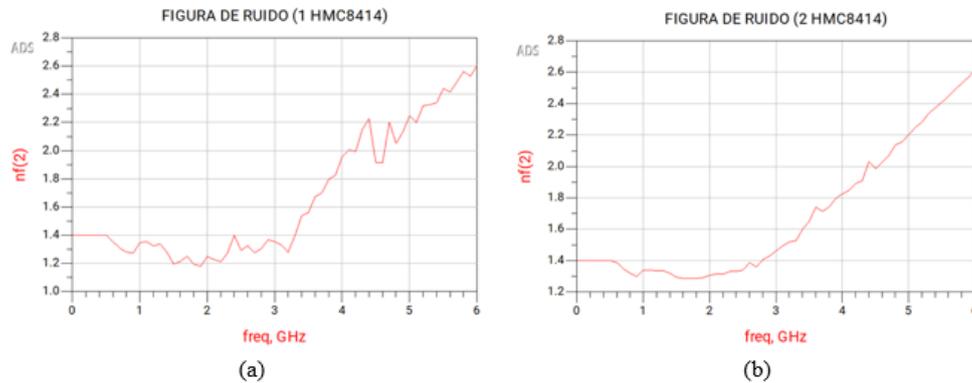


Figura 58. Figura de ruido de la primera PCB con el NFA. (a) Un LNA activado. (b) Dos LNAs activados.

A partir de este conjunto de pruebas se concluye que, si bien la primera versión de la PCB ofrece un comportamiento razonable en ciertas configuraciones, su rendimiento global no es satisfactorio. Las inestabilidades observadas en las medidas al activar la cadena completa de ganancia, con valores próximos a 70 dB, comprometen la funcionalidad del sistema. Por este motivo, se plantea un rediseño de la etapa de amplificación, cuya nueva versión, que se abordará en el siguiente apartado, prescinde de uno de los amplificadores HMC8414. Esta modificación busca priorizar la estabilidad y la linealidad del sistema, incluso a costa de una reducción en la ganancia total.

4.3 Segunda versión de la PCB

La segunda versión de la PCB fue desarrollada como solución a las limitaciones observadas en el prototipo inicial, especialmente en lo referente a la estabilidad del sistema y el control de alimentación de los amplificadores. En este diseño se mantuvieron los bloques funcionales fundamentales del prototipo original, pero se optimizó la arquitectura general reduciendo el número de etapas, reorganizando las pistas de alimentación en continua y mejorando las conexiones a tierra.

Esta nueva versión integra un total de tres amplificadores: un HMC8410 como LNA siempre activo y dos HMC8414 configurables en modo bypass, junto con el SPDT M3SWA2-63DRC+ al final de la cadena. El substrato utilizado sigue siendo el RO4350B de Rogers Corporation, con un grosor de 10 mil y una permitividad dieléctrica relativa de 3.66.

Los conectores utilizados para la entrada y salida de señal RF y para la alimentación son los mismos que en la primera versión: conectores coaxiales Amphenol 132432 y conectores JST tipo EH de 2.5 mm para alimentación y control.

Además, se rediseñó el enrutamiento de la tensión de control de los HMC8414. La nueva versión incorpora un único salto de resistencia de 0 Ohmios para cada línea, simplificando la distribución de control y reduciendo la posibilidad de acoplos innecesarios.

Se llevó a cabo una separación de la alimentación de 5 V del HMC8410 respecto a la de los dos HMC8414 y el SPDT, con el fin de poder comprobar el rendimiento de las dos etapas por separado y asegurar así su correcto funcionamiento. Para ello se utilizaron distintos conectores JST tipo EH.

También se mejoraron de forma significativa las conexiones a masa de todos los componentes, especialmente en los pasivos (condensadores, bobinas y resistencias) y los activos (amplificadores y SPDT). Se incrementó el número de pasos a masa conectando al plano de tierra cada componente.

Finalmente, la dimensión de la placa se ajustó a aproximadamente 8 cm × 6 cm, en comparación con los 10 cm × 7 cm de la versión anterior. Esta reducción fue posible gracias a una mejor distribución de bloques y una integración más eficiente.

A continuación, se presenta el layout completo de esta segunda versión de la PCB:

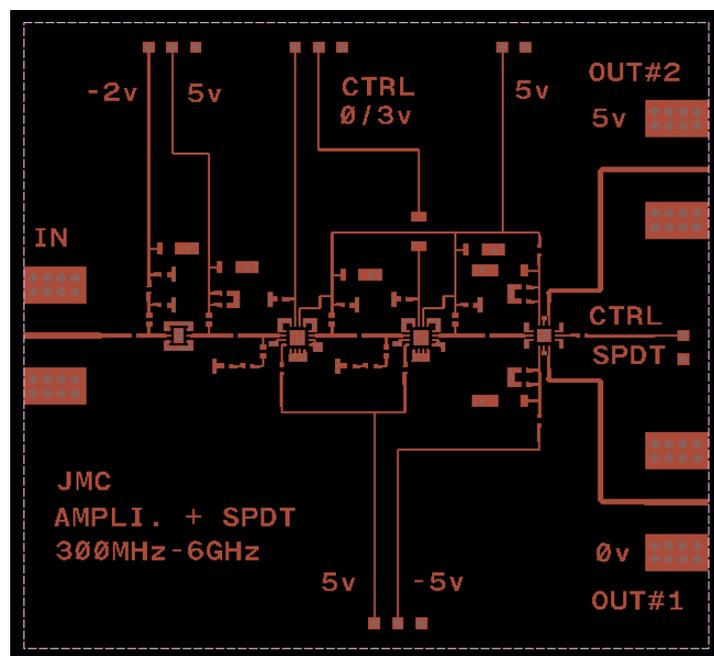


Figura 59. Layout completo de la PCB (segunda versión) (tamaño: 8 cm x 6 cm).

En este layout se observan los pads de las conexiones coaxiales de RF, los conectores JST de alimentación y control, y la nueva distribución de los tres amplificadores junto con el conmutador. Las líneas de control y alimentación son más compactas, y los planos de masa están distribuidos de manera uniforme.

Con el HMC8410 y los dos HMC8414 activados, la ganancia total del sistema se sitúa entre 47 y 55 dB (Figura 60 a). La adaptación en los accesos de entrada y salida se mantiene por debajo de los -10 dB en toda la banda de 300 MHz a 6 GHz, lo que garantiza una buena adaptación de impedancias y baja reflexión.

Cuando ambos HMC8414 están desactivados, la ganancia del sistema queda determinada exclusivamente por el HMC8410, alcanzando valores de 10–17 dB según la frecuencia (Figura 60 b). Aquí se ve una degradación de la ganancia debido a las pérdidas de los otros componentes, aun así, esta situación será la menos implementada. A pesar de la

menor ganancia, la adaptación de impedancias se conserva adecuada, y esta configuración resulta útil para medidas de referencia o sistemas donde se requiere menor amplificación.

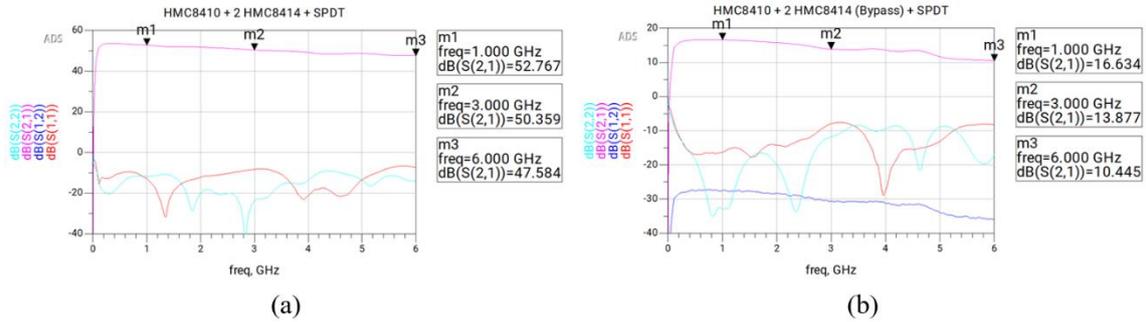


Figura 60. Parámetros S del circuito completo de la segunda PCB. (a) LNAs activos. (b) LNAs en bypass.

En la simulación, la figura de ruido se mantiene entre 1 dB y 2 dB a lo largo de toda la banda, lo que confirma que el primer amplificador sigue siendo el principal determinante del ruido global. Este resultado, mostrado en la Figura 61, refuerza la decisión de mejorar el aislamiento y la alimentación de este componente.

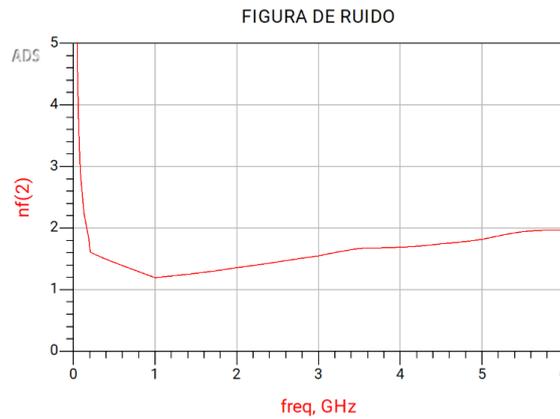


Figura 61. Figura de ruido del circuito completo en la segunda PCB.

En el diseño del layout también se añadieron etiquetas para la identificación de los distintos componentes y facilitar su montaje (Figura 62). Las etiquetas se corresponden a las presentes en la tabla, que se presentará más adelante, estas también están divididas por colores dependiendo del tipo de componente que sea. También se muestra el diseño de la capa de tierra, así como se hizo en la primera versión, incluyendo la implementación de pads con geometría de tipo corona en las zonas de entrada de tensión DC.

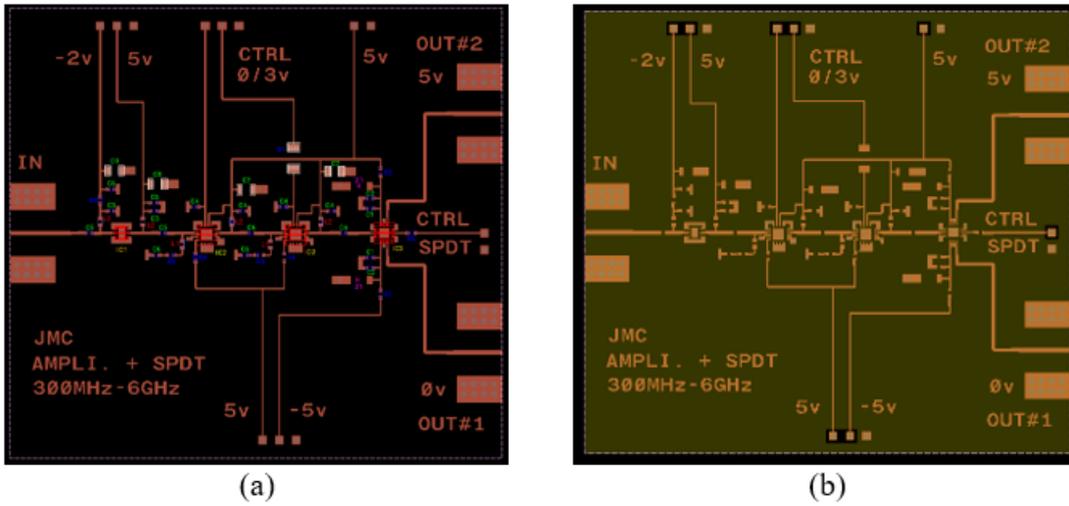


Figura 62. Layout de la PCB (tamaño: 8 cm x 6 cm). (a) Etiquetas de los de los componentes. (b) Cara inferior.

La siguiente tabla recoge todos los componentes empleados en esta segunda versión. Se incluyen los cambios derivados de la eliminación del tercer HMC8414 y las modificaciones en la distribución de pasivos:

Cantidad	Ref.	Tamaño /Empaquetado	Descripción	Valor	Fabricante	Número de referencia
2	C1	0402	Condensador	0.5 pF	Johanson Technology	251R0750R5BV4S
2	C2	0402	Condensador	1 pF	Würth	NP004021R0D025DFCT10000 (885012005034)
2	C3	0402	Condensador	22pF	Würth	NP00402220J025DFCT10000 (885012005042)
4	C4	0402	Condensador	1 nF	Würth	X7R0402102K025DFCT10000 (885012205044)
2	C5	0402	Condensador	10 nF	Würth	X7R0402103K050DFCT10000 (885012205067)
6	C6	0402	Condensador	100 nF	Würth	X7R0402102K025DFCT10000 (885012205037)
2	C7	0805	Condensador	1 μ F	KYOCERA AVX	08053G105MAT2A
1	C8	0805	Condensador	2.2 μ F	KYOCERA AVX	0805YC225KAT2A
1	C9	0805	Condensador	4.7 μ F	KYOCERA AVX	08056D475MAT2A
1	R1	1206	Resistencia	0 Ohm	Vishay	RCA12060000ZSTA
2	R2	0402	Resistencia	11.5 Ohm	Vishay	CRCW040211R5FKED
3	R3	0402	Resistencia	15 Ohm	Vishay	CRCW040215R0JNED
2	R4	0402	Resistencia	499 Ohm	Vishay	CRCW0402499RFKEDC
1	R5	0402	Resistencia	1 kOhm	Vishay	RCG04021K00JNED
2	L1	0402	Bobina	270 nH	Coilcraft	0402DF-271XJRW
4	L2	0402	Bobina	590 nH	Coilcraft	0402DF-591XJRU
2	Z1	SOD-123	Diodo Zener	Vz =5.6V	Vishay	MMSZ5232B-HE3_A-08
1	IC1	6-lead, 2 mm \times 2 mm LFCSP	LNA		Analog Devices	HMC8410
2	IC2	16-lead, 3 mm \times 3 mm LFCSP	LNA Bypass		Analog Devices	HMC8414
1	IC3	12-lead 3x3mm MCLP	SPDT		Mini Circuits	M3SWA2-63DRC+
Substrato			RO4350B	H = 10 mil ϵ_r =3.48 (design 3.66)	Rogers Corporation	RO4350B™ Laminates

Tabla 5. Componentes del esquema eléctrico de la segunda PCB.

Como se ha explicado, cada componente lleva una etiqueta asociada para su identificación, lo que ayuda a simplificar la etapa de montaje.

Finalmente, se presentan las imágenes de la placa completamente ensamblada, vista desde ambos lados. En la primera imagen (Figura 63 a) se observan los componentes montados, los conectores coaxiales y JST, así como las etiquetas. El tamaño más compacto y el mallado de masa mejorado son claramente visibles. Como último detalle, se colocaron 4 soportes en las esquinas de la placa para proporcionar una mayor estabilidad y ofrecer un

punto de conexión para su integración en el sistema. En la vista de la cara inferior destacan los planos de masa y las zonas de alimentación con pads tipo corona, que garantizan un buen aislamiento eléctrico.

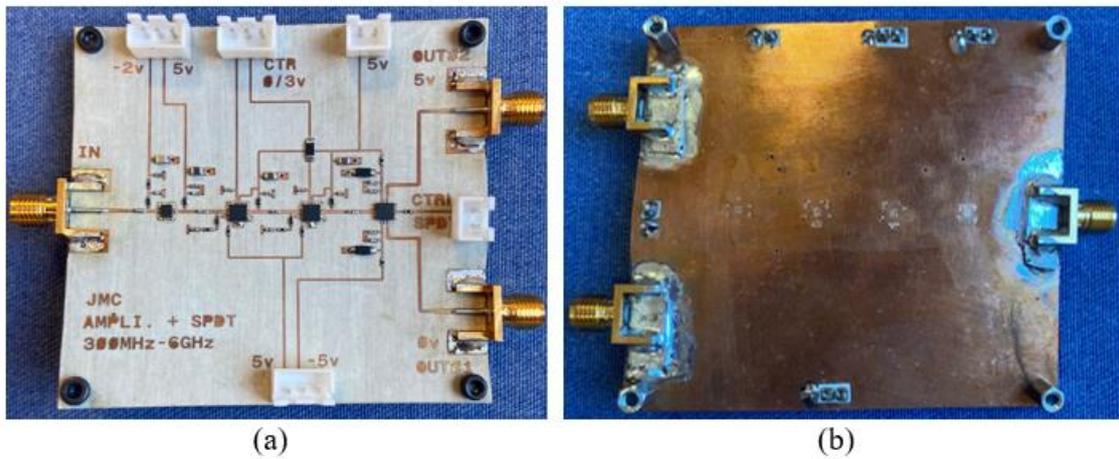


Figura 63. Segunda versión de la PCB (tamaño 8 cm x 6 cm). (a) Cara superior. (b) Cara inferior.

Con las mejoras implementadas en esta segunda versión, se obtuvo una PCB más estable, compacta y eficiente, manteniendo unas prestaciones simuladas en términos de ganancia y figura de ruido dentro de los márgenes deseados para aplicaciones de lectura de detectores de inductancia cinética. Una vez finalizado el diseño y ensamblaje de esta nueva placa, se procedió a su caracterización experimental en laboratorio, junto con el resto de los componentes que forman parte del sistema de lectura. Los resultados obtenidos y el análisis de su comportamiento real se presentan en el siguiente capítulo.

Capítulo 5. Caracterización experimental

La caracterización experimental constituye una etapa fundamental en el desarrollo de cualquier sistema electrónico, ya que permite validar su funcionamiento real frente a los resultados esperados por simulación o especificaciones de los fabricantes. En este capítulo se presentan los resultados de las medidas realizadas en laboratorio sobre los principales bloques que conforman el sistema de lectura, centrándose en la segunda versión de la PCB y en los componentes externos que completan el conjunto.

A diferencia del Capítulo 3. Diseño y simulación de la etapa amplificadora y del Capítulo 4. Fabricación de la PCB de amplificación, donde se analizaron las prestaciones del sistema mediante simulación, en este apartado se muestran medidas obtenidas experimentalmente. Además, no se incluyen aquí los resultados de la primera versión de la PCB, ya que dicha versión fue descartada tras los problemas de funcionamiento detallados en el Capítulo 4.

Las caracterizaciones se han llevado a cabo utilizando instrumentación de laboratorio como analizadores de redes vectoriales (PNA), medidores de figura de ruido (NFA), medidores de potencia, fuentes de alimentación y otros equipos auxiliares. Se han evaluado aspectos como la respuesta en frecuencia, la ganancia, el aislamiento, la figura de ruido y el punto de compresión en potencia, con el objetivo de verificar que el sistema cumple con los requisitos técnicos establecidos para su aplicación en el sistema completo de lectura.

5.1 Etapa de amplificación – segunda versión de la PCB

La caracterización de la segunda versión de la PCB se ha centrado en evaluar el comportamiento de la etapa de amplificación en distintas configuraciones de alimentación, así como en comprobar su respuesta en frecuencia, figura de ruido y punto de compresión. Para ello, se han definido varios casos de estudio según las etapas de amplificación activadas:

- BIAS1: solo está activo el amplificador de entrada HMC8410.
- BIAS2: está activo el HMC8410 y un único HMC8414.
- BIAS3: están activos el HMC8410 y ambos HMC8414.
- ISO: se mide la salida del SPDT inactiva (OUT1 o OUT2), mientras la otra está activa, para estudiar el aislamiento entre ambas salidas.

A continuación, se muestra en la Tabla 6, un resumen con los distintos casos de estudio y los consumos de corriente medidos en cada configuración.

	V _{DD}	I _{DD}	V _G	CTRL (0/3V) HMC8414	CTRL (0/5V) SPDT	SALIDA
Bias1	5 V	76 mA	-0.61 V	0 V – 0 V	0 V	1
Bias1-ISO	5 V	75 mA	-0.61 V	0 V – 0 V	5 V	1
Bias2	5 V	155 mA	-0.61 V	3 V – 0 V	0 V	1
Bias3	5 V	233 mA	-0.61 V	3 V – 3 V	0 V	1
Bias3-ISO	5 V	233 mA	-0.61 V	3 V – 3 V	5 V	1
Bias1	5 V	75 mA	-0.61 V	0 V – 0 V	5 V	2
Bias1-ISO	5 V	76 mA	-0.61 V	0 V – 0 V	0 V	2
Bias2	5 V	155 mA	-0.61 V	3 V – 0 V	5 V	2
Bias3	5 V	234 mA	-0.61 V	3 V – 3 V	5 V	2
Bias3-ISO	5 V	234 mA	-0.61 V	3 V – 3 V	0 V	2

Tabla 6. Casos de estudio y consumo de corriente en cada configuración.

Para comprender la Tabla 6 y todos sus casos, es necesario entender el significado de cada columna:

- V_{DD}: tensión de alimentación suministrada a los amplificadores y al SPDT, común a todos los dispositivos activos (5 V en todas las configuraciones).
- I_{DD}: corriente total consumida por la placa en cada configuración. Se incrementa al activar más etapas amplificadoras.
- V_G: tensión de polarización de puerta del LNA HMC8410. En este caso, se mantiene constante en todas las configuraciones, con un valor de -0.61 V, el cual se fija al alcanzar el consumo fijado por el fabricante.
- CTRL (0/3 V) HMC8414: estados lógicos de las líneas de control para los amplificadores con bypass.
 - El primer valor indica el estado del primer HMC8414; el segundo, el del segundo.
 - 0 V indica modo bypass (etapa desactivada); 3 V indica etapa activada.
- CTRL (0/5 V) SPDT: nivel lógico aplicado al pin de control del SPDT.
 - 0 V o 5 V determinan cuál de las dos salidas (OUT1 u OUT2) se encuentra activa.
- SALIDA: Identificación del acceso de salida en uso durante la medida.
 - 1 corresponde a la salida OUT1 del SPDT.
 - 2 corresponde a la salida OUT2.

Para la caracterización en frecuencia en este caso, se utilizó un analizador de redes vectorial PNA-N5227A de Keysight Technologies, con un rango de operación de 10 MHz a 67 GHz. La calibración se realizó mediante el kit de precisión 85052C con conector 3.5 mm. Las medidas se efectuaron entre 10 MHz y 10.01 GHz, utilizando 401 puntos de frecuencia con un paso de 25 MHz y un ancho de banda de frecuencia intermedia (IF-Bandwidth) de 100 Hz. La potencia en el puerto 1 se estableció en -50 dBm, y en el puerto 2 en -20 dBm.

La configuración del banco de medida se muestra en la Figura 64, donde puede observarse la placa conectada al PNA, junto con un multímetro para la monitorización de corriente y varias fuentes de alimentación.

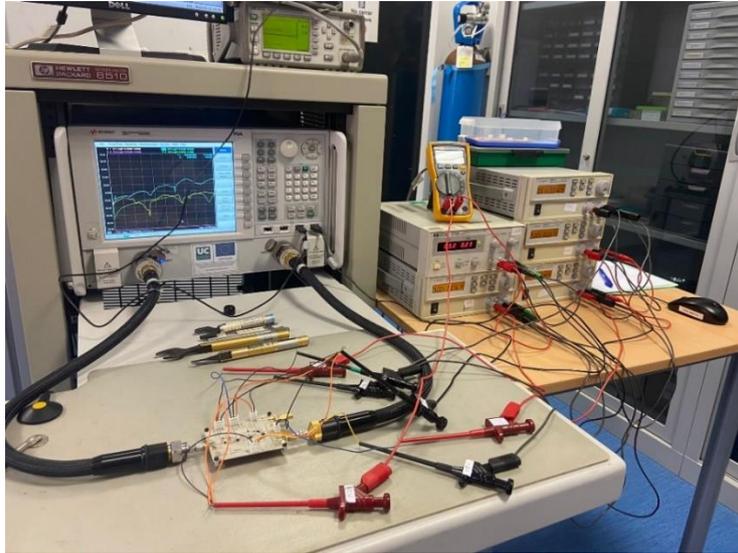


Figura 64. Medida en laboratorio de la segunda PCB con el PNA y las fuentes.

A continuación (Figura 65), se presentan los resultados más representativos de la caracterización, junto con comparativas relevantes:

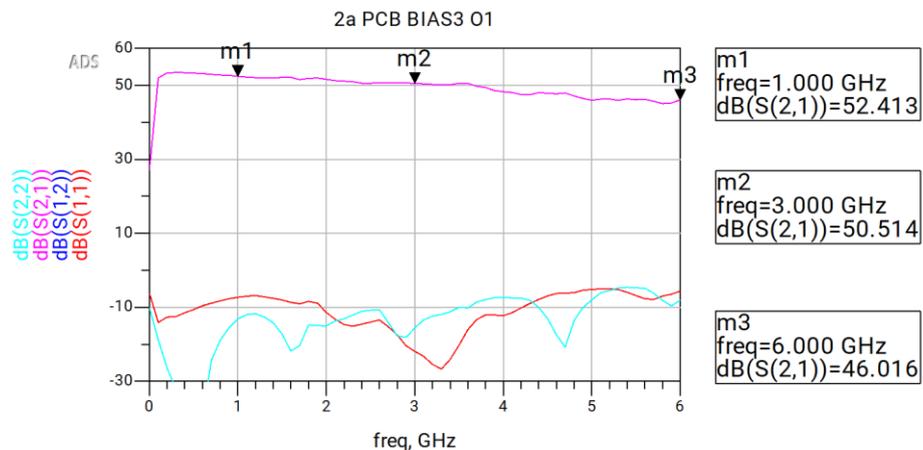


Figura 65. Parámetros S de la segunda PCB en configuración BIAS3.

Se observa una buena adaptación, con valores de S11 y S22 por debajo de -10 dB en casi toda la banda, y una ganancia (S21) comprendida entre 54 y 46 dB. Resultados algo mejores que los obtenidos en la primera versión de la placa, y muy similares a los esperados en la simulación.

En la Figura 66 se muestran las curvas de ganancia para las distintas configuraciones de BIAS, que se presentan prácticamente paralelas con incrementos progresivos de ganancia. A 3 GHz, las ganancias medidas fueron aproximadamente 15 dB (BIAS1), 32 dB (BIAS2) y 50 dB (BIAS3). Esto ayuda a dimensionar la funcionalidad de la placa y ajustar sus etapas en función de la ganancia necesaria.

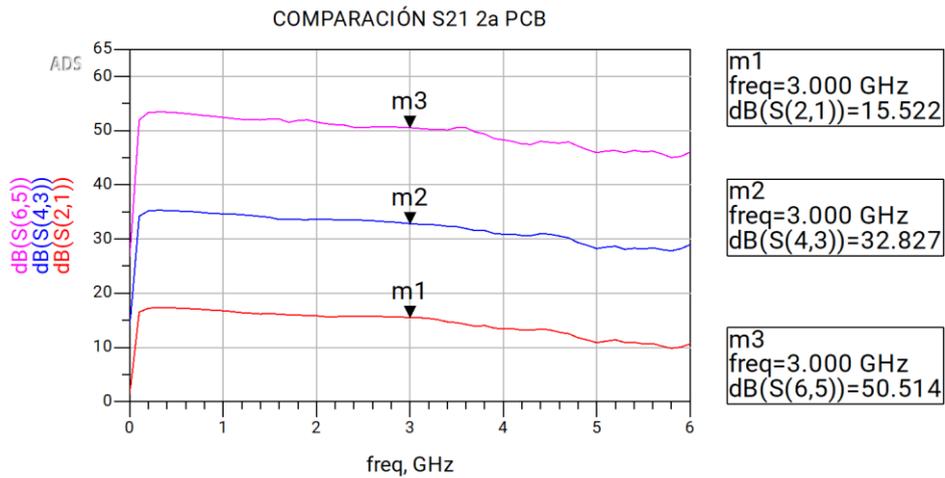


Figura 66. Comparación del S21 de la segunda PCB en distintas configuraciones.

A continuación, para el estado BIAS3, se evalúa la salida inactiva del SPDT mientras la otra está activa para evaluar el aislamiento entre los dos accesos de salida. Se observa una transmisión que comienza en torno a -7 dB y alcanza un valor máximo de 13 dB en las frecuencias más altas. Las adaptaciones permanecen dentro de márgenes aceptables. Esta configuración sería el peor escenario posible, debido a que la ganancia sería máxima y la salida la contraria a la de interés (Figura 67).

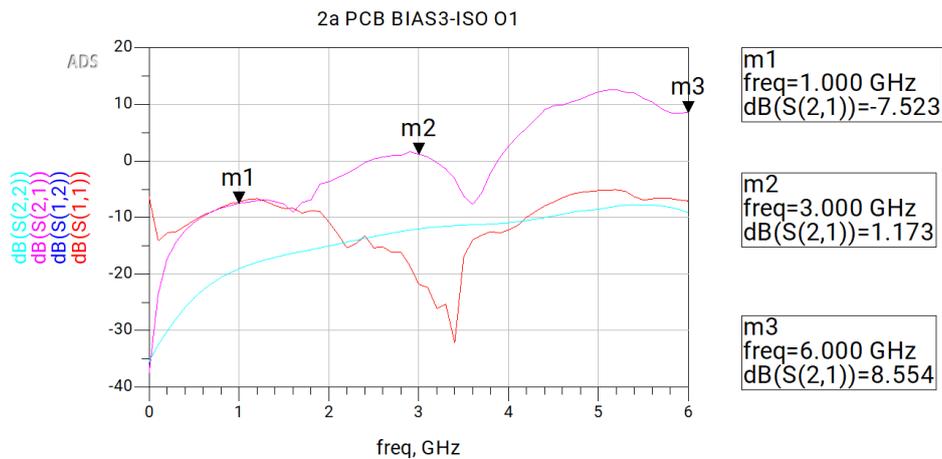


Figura 67. Parámetros S de la segunda PCB en configuración BIAS3-ISO.

En la Figura 68 se observa un comportamiento prácticamente idéntico en ambas salidas, tanto en términos de ganancia como de adaptación. Las diferencias entre OUT1 (S21) y OUT2 (S43) son mínimas, lo que confirma un funcionamiento simétrico del sistema y una correcta conmutación en las salidas mediante el SPDT.

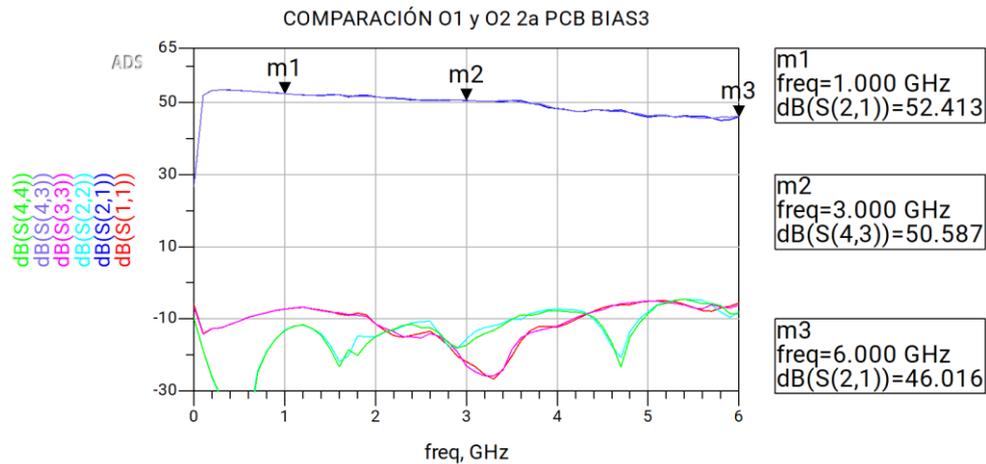


Figura 68. Comparación de parámetros S de las dos salidas de la segunda PCB en configuración BIAS3.

Al igual que en la caracterización de la primera versión de la placa, se ha evaluado la figura de ruido utilizando un analizador de figura de ruido Agilent Technologies NFA8975A, junto con una fuente de ruido Agilent N4000A con conector 3.5 mm y una relación de exceso de ruido (ENR) de 6 dB. Siguiendo los mismos pasos, las medidas se realizaron en el rango de 0.5 GHz a 6.5 GHz, con 61 puntos (paso de 0.1 GHz), un ancho de banda de 4 MHz y un ajuste de promediado de 16 puntos.

En la Figura 69 se muestra la comparación de las curvas de figura de ruido obtenidas para las tres configuraciones de alimentación analizadas:

- nf(2) para BIAS1
- nf(4) para BIAS2
- nf(6) para BIAS3

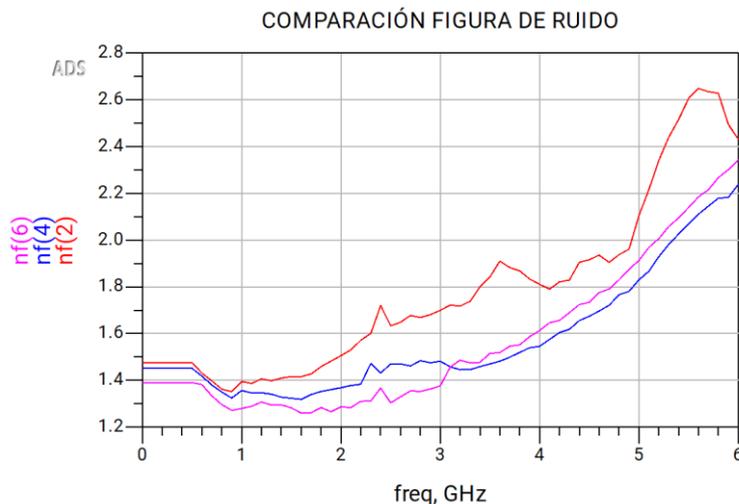


Figura 69. Comparación de las figuras de ruido para las distintas configuraciones de alimentación.

Las tres curvas presentan trayectorias muy similares, con valores comprendidos entre 1.2 dB y 2.4 dB, lo cual está en línea con las expectativas de diseño y confirma el buen comportamiento del sistema. Tal como se anticipaba por la fórmula de Friis presentada en la sección 2.2.2 Ruido, el primer LNA (HMC8410) domina el valor global de la figura

de ruido, por lo que la activación de las etapas posteriores apenas introduce degradación adicional.

Para la medida del punto de compresión a 1 dB (P_{1dB}) se utilizó un medidor de potencia HP E4418B (serie EPM), conectado al analizador de redes vectorial PNA-N5227A. La calibración del sistema se realizó mediante un sensor de potencia 8487D Agilent Technologies con conector 3.5 mm, acompañado de un atenuador fijo de 30 dB modelo 11708A, cubriendo un rango de medida de -70 dBm a -20 dBm desde 50 MHz hasta 50 GHz.

Para el estudio de la compresión, se inyectó una señal de frecuencia fija a 3 GHz y se realizó un barrido de potencia desde -55 dBm hasta -35 dBm, utilizando 201 puntos, viendo su curva en la Figura 70. Esta configuración permite observar con precisión el inicio de la saturación del sistema en condiciones reales.

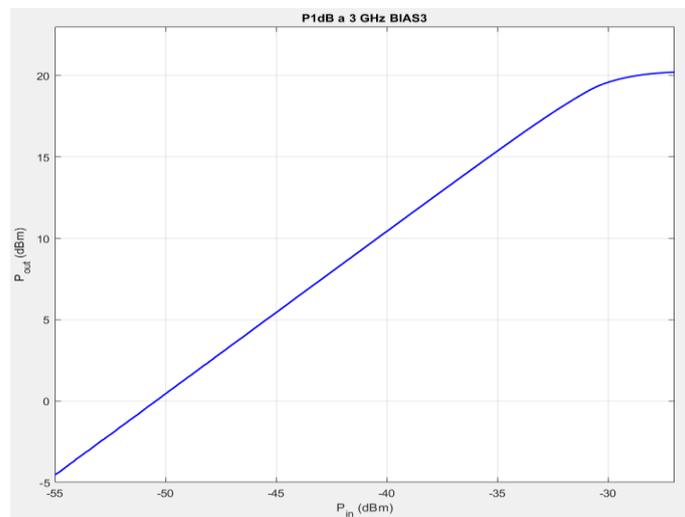


Figura 70. Curva de compresión P_{1dB} en configuración BIAS3 a 3 GHz.

En esta configuración BIAS3, a una frecuencia de 3 GHz, el sistema presenta una ganancia máxima en régimen lineal de aproximadamente 50.4 dB. El punto de compresión 1 dB se alcanza cuando la potencia de entrada es de -29.7 dBm, momento en el cual la ganancia desciende a 49.4 dB (50.4 dB en régimen lineal) y la potencia de salida alcanza un valor de 19.7 dBm que marca el inicio de la saturación del sistema. Este caso representa el escenario más crítico de los ensayados en cuanto a compresión.

En la Figura 71 se presenta una comparación del punto de compresión para las tres configuraciones de polarización evaluadas (BIAS1, BIAS2 y BIAS3) a 3 GHz. En BIAS1 (traza verde), la ganancia medida es de 15.5 dB, mientras que en BIAS2 (traza roja) alcanza los 32.75 dB, y en BIAS3 (traza azul) se eleva hasta 50.4 dB, como se indicó anteriormente. En el rango de potencias analizado, solo la configuración BIAS3 alcanza el punto de compresión 1 dB, mientras que las configuraciones BIAS1 y BIAS2 mantienen un comportamiento lineal en todo el rango barrido, sin evidencias de saturación.

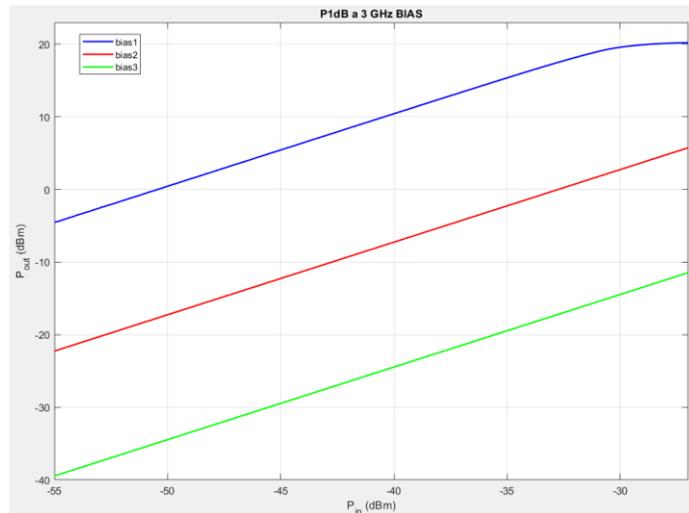


Figura 71. Comparación del punto de compresión P1dB a 3 GHz entre BIAS1 (verde), BIAS2 (roja) y BIAS3 (azul).

5.2 Divisor de Potencia (Power Splitter) - ZN2PD2-63-S+

Como divisor de potencia se ha utilizado el modelo ZN2PD2-63-S+ del fabricante Mini-Circuits (Figura 72). Este componente opera en un rango de frecuencias comprendido entre 350 MHz y 6 GHz. Según la hoja de datos, presenta unas pérdidas de inserción típicas de 0.9 dB y un aislamiento entre accesos de 20 dB. Dispone de un acceso común, denominado S, y dos salidas, acceso 1 y acceso 2.

High Power, DC Pass
Power Splitter/Combiner **ZN2PD2-63-S+**

2 Way-0° 50Ω 25W 350 to 6000 MHz

The Big Deal

- Wideband, 350 to 6000 MHz
- High power, up to 25W as a splitter
- Low insertion loss, 0.9 dB
- Low unbalance, 0.1 dB, 2"
- High isolation, 20 dB

CASE STYLE: VVW845

Figura 72. Características principales del ZN2PD2-63-S+ de Mini-Circuits [19].

Para la caracterización en frecuencia de este divisor, así como de los tres componentes siguientes, se utilizó el PNA-N5227A de Keysight Technologies, con un rango de operación de 10 MHz a 67 GHz. La calibración se realizó utilizando el kit de precisión 85052C en conector 3.5 mm. Todas las medidas siguieron utilizando la siguiente configuración: un barrido de frecuencia entre 10 MHz y 6.01 GHz, con 401 puntos y un paso de 25 MHz, utilizando un ancho de banda de frecuencia intermedia (IF Bandwidth) de 100 Hz. En estos siguientes casos, se estableció una potencia de entrada de -10 dBm tanto en el puerto 1 como en el puerto 2.



Figura 73. Medida en laboratorio del ZN2PD2-63-S+.

Para evaluar su correcto comportamiento, se analizaron todas las combinaciones posibles de conexión entre los tres accesos para evaluar completamente el comportamiento del divisor.

En la Figura 74 se observa una atenuación media en el rango de frecuencias aproximadamente de 3.5 dB entre el acceso S y el acceso 1, valor ligeramente superior al especificado por el fabricante. La adaptación medida ronda los 20 dB, lo cual indica un comportamiento razonablemente bueno, aunque también presenta regiones con un rendimiento inferior al especificado en la hoja de datos. El resultado obtenido para el acceso 2 es prácticamente idéntico al del acceso 1, como se esperaba por su simetría.

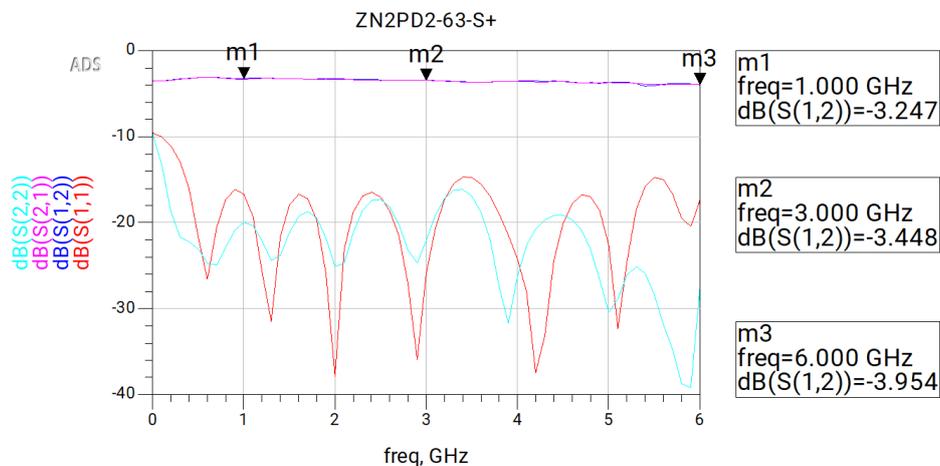


Figura 74. Parámetros S del ZN2PD2-63-S+ entre el acceso S (común) y el acceso 1.

En la siguiente figura se analiza el aislamiento entre las dos salidas. Los parámetros medidos muestran valores de aislamiento entre 20 dB y 30 dB, lo cual se encuentra dentro del rango anunciado por el fabricante. La adaptación también se mantiene en torno a los 20 dB, indicando un rendimiento aceptable.

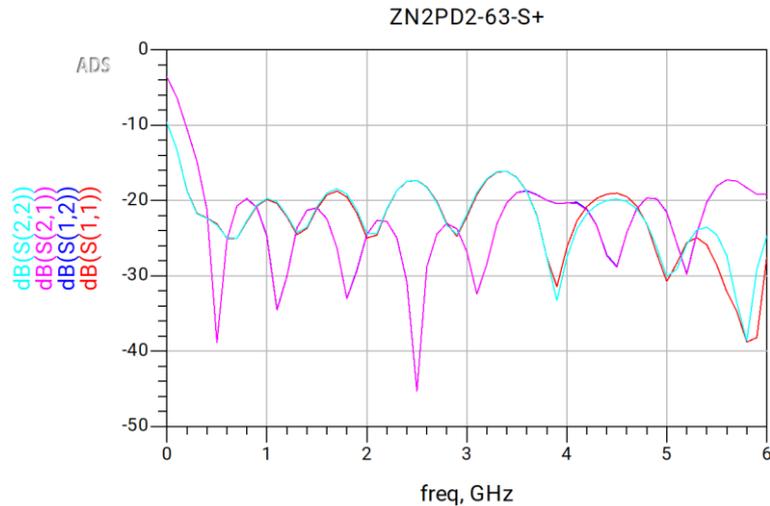


Figura 75. Parámetros S del ZN2PD2-63-S+ entre el acceso 1 y el acceso 2.

5.3 Atenuador Programable - RCDAT-6000-90

El componente utilizado como atenuador programable en este sistema es el modelo RCDAT-6000-90 de Mini-Circuits. Este dispositivo opera en un rango de frecuencias comprendido entre 1 MHz y 6 GHz, y permite aplicar una atenuación variable de 0 a 90 dB con un paso mínimo de 0.25 dB. Como su nombre indica, es un componente programable, y el fabricante proporciona una interfaz software para su control mediante conexión USB.

Mini-Circuits USB / ETHERNET
Programmable Attenuator RCDAT-6000-90
 50Ω 1 to 6000 MHz, 0 - 90 dB, 0.25 dB step

THE BIG DEAL

- Wide attenuation range, 90 dB
- Fine attenuation resolution, 0.25 dB
- Short attenuation transition time (650 ns)
- Compact size, 3.0 x 2.5 x 0.85"
- USB and Ethernet control

Generic photo used for illustration purposes only.

Figura 76. Características principales del RCDAT-6000-90 de Mini-Circuits [20].

La caracterización de este dispositivo se realizó utilizando nuevamente el analizador de redes vectorial Keysight Technologies PNA-N5227A, siguiendo los mismos parámetros de medida descritos anteriormente: barrido de frecuencia de 10 MHz a 10.01 GHz, con 401 puntos, paso de 25 MHz, y ancho de banda IF de 100 Hz.

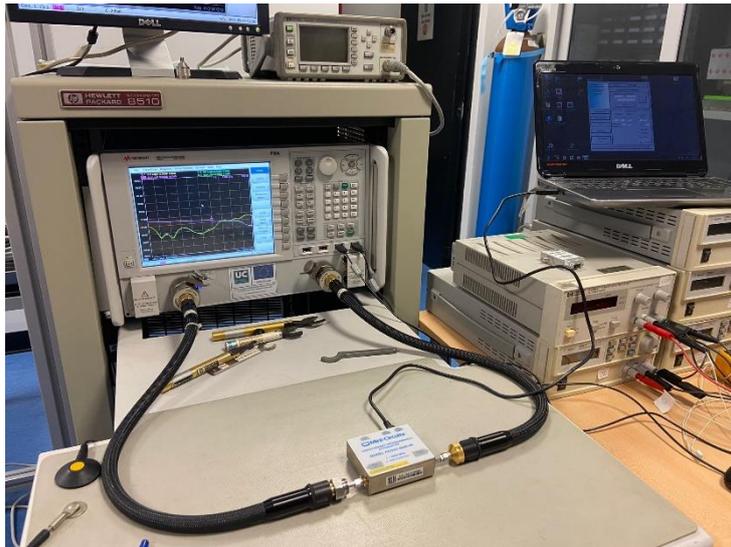


Figura 77. Medida en laboratorio del RCDAT-6000-90.

Para analizar sus pérdidas por inserción, se programó el atenuador con una atenuación de 0 dB. En estas condiciones, se observan pérdidas que varían aproximadamente entre 4 dB y 7.5 dB a lo largo del rango de frecuencias. Los parámetros S11 y S22 se sitúan en torno a -20 dB, lo cual indica una adaptación razonable en ambos accesos, aunque también mejorable. Aunque se trata de un atenuador digital, presenta pérdidas de inserción no despreciables, incluso cuando se programa en 0 dB, como se puede ver en la Figura 78:

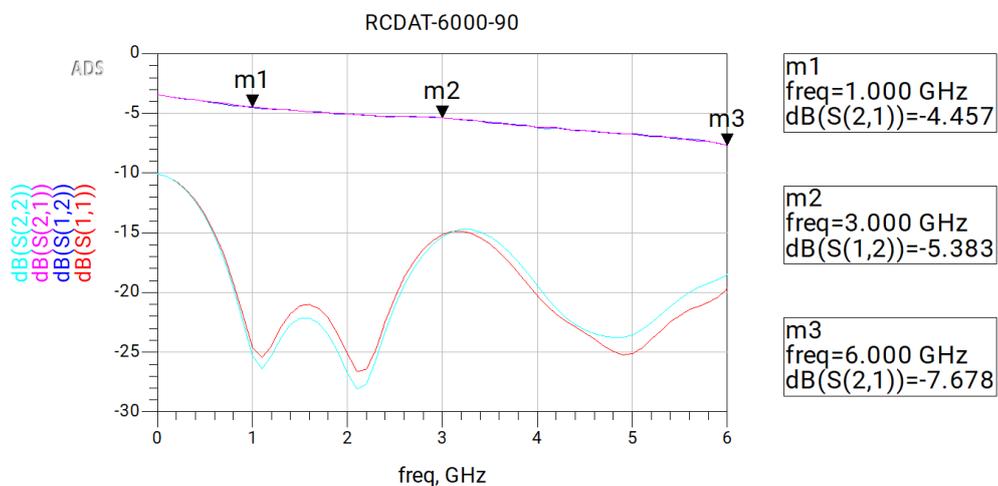


Figura 78. Parámetros S del RCDAT-6000-90 en el estado de 0 dB de atenuación.

En la Figura 79 se presenta una comparación de los parámetros S12 (ídem S21) obtenidos para valores programados de atenuación de 0, 5, 10, 15 y 20 dB. Puede observarse que, como se indica, a una frecuencia de 3 GHz, existen unas pérdidas adicionales de aproximadamente 5 dB respecto al valor teórico programado. Este valor adicional se mantiene de forma bastante constante en todo el rango de frecuencias y para las diferentes atenuaciones. Este comportamiento deberá ser tenido en cuenta en el balance de potencias final del sistema.

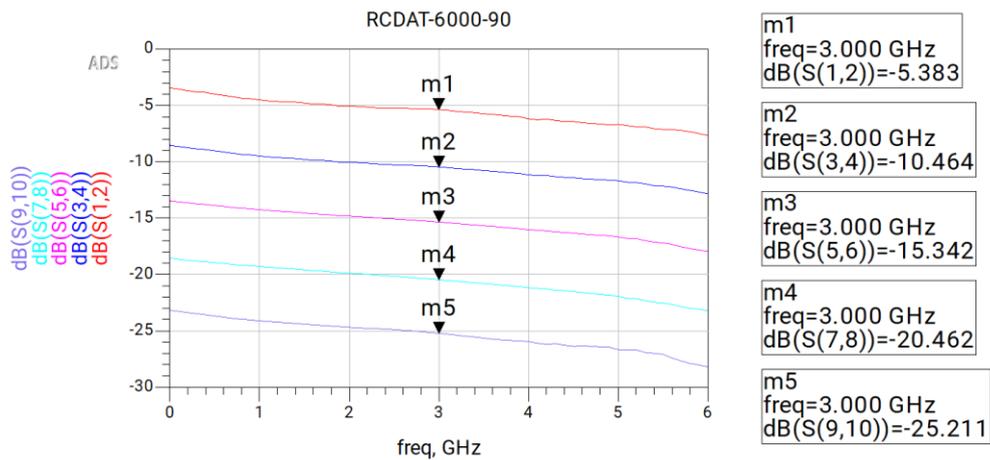


Figura 79. Comparación de las atenuaciones del RCDAT-6000-90 para distintos estados configurados en pasos de 5 dB.

5.4 SPDT RF Switch - ZSW2-63DR+

Para la función de conmutación del sistema de lectura, se ha escogido el modelo ZSW2-63DR+ de Mini-Circuits, un interruptor SPDT (Single Pole Double Throw) externo (Figura 80). Este dispositivo opera en un rango de frecuencias de 5 MHz a 6 GHz, y presenta pérdidas de inserción típicas de aproximadamente 1.1 dB hasta 6 GHz. El componente dispone de tres accesos: uno común (COM) y dos de salida, RF1 y RF2.

High Power, Solid state

SPDT RF Switch

ZSW2-63DR+

50 Ω Reflective RF switch 5 to 6000 MHz, 4 W
Internal driver, Single Supply Voltage 2.3V to 4.8V

The Big Deal

- Wide band, 5 to 6000 MHz
- High power +36 dBm
- High linearity, IP3 +73 dBm@850 MHz
- Low loss, 1.1 dB up to 6 GHz

Case Style: QV2426

Figura 80. Características principales del ZSW2-63DR+ de Mini-Circuits [21].

El control del estado de conmutación se realiza mediante una señal TTL (0–5 V) aplicada a través de un conector tipo D-sub de 9 pines (D9) en uno de sus contactos (pin #5). La alimentación del circuito se efectúa con $V_{DD} = 3$ V en el contacto #3, mientras que el resto de los pines se conectan a tierra, siendo únicamente uno de ellos necesario para asegurar el paso a masa, según la configuración especificada por el fabricante.

Como en los casos anteriores, el PNA-N5227A ha sido el instrumento utilizado para la caracterización del dispositivo. Se analizaron las distintas configuraciones posibles del conmutador en función de la tensión de control aplicada. Cuando se aplica una tensión de control de 0 V, la conexión activa se establece entre el acceso COM y RF1 (Figura 81). En esta configuración se observan unas pérdidas de inserción en torno a 1 dB, dentro del rango especificado por el fabricante. La adaptación de entrada y salida (S11 y S22) resulta muy buena, con valores entre 20 y 30 dB. Por simetría, el comportamiento entre COM y RF2 con $V_{CTRL} = 5$ V es prácticamente idéntico, tanto en este caso como en el siguiente.

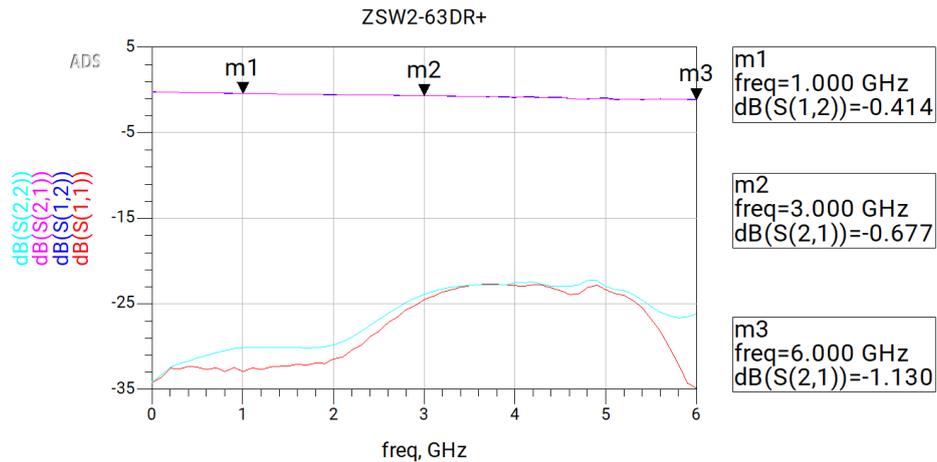


Figura 81. Parámetros S del ZSW2-63DR+ entre el acceso COM (común) y el acceso RF1 con V_{CTRL} 0 V.

Con una tensión de control de 5 V, el camino activo es entre COM y RF2, por lo que RF1 queda desconectado. En este caso, se observa un valor de S22 en RF1 reducido, del orden de 5 dB, lo que indica una mala adaptación cuando el acceso está en estado de aislamiento. Además, los parámetros de transmisión inversa S21 y S12 se sitúan entre -50 dB y -22 dB, mostrando un correcto aislamiento, como se puede ver en la Figura 82:

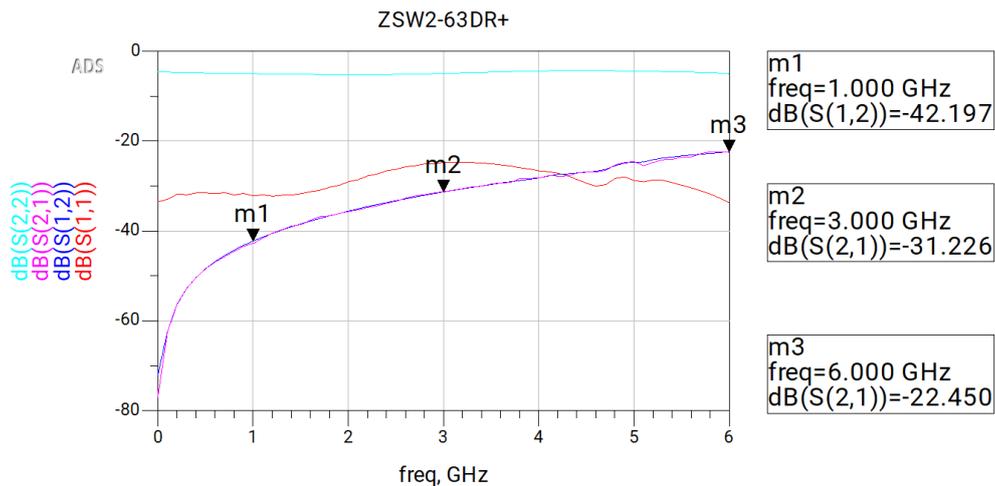


Figura 82. Parámetros S del ZSW2-63DR+ entre el acceso COM (común) y el acceso RF1 con V_{CTRL} 5 V.

También se realizó una medida entre los accesos RF1 y RF2 con $V_{CTRL} = 0$ V, es decir, cuando RF2 está aislado. En este caso, S11 se mantiene bien adaptado, mientras que S22 en RF2 vuelve a ser bajo, con valores similares al caso anterior. La transmisión cruzada (S21/S12) también permanece entre -50 dB y -23 dB, lo cual confirma un aislamiento adecuado entre las salidas en ambas configuraciones (Figura 83).

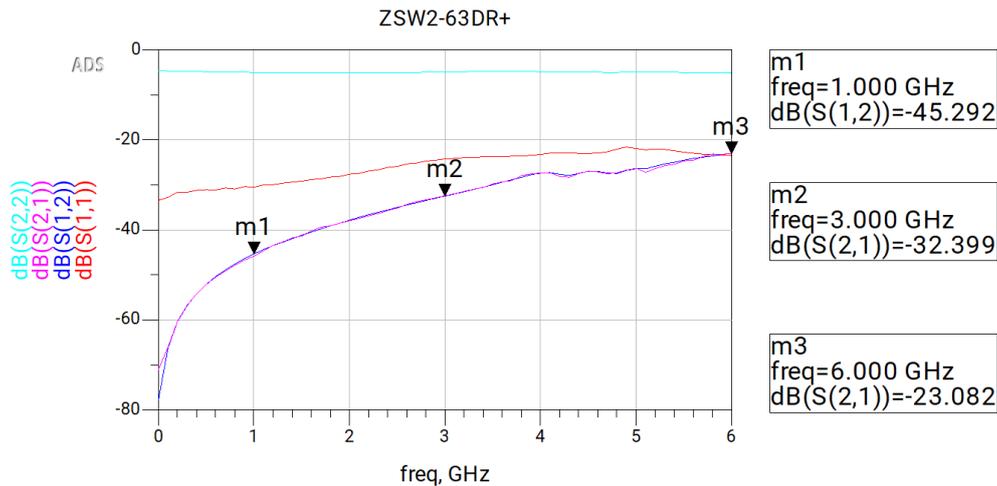


Figura 83. Parámetros S del ZSW2-63DR+ entre el acceso RF1 y el acceso RF2 con V_{CTRL} 0 V.

5.5 Demodulador IQ - AD0460B

Como demodulador I/Q se ha seleccionado el AD0460B de Polyphase Microwave, un componente que opera en un amplio rango de frecuencias, de 400 MHz a 6 GHz (Figura 84). Según el fabricante, presenta un punto de compresión a 1 dB de entrada de +12 dBm, y requiere una alimentación de +5 V (290 mA) y -5 V (50 mA). Dispone de cuatro accesos: RF, LO, I, y Q.



AD0460B
QUADRATURE DEMODULATOR
400 – 6000 MHz

FEATURES

LO/RF Frequency:	400 – 6000 MHz
I/Q Bandwidth:	275 MHz
Input P1dB:	+12 dBm
Amplitude Imbalance:	±0.05 dB
Phase Error:	±0.5 Degree
LO Power:	+0 dBm
DC Supplies:	+5V @ 290 mA, -5V @ 50 mA



Figura 84. Características principales del AD0460B de Polyphase Microwave [22].

La caracterización del demodulador se llevó a cabo utilizando nuevamente el analizador PNA-N5227A, con la configuración ya descrita. En el caso específico de la medida entre RF y LO, fue necesario emplear dos cables intermedios de 6 pulgadas y conector tipo 2.92 mm, debido a limitaciones físicas de acceso a los accesos del demodulador.

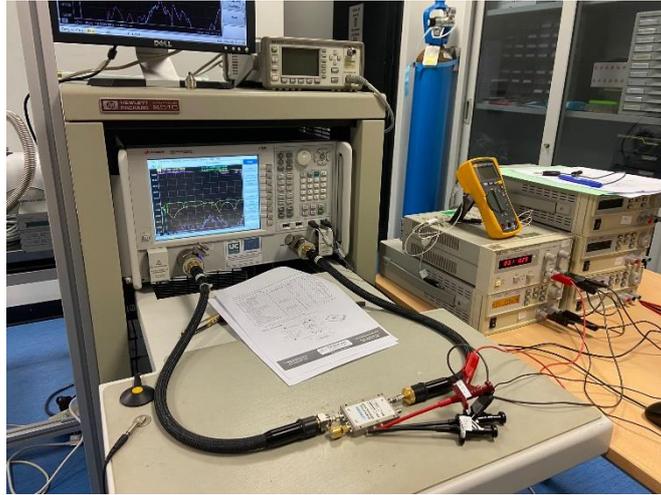


Figura 85. Medida en laboratorio del AD0460B.

Se realizaron distintas medidas entre los pares de accesos principales para evaluar tanto la conversión como el aislamiento entre los caminos del demodulador.

La Figura 86 muestra los parámetros S entre la entrada RF y las salidas I y Q, correspondientes a la señal convertida en baja frecuencia. Se observa que ambas salidas presentan un comportamiento similar, con pérdidas de conversión estables dentro del rango de frecuencias. No se aprecian desequilibrios significativos entre los canales I y Q, lo cual indica un buen balance de amplitud.

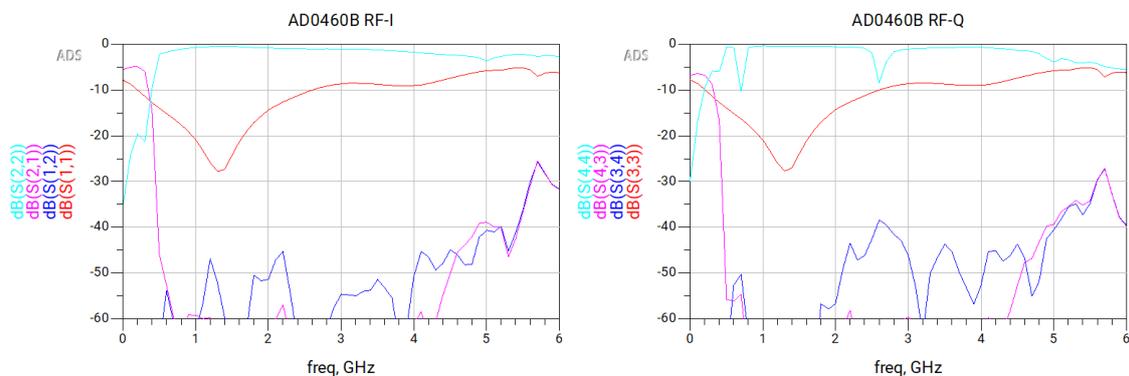


Figura 86. Parámetros S del AD0460B entre el acceso RF y el acceso I (izquierda), y el acceso Q (derecha).

En la Figura 87 se representan los parámetros de transmisión entre el acceso de oscilador local (OL) y las salidas I y Q. Aquí se analiza el aislamiento del acceso LO respecto a las salidas, el cual es crítico para evitar comportamientos indeseados en la salida I/Q. Se observa que el aislamiento se mantiene generalmente en valores adecuados.

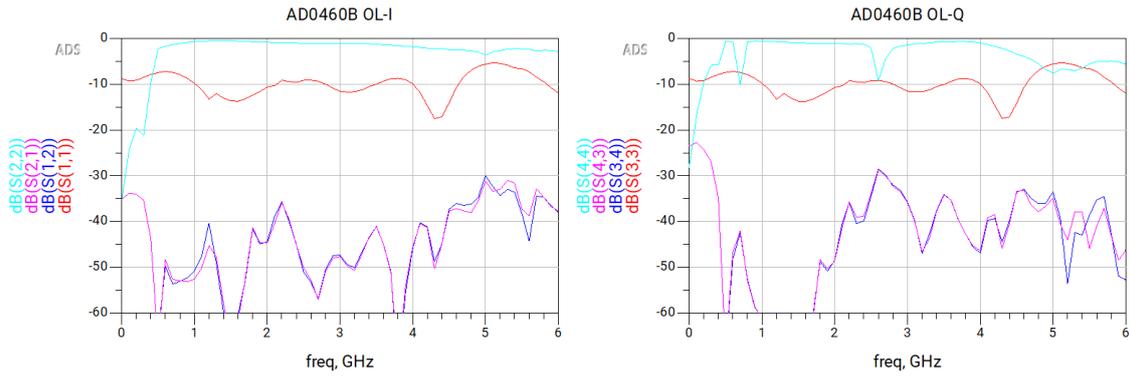


Figura 87. Parámetros S del AD0460B entre el acceso OL y el acceso I (izquierda), y el acceso Q (derecha).

Por último, en la Figura 88 se presenta la medida del aislamiento entre RF y OL, un parámetro igualmente importante. En este caso, como se mencionó anteriormente, se añadieron dos cables intermedios para permitir una correcta conexión física al equipo de medida. El aislamiento medido se encuentra también en valores razonables en la mayor parte del espectro, lo que es lo esperado para evitar acoplamientos indeseados entre la señal de entrada y el oscilador local.

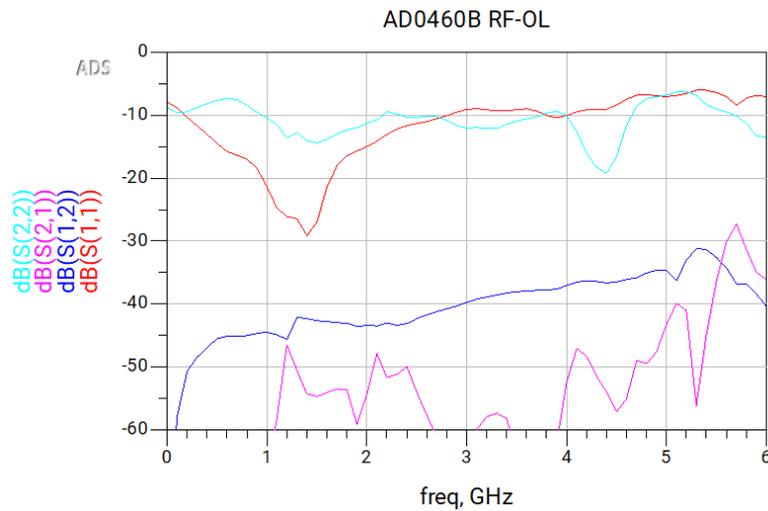


Figura 88. Parámetros S del AD0460B entre el acceso RF y el acceso OL.

Con la caracterización del demodulador IQ se completa la caracterización experimental de todos los componentes activos y pasivos del sistema de lectura. En el siguiente capítulo se presentará la integración completa del sistema de lectura, analizando su conexionado y funcionamiento de cara a su uso futuro en la lectura de resonadores.

Capítulo 6. Integración del sistema completo

Una vez finalizadas las etapas de diseño, simulación, fabricación y caracterización de cada uno de los bloques que componen el sistema de lectura, se procedió a la integración física del conjunto en una carcasa metálica. Este proceso incluye el ensamblaje de la PCB diseñada junto con el resto de los elementos pasivos y activos del sistema, así como el interconexión interno entre ellos, y la conexión a la fuente de alimentación. En la siguiente figura (Figura 89) se ve el diagrama de bloques final del sistema completo con los interfaces de entrada y salida para medida (Port 1, Port 2, OL, I, Q; IN y OUT). Así como los interfaces para control (CTRL1, CTRL2 y CTRL3). El dispositivo a medir se conectaría entre IN y OUT.

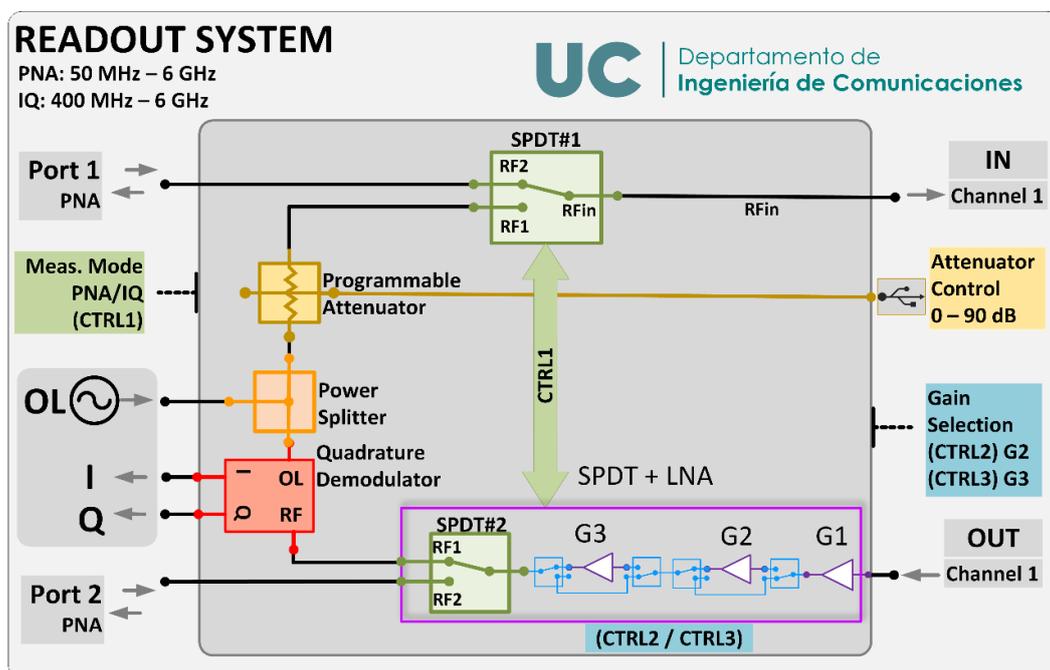


Figura 89. Diagrama de bloques del sistema completo.

El objetivo principal de esta etapa es obtener un sistema compacto, portátil y funcional, listo para ser utilizado en entornos de laboratorio para la lectura de detectores de inductancia cinética (KIDs). En este capítulo se describe el proceso de ensamblaje, los elementos mecánicos utilizados, el diseño interno del sistema y las conexiones entre bloques. Además, se presentan imágenes del sistema final montado, con el objetivo de mostrar su disposición interna y justificar las decisiones adoptadas en el diseño físico.

6.1 Ensamblaje en el chasis y conexionado

Para la integración final del sistema completo se ha utilizado una caja metálica modelo 1402FV de Hammond Manufacturing. Esta carcasa cuenta con raíles que permiten la distribución en varios niveles diferenciados, organizando los distintos módulos del sistema en función de sus necesidades de alimentación y conexión.

El nivel inferior, visible en la Figura 90, está reservado para parte de los elementos pasivos, específicamente el atenuador programable RCDAT-6000-90 y el divisor de

potencia ZN2PD2-63-S+, ya que estos componentes no requieren alimentación de corriente continua. Estos se fijan directamente sobre la base de la caja mediante tornillería y se conectan al resto del sistema por medio de cables coaxiales de RF, con conector SMA.

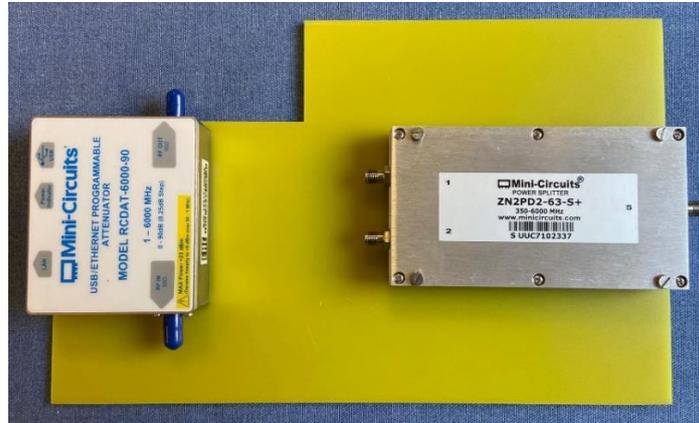


Figura 90. Nivel inferior del sistema completo integrado en el chasis.

En la Figura 91 se muestra el nivel superior, donde se encuentran elementos activos y pasivos del sistema, así como la placa de alimentación en corriente continua. En él se dispone la PCB de amplificación, el mezclador I/Q AD0460B, un conmutador SPDT ZSW2-63DR+, y una placa de alimentación auxiliar diseñada a medida. Esta última permite alimentar todos los módulos del sistema a partir de una única entrada de alimentación externa ($V_{DC} = 10\text{ V}$), simplificando la operación y reduciendo el número de cables necesarios.

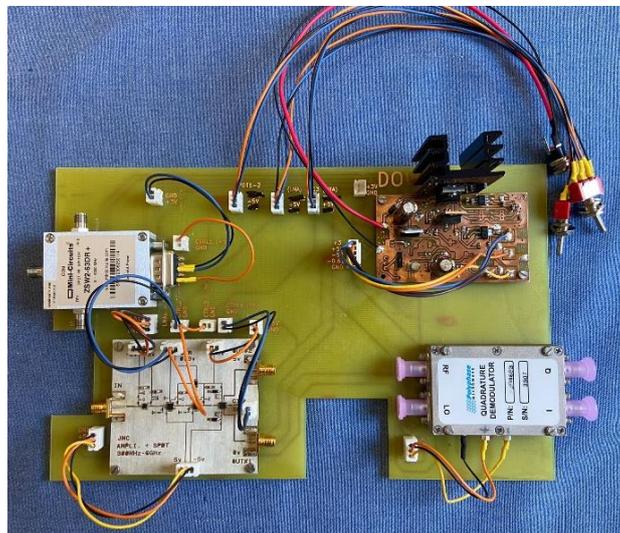


Figura 91. Nivel superior del sistema completo integrado en el chasis.

La distribución de alimentación en este nivel se realiza mediante un enrutado auxiliar que conecta eléctricamente todos los componentes activos. Este enrutado comienza en la placa de alimentación mencionada, ubicada en la esquina superior derecha del chasis (Figura 91), y distribuye las tensiones necesarias a cada componente de forma centralizada, siendo necesaria una única fuente de alimentación conectada a 10 V.

6.2 Caracterización del sistema

Una vez completado el ensamblaje interno del sistema, se procedió a su caracterización del sistema mediante el analizador vectorial de redes PNA N5227A de Keysight Technologies, cubriendo el rango de operación del sistema de 300 MHz a 6 GHz, como se hizo en anteriores ocasiones.

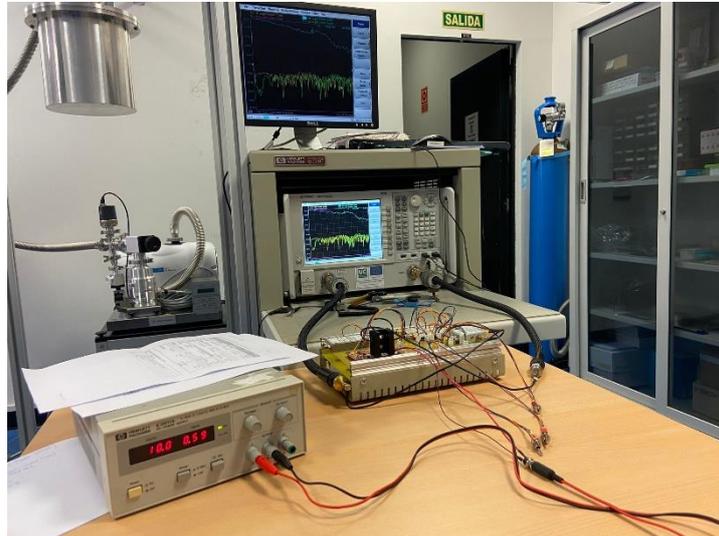


Figura 94. Medida en laboratorio del sistema completo.

Las primeras medidas se realizaron entre los puertos definidos como Port 1 (entrada) y Port 2 (salida), según la Figura 89, validando todas las condiciones de alimentación posibles (BIAS). Para ello, se estableció una conexión directa entre el puerto de entrada y el puerto de salida del sistema, es decir, los puertos IN y OUT, en los que normalmente se conectaría el dispositivo bajo prueba (DUT). Esta configuración permite evaluar la respuesta global de los módulos activos del sistema, incluyendo la etapa de amplificación y el SPDT del chasis, conmutables según el estado de los interruptores.

Se realizaron barridos de frecuencia para tres configuraciones diferentes de polarización, descritas como BIAS1, BIAS2 y BIAS3, en las que se activan progresivamente los conmutadores para incluir uno o ambos amplificadores HMC8414. Los resultados muestran que la ganancia total y las adaptaciones de entrada y salida del sistema bajo BIAS3 (todos los LNAs activos) es muy similar a la obtenida en las medidas previas de la PCB individual, lo cual valida el correcto funcionamiento de la integración (Figura 95).

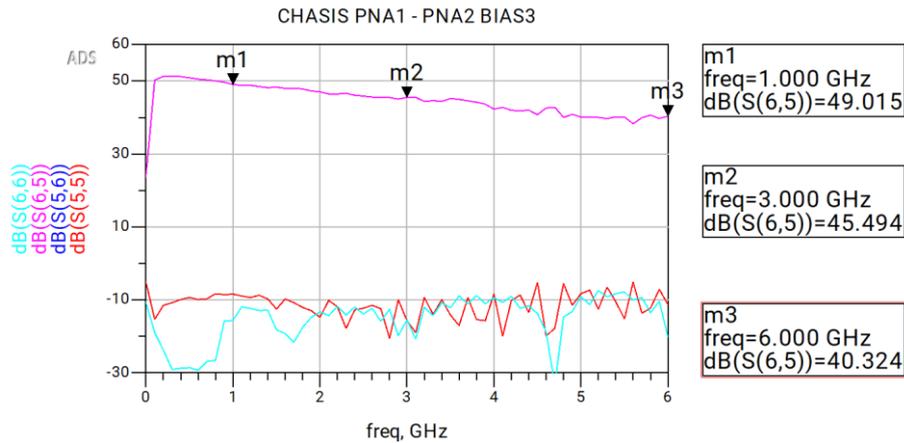


Figura 95. Parámetros S del sistema de lectura entre el puerto PNA1 y el puerto PNA2, en configuración BIAS3.

En la Figura 96 se muestra la comparación de la ganancia obtenida para las tres configuraciones de BIAS. Puede observarse un incremento progresivo con la activación de los switches, lo que demuestra que cada amplificador aporta una ganancia adicional bien definida al sistema. En todos los casos, la adaptación de impedancia se mantiene dentro de márgenes aceptables, siendo muy similar a la observada en la configuración BIAS3 de la Figura 95.

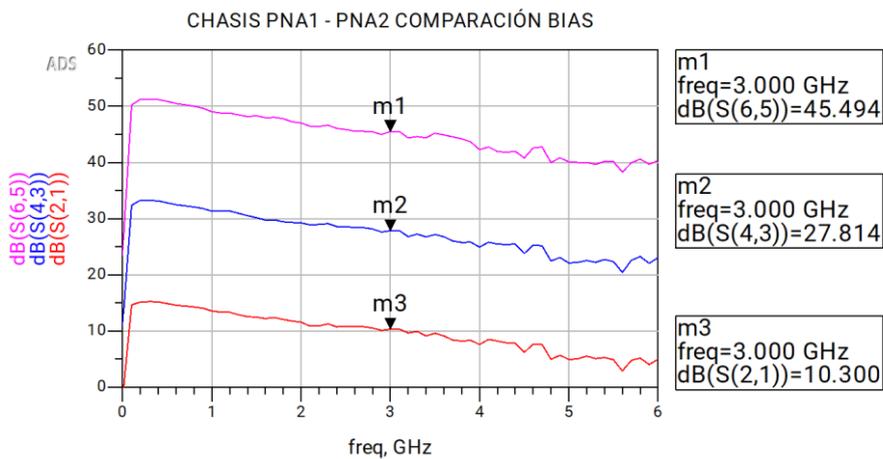


Figura 96. Comparación del parámetro S21 del sistema de lectura entre el puerto PNA1 y el puerto PNA2, entre BIAS1 (roja), BIAS2 (azul) y BIAS3 (morada).

Además, se llevó a cabo una serie de medidas entre los puertos OL e IN, de modo que la señal recorre el divisor de potencia, el atenuador programable y el SPDT del chasis, excluyendo la etapa de amplificación. Esto permite analizar las pérdidas introducidas por los componentes pasivos del sistema. En estas medidas, se configuró el atenuador con valores programados de 0, 5 y 10 dB, observándose un incremento lineal con respecto al valor de atenuación seleccionado, como se puede observar en la Figura 97. Los resultados son coherentes tanto con las especificaciones del fabricante como con los parámetros obtenidos en las medidas individuales del Capítulo 5. Caracterización experimental.

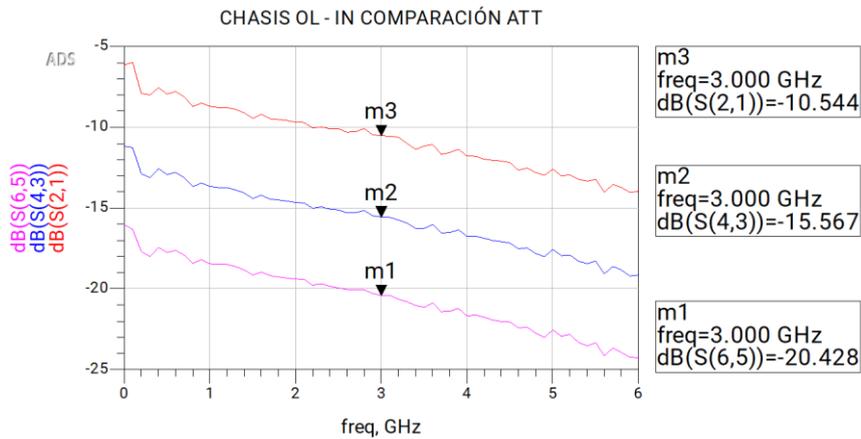


Figura 97. Comparación del parámetro S21 del sistema de lectura entre el puerto OL y el puerto IN, para distintos niveles de atenuación.

Se registraron los consumos del sistema para cada configuración de BIAS. En la Tabla 7 se recogen los valores de tensión (V_{DD}), corriente (I_{DD}) y estado de los interruptores, tanto de los amplificadores HMC8414 como de los SPDTs el integrado en la etapa de amplificación y el de chasis, junto con el modo de funcionamiento asociado.

	V_{DD}	I_{DD}	SWITCHs HMC8414	SWITCHs SPDT
Bias1	10 V	448 mA	OFF – OFF	PNA Mode
Bias2	10 V	523 mA	ON – OFF	PNA Mode
Bias3	10 V	593 mA	ON – ON	PNA Mode
Bias3 - ISO	10 V	593 mA	ON – ON	IQ Mode

Tabla 7. Consumo eléctrico del sistema para distintas configuraciones de polarización.

Por último, se realizó una medida de las señales en cuadratura (I/Q) con el objetivo de analizar la diferencia de amplitud y fase entre ambos canales a la salida del mezclador. Para ello, se utilizó el generador de señal Agilent Technologies E8257D, con el que se llevó a cabo un barrido en frecuencia desde 0.5 GHz hasta 6 GHz con una potencia constante de 0 dBm. La señal se introdujo por el puerto OL, pasando por el divisor de potencia (Power Splitter en Figura 89), entrando al atenuador programable, el SPDT del chasis y la etapa de amplificación desde una de sus salidas, mientras que la segunda directamente al acceso OL del mezclador I/Q.

Los niveles de tensión de las señales I y Q se midieron con el osciloscopio digital Rohde & Schwarz RTA4004, permitiendo extraer las diferencias relativas en magnitud y desfase entre las entradas de OL y RF en demodulador I/Q. La Figura 98 muestra la evolución de la diferencia de amplitud y fase entre los canales I y Q en función de la frecuencia (barrido de 500 MHz a 6 GHz), con el atenuador programado en 0 dB, y la etapa de amplificación es configuración BIAS1, lo cual permite evaluar la calidad de la demodulación en todo el ancho de banda del sistema.



Figura 98. Diferencia de amplitud y fase entre los canales I y Q a la salida del mezclador en función de la frecuencia.

Capítulo 7. Conclusiones y líneas futuras

El presente Trabajo Fin de Grado ha tenido como objetivo el diseño, desarrollo e integración de un sistema de lectura de 300 MHz a 6 GHz orientado a la caracterización de detectores de Inductancia Cinética (KIDs). A lo largo del proyecto se han abordado todas las etapas necesarias para su implementación, desde la selección y simulación de componentes activos y pasivos hasta su integración final en un sistema funcional y compacto.

Durante la fase inicial se diseñó y simuló la cadena de amplificación optimizada mediante la herramienta ADS, en la que se tuvo en cuenta tanto el nivel de ganancia como la adaptación de impedancias. A partir de estos resultados se desarrolló una PCB con tecnología de microondas, fabricada en sustrato Rogers RO4350B, que integra un amplificador de bajo ruido, modelo HMC8410 de Analog Devices y dos amplificadores modelo HMC8414, también de Analog Devices, un SPDT a la salida y líneas de control para su operación.

Tras una primera versión de la PCB de amplificación que presentó algunos problemas de funcionamiento experimental, se realizó una segunda revisión con múltiples mejoras en el enrutado, la distribución de tensiones y la conexión a tierra, permitiendo así una caracterización completa y satisfactoria de la placa. Posteriormente se integraron en el sistema final los diferentes módulos activos y pasivos (mezclador I/Q, atenuador programable, divisor de potencia, SPDT externo), ensamblados en un chasis metálico con doble nivel y distribución de alimentación centralizada.

Las medidas de caracterización realizadas con el analizador vectorial de redes PNA, junto con otras pruebas complementarias, han demostrado que el sistema se comporta de forma coherente con las simulaciones iniciales y con los valores esperados de ganancia, y funcionamiento de la conmutación para los distintos caminos para la señal. Adicionalmente, se ha validado el funcionamiento del mezclador I/Q a lo largo de todo el rango de frecuencias mediante medidas de las señales de amplitud (I) y cuadratura (Q) en sus salidas.

Desde un punto de vista más personal, este trabajo ha representado un reto completo que me ha permitido aplicar y ampliar mis conocimientos en microondas, diseño de circuitos de RF y caracterización experimental. La progresiva evolución del proyecto, desde un esquema teórico hasta un sistema físico operativo, ha sido especialmente gratificante. Poder ver y medir el sistema completamente ensamblado ha sido sin duda una de las partes más satisfactorias de toda la carrera.

Líneas futuras

Aunque el sistema actual ya permite realizar medidas fiables y reproducibles, quedan todavía varias posibilidades de mejora y extensión que podrían explorarse en el futuro:

- Finalización mecánica: cerrar los paneles frontales del chasis con tapas mecanizadas y fijadas adecuadamente, lo que aportaría robustez mecánica y mayor facilidad en su uso. También permitiría obtener una estética más profesional del sistema, véase Figura 99.

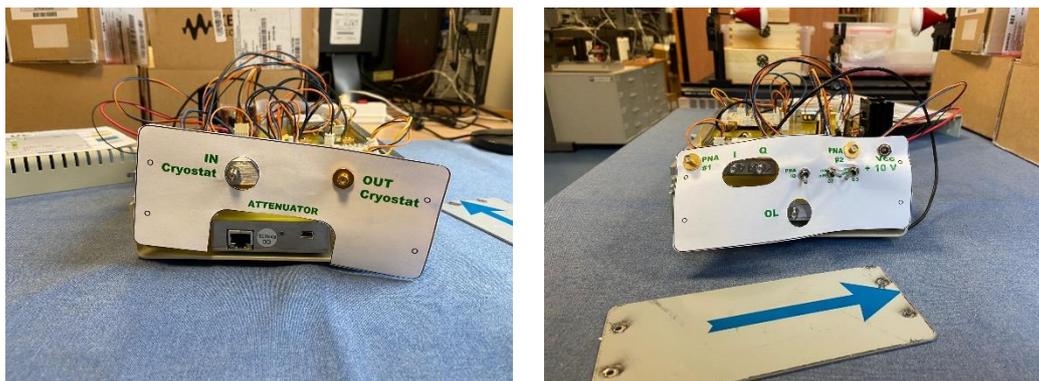


Figura 99. Concepto de tapas lateral del chasis.

- Medidas con detectores KID reales: aplicar el sistema en condiciones reales de laboratorio para la lectura de detectores de inductancia cinética en entorno criogénico. Esta validación permitiría valorar de forma práctica el rendimiento del sistema y su utilidad en contextos científicos reales.
- Comercialización del sistema: dada su modularidad, robustez y facilidad de uso, sería interesante explorar la posibilidad de desarrollar una versión preensamblada del sistema orientada a laboratorios de caracterización, especialmente si se integran mejoras como el control digital o la lectura multicanal.

Bibliografía

- [1] L. Foote *et al.*, ‘High-Sensitivity Kinetic Inductance Detector Arrays for the PRobe Far-Infrared Mission for Astrophysics’, *J Low Temp Phys*, vol. 214, no. 3–4, pp. 219–229, Feb. 2024, doi: 10.1007/s10909-023-03041-6.
- [2] Á. Fernández Pérez, ‘Detectores basados en inductancia cinética para la medida de la polarización del fondo cósmico de microondas’, Oct. 2019, Accessed: Apr. 24, 2025. [Online]. Available: <https://repositorio.unican.es/xmlui/handle/10902/17107>
- [3] J. Van Rantwijk, M. Grim, D. Van Loon, S. Yates, A. Baryshev, and J. Baselmans, ‘Multiplexed Readout for 1000-Pixel Arrays of Microwave Kinetic Inductance Detectors’, *IEEE Trans Microw Theory Tech*, vol. 64, no. 6, pp. 1876–1883, Jun. 2016, doi: 10.1109/TMTT.2016.2544303.
- [4] J. Miranda and M. Sierra, ‘Ingeniería de microondas’, p. 365, 2009.
- [5] N. López Herrera, ‘Amplificadores de bajo ruido criogénicos hasta 3 GHz en tecnología MIC’, Sep. 2022, Accessed: Apr. 24, 2025. [Online]. Available: <https://repositorio.unican.es/xmlui/handle/10902/26134>
- [6] D. M. Pozar, *Microwave Engineering*, 4th ed. 2011. Accessed: Apr. 24, 2025. [Online]. Available: <https://alunoeletrica.eng.ufba.br/material/eletromagnetismoaplicado/livros/pozar.pdf>
- [7] G. Gonzalez, ‘Microwave transistor amplifiers: analysis and design’, 1997, Accessed: Apr. 24, 2025. [Online]. Available: <https://repositories.nust.edu.pk/xmlui/bitstream/handle/123456789/11261/EB-1784%20%20Microwave%20Transistor%20Amplifiers%20Analysis%20and%20Design%20by%20%20Guillermo%20Gonzalez%20%202nd%20Edition%20-%20Solution%20Manual.pdf?sequence=1&isAllowed=y>
- [8] ‘(PDF) Bruno TARANTO - Gain Compression (1-dB) & Intermodulation Distortion (IMD)’. Accessed: Apr. 24, 2025. [Online]. Available: https://www.researchgate.net/publication/341479960_Bruno_TARANTO_-_Gain_Compression_1-dB_Intermodulation_Distortion_IMD
- [9] ‘What are IQ Mixers? - everything RF’. Accessed: Apr. 24, 2025. [Online]. Available: <https://www.everythingrf.com/community/what-are-iq-mixers>
- [10] ‘MMIQ-30120HM_GaAs MMIC mmWave Differential IF IQ Mixer’. Accessed: Apr. 24, 2025. [Online]. Available: <https://markimicrowave.com/products/connectorized/iq-mixers/mmiq-30120hm/datasheet/>
- [11] P. K. Day, H. G. LeDuc, B. A. Mazin, A. Vayonakis, and J. Zmuidzinas, ‘A broadband superconducting detector suitable for use in large arrays’, *Nature*, vol. 425, no. 6960, pp. 817–821, Oct. 2003, doi: 10.1038/NATURE02037;KWRD=SCIENCE.

- [12] ‘Monolithic Amplifier PMA-5452+’, Accessed: May 05, 2025. [Online]. Available: www.minicircuits.com
- [13] A. Devices, ‘HMC-ALH444-DIE (v04.0417)’, Accessed: May 05, 2025. [Online]. Available: www.analog.com
- [14] ‘ADL8122 Datasheet and Product Info | Analog Devices’. Accessed: May 05, 2025. [Online]. Available: <https://www.analog.com/en/products/adl8122.html>
- [15] ‘HMC8410LP2FE Datasheet and Product Info | Analog Devices’. Accessed: May 05, 2025. [Online]. Available: <https://www.analog.com/en/products/hmc8410lp2fe.html>
- [16] ‘HMC8414 Datasheet and Product Info | Analog Devices’. Accessed: May 05, 2025. [Online]. Available: <https://www.analog.com/en/products/hmc8414.html>
- [17] ‘SPDT RF Switch’, Accessed: May 05, 2025. [Online]. Available: www.minicircuits.com
- [18] ‘RO4350B™ Laminates’. Accessed: May 06, 2025. [Online]. Available: <https://rogerscorp.com/advanced-electronics-solutions/ro4000-series-laminates/ro4350b-laminates>
- [19] ‘ZN2PD2-63-S+ Mini-Circuits | Mouser España’. Accessed: May 28, 2025. [Online]. Available: https://www.mouser.es/ProductDetail/Mini-Circuits/ZN2PD2-63-S%2B?qs=QNEbhJQKvYFCg66HDAQCw%3D%3D&srsltid=AfmBOorqSY0ZhOBwZvRkyOSbrtmoRWKiKuWNE_Tm6WGq0ouJtaSnPaon
- [20] U. / Ethernet, ‘Programmable Attenuator RCDAT-6000-90 www.minicircuits’, Accessed: May 28, 2025. [Online]. Available: www.minicircuits.com
- [21] ‘Mini-Circuits ® www.minicircuits.com SPDT RF Switch ZSW2-63DR+’, Accessed: May 28, 2025. [Online]. Available: www.minicircuits.com
- [22] ‘AD0460B QUADRATURE DEMODULATOR 400-6000 MHZ’.