

TÉCNICA DE MEJORA DE LA LINEALIDAD PARA AMPLIFICADORES EN TECNOLOGÍA FET DE DOBLE PUERTA

Pelayo Pando

José A. García

Departamento de Ingeniería de Comunicaciones
Universidad de Cantabria
e-mail : joseangel.garcia@unican.es

Abstract - In this paper, a novel bias control technique is proposed for obtaining a linear response in class C amplifiers based on Dual Gate FET technology. An illustrative DGFET transistor has been characterized in terms of its intermodulation distortion (IMD) behaviour versus input power, paying particular attention to the evolution of the gate-to-source voltage where the sweet-spot appears. Using this technique, an amplifier has been designed, being the sweet-spot controlled over an 8 dB input power range, allowing a maximum gain variation of 1 dB. Finally, experimental results of this sweet-spot enhancement are shown, either using the classical two-tone excitation or a real QPSK modulated signal.

I. INTRODUCCIÓN

En los sistemas de comunicación modernos, donde la complejidad de las modulaciones digitales empleadas y de las señales transmitidas aumenta día a día, la importancia de conseguir una mejora en la linealidad crece a un ritmo similar. Los amplificadores de potencia concentran un alto porcentaje del consumo de corriente continua en un sistema, por lo que gran parte del esfuerzo de mejora se centra en encontrar soluciones a su relación linealidad – eficiencia.

Para resolver este problema, se han propuesto diferentes técnicas [1]. Sin embargo, la mayoría requieren una implementación extremadamente compleja y no son apropiadas para aplicaciones sencillas y de bajo coste.

En los últimos años, las soluciones a nivel de dispositivo se están consolidando como una prometedora alternativa [2], gracias a los avances que se han producido recientemente en el control de la distorsión de intermodulación (IMD) de los dispositivos [3]. Dentro de estas técnicas, el uso de los sweet – spots de gran señal está demandando una atención especial.

En este artículo, se presenta una topología de adaptación de la polarización para lograr una mejora de la linealidad en un transistor de efecto de campo de doble puerta (DGFET) haciendo uso de los sweet – spots de gran señal. Las tensiones puerta – fuente son modificadas en función del nivel de la excitación, para forzar al amplificador a seguir el comportamiento del sweet – spot con ganancia constante.

En el siguiente apartado, se presentan los resultados de una caracterización detallada del dispositivo. A continuación, se propone una arquitectura sencilla para el control de la polarización. Finalmente, se presentan los resultados de las medidas realizadas para el amplificador diseñado, teniendo como entrada una señal compuesta por dos tonos frecuenciales en un caso y una señal modulada digitalmente en el otro.

II. COMPORTAMIENTO EN IMD DE UN DUAL – GATE FET

El comportamiento en intermodulación de gran señal ha sido estudiado recientemente para distintas familias de transistores [4]. Sin embargo, los transistores FET de doble puerta aún no han sido considerados en este particular desempeño.

Aunque dicha familia de dispositivos no se utiliza extensamente en la implementación de amplificadores de alta potencia, debido fundamentalmente a las restricciones existentes en los transistores disponibles, ellos sí encuentran empleo muy comúnmente en transceptores de radiofrecuencia de bajo coste [5]. En esas aplicaciones concretas, las posibilidades que brindan los sweet – spots pueden ser muy interesantes.

Un transistor FET de doble puerta típico, de la firma NEC, concretamente el modelo NE25118, ha sido caracterizado en función del comportamiento en IMD y ganancia, usando el experimento clásico con una señal de dos tonos. Especial atención se ha prestado a la evolución del sweet – spot con la tensión en ambas puertas, V_{GS1} y V_{GS2} , así como con la potencia de entrada, P_{in} .

En la Fig. 1 se muestran los resultados de esta evolución, junto al comportamiento de las curvas de ganancia, para dos valores extremos de la tensión de V_{GS2} . El mínimo de potencia de IMD presenta, para cada uno de estos valores, el típico comportamiento previamente observado en transistores de la familia FET, con dos regímenes de operación perfectamente definidos.

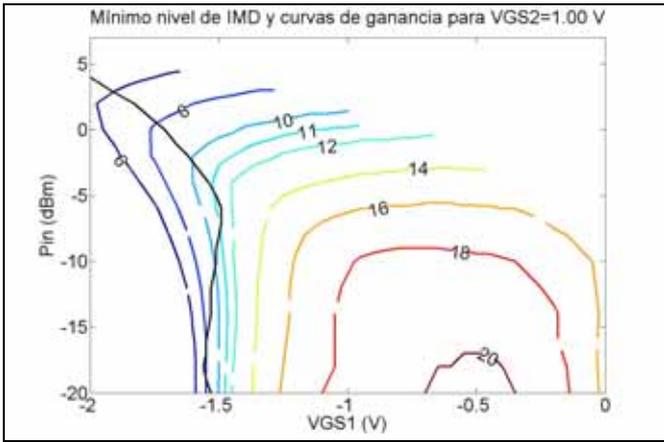
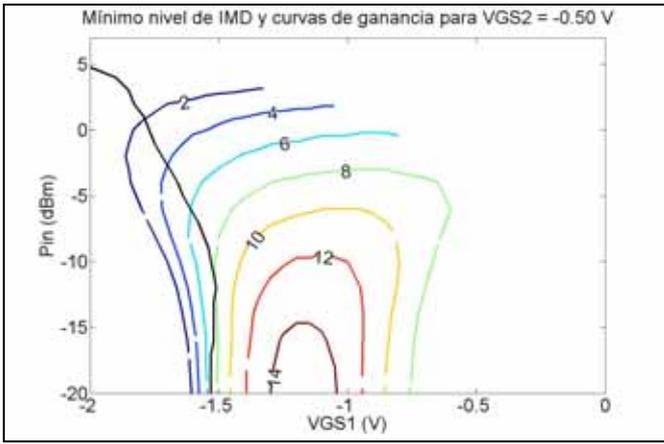


Fig. 1. Evolución del mínimo de la distorsión de intermodulación y de las curvas de ganancia con V_{GS1} y P_m para distintos valores de V_{GS2} .

En régimen de pequeña señal, la posición del mínimo es aproximadamente constante, coincidente con el nulo en la tercera derivada $G_3 = 1/6 \cdot \partial^3 G / \partial V_{in}^3$. En régimen de gran señal, sin embargo, la posición de este mínimo se desplaza hacia valores inferiores con el incremento de la potencia de entrada. Variando simultáneamente los valores de las tensiones de control, V_{GS1} y V_{GS2} , se puede mantener la ganancia del transistor en un determinado valor, por ejemplo 8 dB, para diferentes niveles de la señal de entrada y siempre con un valor mínimo en la respuesta de IMD.

Parece posible entonces mover la posición del sweet-spot, asegurando un valor de ganancia constante, siempre y cuando sea posible realizar una implementación que permita el ajuste automático de las tensiones de control con el nivel de la excitación.

III. UNA TÉCNICA SENCILLA Y DE BAJO COSTE PARA MEJORAR LA LINEALIDAD

En un artículo reciente [6], los autores propusieron la utilización de una resistencia en la rama de polarización para ajustar la tensión V_{GS} con la potencia de entrada, gracias a la aparición de una corriente de continua para valores de potencia elevados asociada a la rectificación de la unión de puerta.

Este mismo efecto puede ser utilizado para el control deseado de la tensión V_{GS1} , a través de la inserción de una

resistencia de valor adecuado, R_{G1} , en la rama de polarización de la primera puerta, que consiga una disminución del valor de la tensión en dicho terminal en función del incremento de la potencia de entrada.

Considerando que la característica de la unión Schottky de entrada se puede aproximar linealmente a tramos [6], que la tensión intrínseca de la unión es V_{bi} y su conductancia dinámica G_{gs1} , al excitar con una señal $v_{GS1}(t)$ de dos tonos:

$$v_{GS1}(t) = V_{gs1} \cdot \cos(\omega_1 t) + V_{gs1} \cdot \cos(\omega_2 t) + V_{GS1} \quad (1)$$

la corriente de polarización de puerta I_{G1} puede expresarse tal y como se muestra en (2).

$$I_{G1} = \frac{4}{\pi^2} \cdot G_{gs1} \cdot \frac{(\sin \theta - \theta \cdot \cos \theta)^2}{1 - \cos \theta} \cdot V_{gs1} \quad (2)$$

siendo

$$\theta \equiv \cos^{-1} \left(\frac{V_{bi} - V_{GS1}}{V_{gs1}} \right) \quad \text{y} \quad V_{gs1} = \sqrt{8 \cdot R_S \cdot P_{in}} \quad (3)$$

La corriente de rectificación de puerta depende de la amplitud de la tensión de excitación en la puerta 1, V_{gs1} , y por tanto también de la potencia de entrada P_{in} , de ahí que pueda emplearse para el control dinámico de la polarización de dicha puerta,

$$V_{GS1}(P_{in}) = V_{GG1} - I_{G1}(P_{in}) \cdot R_{G1} \quad (4)$$

Al disminuir V_{GS1} la ganancia también disminuye, y con ello la eficiencia de potencia añadida. Esta es una de las desventajas de la técnica propuesta en [6]. En transistores DGFET, este problema puede ser corregido, si se implementase esta solución simple conjuntamente con otro elemento que permitiese variar otra de las polarizaciones, V_{GS2} ó V_{DS} . La primera variante sería preferible, dado que el dispositivo no consume corriente por dicho terminal. El efecto buscado ha de ser el contrario, es decir, el valor de V_{GS2} se ha de incrementar con la potencia de entrada.

A pesar de que no existe una corriente de continua por la segunda puerta, se puede conseguir utilizar la variación de la corriente por la primera. La inclusión de un FET en la rama de polarización de la puerta 2, permitiría lograr dicho comportamiento, ver Fig. 2.

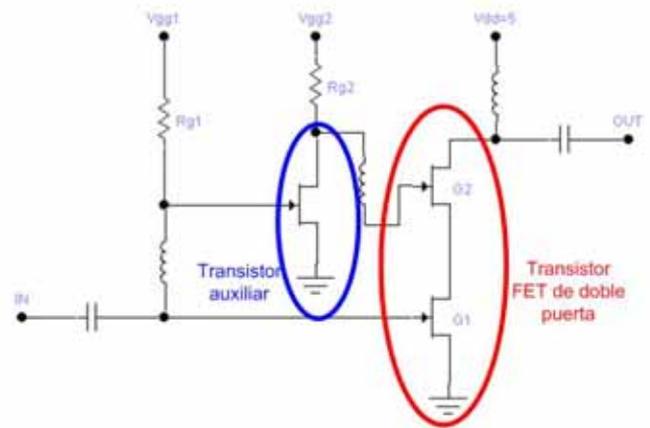


Fig. 2. Esquema del circuito implementado para la técnica de linealización.

El funcionamiento del circuito es muy sencillo. En régimen de pequeña señal no existe la corriente de continua por la primera puerta, y el FET auxiliar se encuentra en conducción, siendo $V_{GS2} = V_{GS2min} = 0 V$. En régimen de gran señal, la corriente de continua resultante de la rectificación en la primera puerta aumenta, y el FET auxiliar conmuta a corte, siendo por tanto su impedancia $R_{FET} \gg R_{G2}$, y con ello, $V_{GS2} = V_{GS2max} = 1 V$. Es de destacar el carácter bipolar de esta tensión, teniendo valores distintos para el régimen de pequeña y de gran señal. Este efecto de conmutación y la variación, anteriormente explicada, en la tensión V_{GS1} permitirían que la mejora de la linealidad sea posible.

Tal y como se ha descrito, esta topología de control es una solución sencilla y, lo que es más importante, capaz de integrarse de forma completa en un solo chip.

IV. AMPLIFICADOR DUAL – GATE CON LINEALIDAD MEJORADA

Usando la técnica propuesta se ha diseñado un amplificador en la banda de $900 MHz$. El diseño incluye una red con elementos concentrados para corregir algunos problemas de adaptación que presentaba el transistor. El circuito ha sido implementado según se puede apreciar en la Fig. 3.

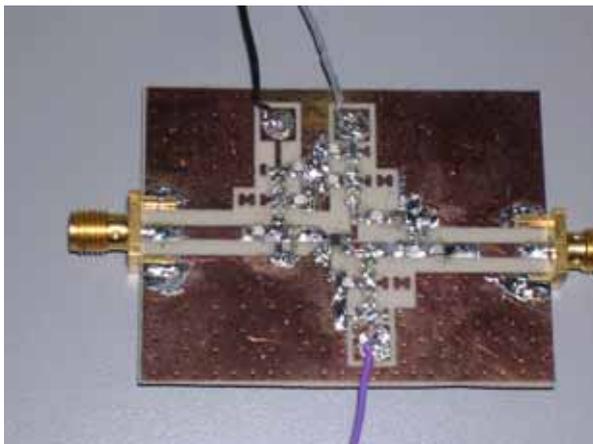


Fig. 3. Fotografía del amplificador implementado físicamente.

El amplificador se excitó con una señal de entrada compuesta por dos tonos, de frecuencias 900 y $900.5 MHz$.

Los valores medidos de ganancia así como de la evolución de la potencia de las componentes de tercer orden en banda, se pueden observar en la gráfica de la Fig. 4. Esta figura está compuesta por dos curvas distintas. La curva de color azul representa el comportamiento del amplificador sin implementar la técnica de mejora de la linealidad, mientras que la curva de color rojo representa el comportamiento del amplificador con el circuito de adaptación de la polarización.

Como se puede apreciar, el principal efecto producido es un gran ensanchamiento del sweet – spot, y por tanto una importante reducción del nivel de potencia de IMD, ligeramente superior a $10 dB$ para el caso de $P_{in} = -2 dBm$.

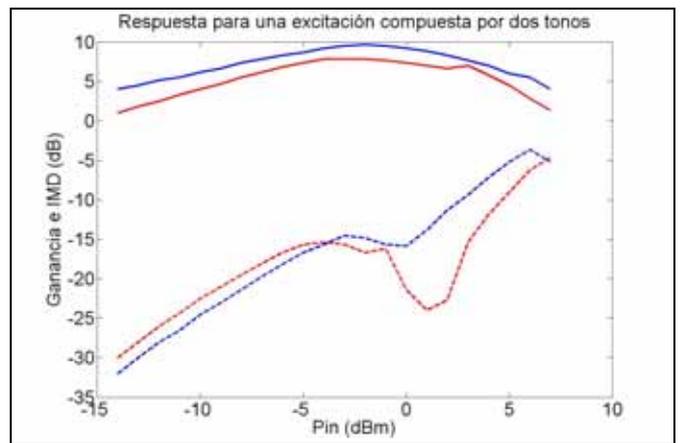


Fig. 4. Comparación entre la respuesta con y sin la implementación de la técnica desarrollada para una excitación con dos tonos.

Además, la ganancia tiene un valor aproximadamente constante en torno a $7.5 dB$, con un rizado inferior a $1 dB$ en un rango de potencias de entrada desde -4 hasta $4 dBm$. Estas dos figuras de mérito son las que se han considerado para evaluar la mejora proporcionada por la técnica implementada.

Finalmente, y para verificar definitivamente la mejora en la linealidad de esta sencilla solución, el circuito ha sido excitado con una señal real. Concretamente se ha utilizado una señal modulada QPSK y convenientemente filtrada, para aproximarse al efecto que se lograría al introducir al sistema señales moduladas reales. En la Fig. 5 se pueden ver los resultados obtenidos bajo estas condiciones.

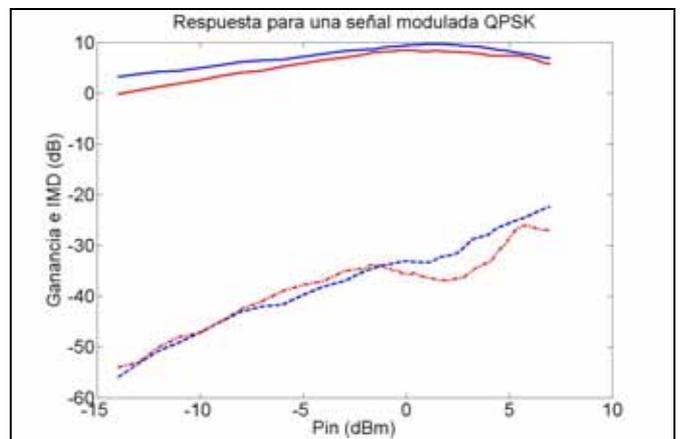


Fig. 5. Comparación entre la respuesta con y sin la implementación de la técnica desarrollada para una señal QPSK.

En esta figura, el efecto observado es muy similar al anterior. Además, existen algunas mejoras con respecto al caso clásico de la señal de dos tonos. La ganancia es ligeramente superior, en torno a $8 dB$, y con un rizado similar, también inferior a $1 dB$ para un rango de potencias de entrada de aproximadamente $8 dB$. También se observa el gran ensanchamiento del sweet – spot y la reducción de la potencia de IMD, por ejemplo superior a $10 dB$ para un nivel de potencia de entrada de $0 dBm$.

V. CONCLUSIONES

En el presente artículo se ha presentado una técnica simple para la adaptación de la polarización en un amplificador DGFET, demostrado su utilidad para producir una mejora de la linealidad, mediante el ensanchamiento del sweet – spot de gran señal y el mantenimiento de una ganancia aproximadamente constante. Este comportamiento ha sido verificado bajo diferentes condiciones de excitación, una señal compuesta por dos tonos y una señal modulada QPSK. Esta solución, por tanto, ofrece una alternativa muy simple y de bajo coste para crear sweet – spots de intermodulación menos sensibles a las variaciones de nivel de la potencia de entrada.

AGRADECIMIENTOS

Este trabajo ha estado subvencionado por el Ministerio de Ciencia y Tecnología (MCyT) y la Comisión Europea a través del proyecto TIC2002-04084-C03-03 y de la Red de Excelencia TARGET respectivamente. J. A. García agradece además al Programa Ramón y Cajal del mencionado Ministerio.

REFERENCIAS

- [1] P. B. Kenington, *High-Linearity RF Amplifier Design*, Norwood, England: Artech – House, 2000
- [2] J. A. García, E. Malaver, L. Cabria, C. Gómez, A. Mediavilla, and A. Tazón, “Device-level Intermodulation Distortion Control on III-V FET’s,” *11th European GaAs and other Semiconductor Application Symp. Digest*, Munich, 2003.
- [3] J. C. Pedro and N. B. Carvalho, *Intermodulation Distortion in Microwave and Wireless Circuits*, Artech House, Norwood: MA, 2003.
- [4] P. M. Cabral, N. Borges, and J. C. Pedro, “An Integrated View of Nonlinear Distortion Phenomena in Various Power Amplifier Technologies,” *11th European GaAs and other Semiconductor Application Symp. Digest*, Munich, 2003.
- [5] P. Saunier, H. Q. Tserng, B. Kim, and G. H. Westphal, “Monolithic GaAs Dual-Gate Variable Power Amplifier Module,” *Microwave and Millimeter-Wave Monolithics Circuits*, vol. 86, issue 1, pp. 1-3, June 1985.
- [6] C. Gómez, J. A. García and J. C. Pedro, “IMD Sweet-spot Control on Junction FET Devices using a Gate Bias Resistor”, *34th European Microwave Conf. Proceedings*, Amsterdam, 2004.