

# VCO CMOS de bajo ruido a 10 GHz en Tecnología SiGe de $0.4\mu\text{m}$

Ernesto Pérez Serna<sup>(1)</sup>, Amparo Herrera Guardado<sup>(1)</sup>

ernesto@dicom.unican.es, amparo@dicom.unican.es

<sup>(1)</sup>Departamento de Ingeniería de Comunicaciones. Universidad de Cantabria.  
E.T.S.I.I.T - Avda. de los Castros s/n. CP.39005 Santander (Cantabria)

**Abstract-** A 10 GHz CMOS VCO design in  $0.4\mu\text{m}$  SiGe technology is presented in this paper, providing a good compromise between power consumption, noise, tuning range and chip area. This design is intended to be used in a frequency synthesizer for the 5150-5250MHz band in a direct conversion system in which would run at double frequency to avoid adverse effects such as frequency pulling and LO leakage. The phase noise at 1-MHz frequency offset from the carrier is below  $-109\text{dBc/Hz}$ , with a maximum power consumption of 22.6mW. The tuning range under the presented load conditions is about 6.3%, and the VCO itself occupies an area of only  $0.075\text{mm}^2$ .

## I. INTRODUCCIÓN

En la actualidad hay una tendencia cada vez mayor de conseguir la máxima integración en los sistemas de comunicaciones. Uno de los puntos en los que se está poniendo especial énfasis es en el desarrollo de osciladores completamente integrados, en los que la estructura resonante se incluye dentro del propio chip.

En este contexto se sitúa nuestro diseño, con el que se presenta un VCO a 10 GHz de consumo y ruido de fase bajos en una superficie muy ajustada. La intención es utilizar este oscilador en un PLO para un receptor por conversión directa en la banda de 5150-5250 MHz, en el cual el VCO habrá de oscilar al doble de frecuencia que la portadora.

## II. DISEÑO

### A. Topología

En la Fig. 1 se muestra la topología utilizada para el VCO. Los dos pares NMOS-PMOS proporcionan la resistencia negativa, mientras que la inductancia hace la resonancia con las capacidades que se presentan entre sus dos extremos y tierra (fundamentalmente el efecto conjunto de los varactores, las puertas de los transistores y la carga).

Esta configuración carece de fuente de corriente, lo que hace que el punto de trabajo venga dado exclusivamente por las dimensiones relativas de los transistores N y P. Frente a otras topologías de pares MOS cruzados ésta utiliza solamente una inductancia, reduciendo en gran parte la superficie del circuito.

Aunque el proceso tecnológico utilizado (CDR1BiCMOS de Freescale) incluye transistores bipolares, carece de los complementarios PNP. El uso de MOS permite además un diseño más ágil en los ajustes de la banda de oscilación, al estar perfectamente caracterizada la relación geometría-capacidad de entrada. Finalmente, la topología elegida no necesita de una red de polarización, lo que compacta y simplifica el circuito.

La alimentación es de 2.5 voltios, estándar para dicho proceso.

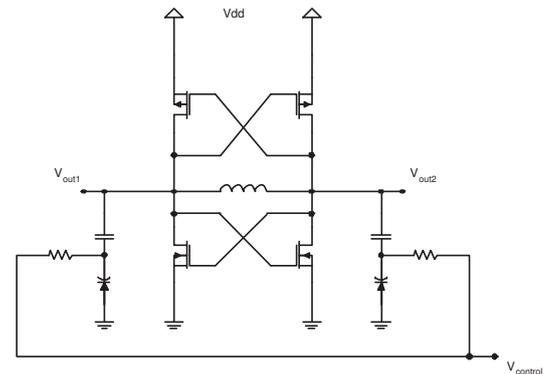


Fig. 1. Esquema del VCO

### B. Varactores e inductor

Como es habitual en estas tecnologías, tanto los varactores como las inductancias presentan un rendimiento muy pobre a estas frecuencias. El caso de los varactores es especialmente importante ya que el rango de sintonía en un VCO LC viene dado por el tamaño de éstos; su capacidad ha de ser lo suficientemente significativa en la resonancia como para que ésta varíe fuertemente al modificar la tensión de control, y como es sabido aumentar su tamaño disminuye el factor de calidad, lo que a su vez degrada el ruido de fase. Esta limitación en la capacidad requiere ajustar el rango de sintonía a los requerimientos del sistema y a las tolerancias de fabricación.

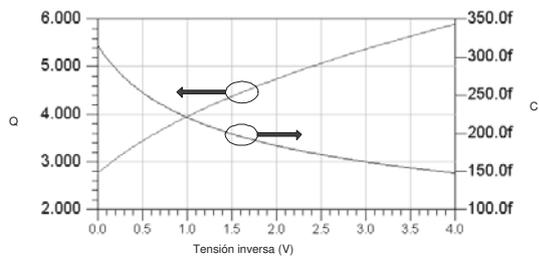
Las inductancias espirales que se pueden utilizar a estas frecuencias han de tener forzosamente un número reducido de vueltas, para poder trabajar lejos de su frecuencia de resonancia propia, lo que también limita el rango de valores prácticos disponibles.

En este caso los varactores utilizados presentan un Q inferior a 5.5, con una capacidad nominal de 290fF -Fig. 2(a)-. La inductancia, de unos 0.57nH, tiene un Q de 8.3 a 10 GHz -Fig. 2(b)-.

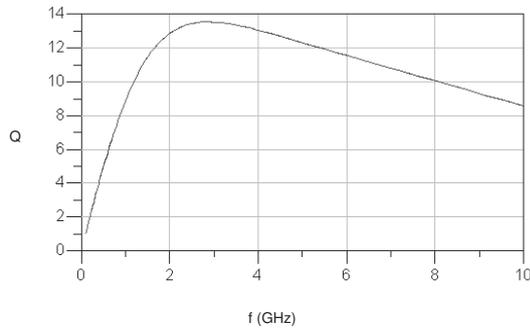
### C. Buffers de salida

Los osciladores de pares de transistores cruzados como el presentado requieren cargas de impedancia alta para funcionar correctamente, por lo que con frecuencia se cargan con etapas intermedias MOS debidamente adaptadas; como su impedancia de entrada es fundamentalmente capacitiva, ésta debe ser tenida en cuenta en el proceso de diseño del VCO especialmente en lo que respecta a la frecuencia de oscilación.

El buffer aquí utilizado para cargar cada una de las salidas es un simple PMOS de  $6\times 4\mu\text{m}$  en drenador abierto (Fig. 3),



(a) Factor Q y capacidad del varactor  $10 \times 12 \mu\text{m}$  ( $f=10\text{GHz}$ )



(b) Factor Q de la inductancia de  $0.57\text{nH}$

Fig. 2. Características de los elementos del circuito resonante

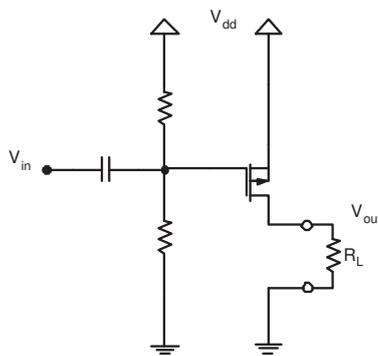


Fig. 3. Esquema del buffer de salida

contemplado únicamente para propósitos de medida. El VCO está pensado para ser integrado en un sistema cuya carga es un divisor de frecuencia que presenta una capacidad de entrada inferior, por lo que tanto la frecuencia de oscilación como el rango de sintonía de este circuito serán algo inferiores a los del diseño final.

#### D. Layout

En el layout (Fig. 4) se ha puesto especial cuidado en conseguir la máxima simetría (rota únicamente en los obligados cruces entre los transistores), a fin de minimizar el ruido de fase.

Para reducir el efecto de acoplos no deseados por la alimentación (a los cuales este diseño es vulnerable al no estar polarizado por fuente de corriente) se han añadido condensadores de filtrado en el propio integrado, sin apenas impacto en la superficie total del circuito.

La señal se ha llevado a los pads de salida mediante líneas microstrip de  $50\Omega$ , empleando el nivel de metalización más bajo como plano de masa.

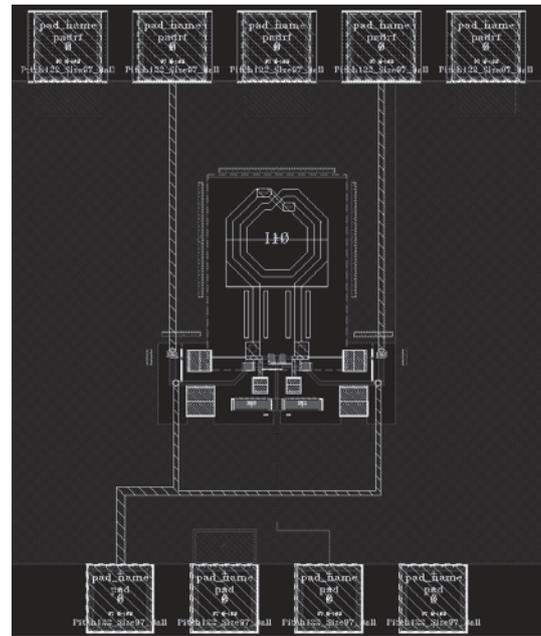


Fig. 4. Layout del circuito completo

El VCO por sí solo ocupa un área aproximada de  $200\mu\text{m} \times 375\mu\text{m}$ .

### III. SIMULACIÓN

El circuito completo se ha simulado con la correspondiente extracción de parásitos del layout, a excepción de las líneas de salida, para las que se ha utilizado un modelo de línea de transmisión (más apropiado para sus dimensiones eléctricas, reducidas pero significativas), adaptando así a  $50\Omega$ .

Según el simulador utilizado, Agilent RFDE, el circuito diseñado cubre una banda de  $9.67\text{ GHz}$  a  $10.32\text{ GHz}$ , con los buffers de salida proporcionando una potencia máxima de  $-5.7\text{dBm}$  por cada rama, cuando se aplica una tensión entre 0 y 4.5 voltios (Fig. 5).

El consumo en el peor caso es de  $46.3\text{mW}$ , de los cuales  $22.6\text{mW}$  son debidos al VCO en sí. El ruido de fase a  $1\text{ MHz}$  de la portadora varía entre los  $-109\text{dBc/Hz}$  y  $-114.5\text{dBc/Hz}$  (Fig. 6), lo que resulta en un buen balance de potencia disipada frente a ruido.

En la tabla I se muestra una comparativa del presente trabajo (denotado como [0]) frente a otros osciladores. Aunque se han propuesto diferentes expresiones de cifras de mérito en diversas publicaciones para establecer comparaciones entre diseños distintos ([1],[2], por mencionar algunos), éstas tienen en general una utilidad limitada al no considerar algunos aspectos fundamentales como la tecnología o el ancho de banda, además de poder variar con el offset de frecuencia en el que se evalúan<sup>1</sup>. Por este motivo se ha preferido limitar la tabla a diseños comparables en frecuencia (todos ellos alrededor de los  $10\text{GHz}$ ) y tecnología (diseños CMOS con resonante integrado en el chip).

<sup>1</sup>En general se asume una caída del ruido de fase de  $20\text{dB/déc.}$ , lo que puede dar lugar a disparidad de criterios

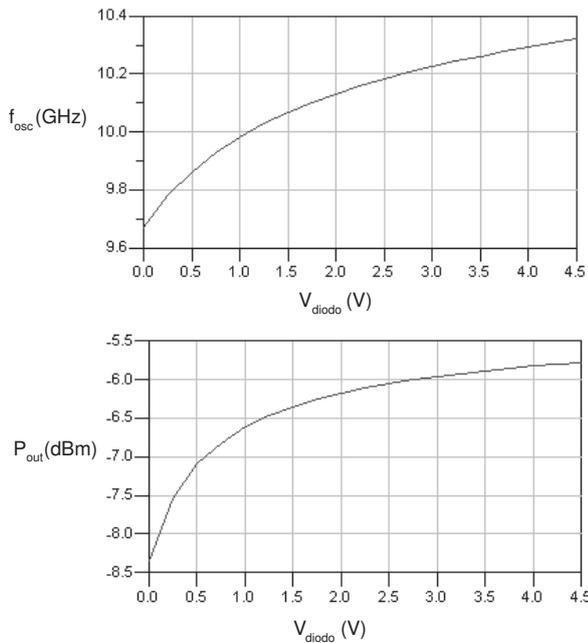


Fig. 5. Frecuencia y potencia de salida frente a tensión aplicada

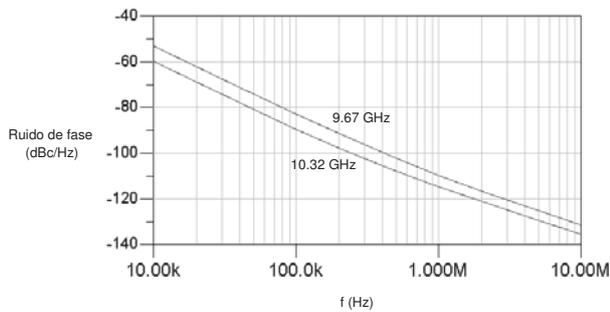


Fig. 6. Ruido de fase del VCO

IV. CONCLUSIONES

En este documento se ha presentado un oscilador de bajo ruido y bajo consumo en tecnología BiCMOS de 0.4µm utilizando solamente transistores CMOS. Se ha puesto de manifiesto que es posible conseguir VCOs eficientes tanto en superficie como en potencia aún con longitudes de canal moderadas, en parte gracias al uso de un único inductor para el circuito tanque.

Estas características hacen del diseño propuesto un oscilador apropiado para su integración en un oscilador sintetizado, con divisor por dos a la salida, en la citada banda de 5.2GHz.

TABLE I  
COMPARATIVA DE VCOs CMOS A 10GHZ

	Tecnología	BW	P <sub>dis</sub>	PN (dBc/Hz)	Área (mm <sup>2</sup> )
[0]	SiGe 0.4µm	6.3%	22.6mW	-114.5@1MHz	0.075(0.63*)
[1]	Si 0.18µm	13%	7.2mW	-107.7@1MHz	1*
[3]	Si 0.35µm	12%	35mW	-114@1MHz	1.4*
[4]	Si 0.18µm	6.8%	21.6mW	-106@1MHz	0.275

\*Incluyendo los pads

AGRADECIMIENTOS

Este trabajo ha sido financiado por el proyecto *Transceptores integrados multielemento y monocircuito para radiocomunicación digital de banda ancha*, TIC-2003-09061-C03-03.

REFERENCIAS

- [1] Z. Gu y A. Thiede, *10 GHz Low-Noise Low-Power Monolithic Integrated VCOs in Digital CMOS Technology*. IEICE Trans. Electron., Vol.E89-C, No.1. Enero de 2006.
- [2] D. Ham y A. Hajimiri, *Concepts and Methods in Optimization of Integrated LC VCOs*. IEEE Journal of Solid-State Circuits, Vol.36, No.6. Junio de 2001.
- [3] H. Wu y A. Hajimiri, *A 10GHz CMOS Distributed Voltage Controlled Oscillator*. Proc. IEEE Custom Integrated Circuit Conf.(CICC), pp.581-4, Mayo de 2000.
- [4] W. Chen, C. Kuo, C. Liu, *10 GHz Quadrature-Phase Voltage Controlled Oscillator and Prescaler*. European Solid-State Circuits Conference, pp. 361-364. Septiembre de 2003.
- [5] N. Oh y S. Lee, *11-GHz CMOS Differential VCO With Back-Gate Transformer Feedback* IEEE Microwave and Wireless Components Letters, Vol.15, No.11, Noviembre de 2005.