

IMPLEMENTACIÓN CON PROCESADORES DIGITALES DE SEÑAL DE UN PREDISTORSIONADOR CAPAZ DE COMPENSAR EFECTOS DE MEMORIA NOLINEALES EN AMPLIFICADORES DE RF

P.L. Gilabert⁽¹⁾, G. Montoro⁽¹⁾, A. Cesari⁽²⁾, J. A. García⁽³⁾, E. Bertran⁽¹⁾, J. Berenguer⁽¹⁾

plgilabert@tsc.upc.edu, montoro@tsc.upc.edu, acesari@lass.fr, joseangel.garcia@unican.es, bertran@tsc.upc.edu, berenguer@tsc.upc.edu

⁽¹⁾ Dpto. de Teoría de la Señal y Comunicaciones, Univ. Politècnica de Catalunya, Av. Canal Olímpic s/n, 08860 Castelldefels, España

⁽²⁾ Université de Toulouse, LAAS – CNRS, 7 Av/ du Colonel Roche, 31077 Toulouse, Francia.

⁽³⁾ Dpto. de Ingeniería de Comunicaciones, Univ. de Cantabria, Avda. de Los Castros s/n, 39005 Santander, España

Abstract- This paper shows the implementation in a digital signal processor (DSP or FPGA) of a Digital Adaptive Predistorter (DAPD) for power amplifier (PA) linearization based on a Nonlinear Autoregressive Moving Average (NARMA) structure. The distinctive characteristic of this DAPD is its straightforward deduction from the NARMA PA model, without the need of using an indirect learning approach to identify the DAPD function. The DAPD itself presents a NARMA structure, and hence it can be quickly implemented by means of Look-Up Tables (LUTs). WCDMA modulated signals, collected from a 3-stage LDMOS class-AB power amplifier, with a maximum output power of 48 dBm CW have been used to validate the linearizer performance. The developed DSP and FPGA based platform for prototyping digital predistortion linearizers eases the process of meeting transmission linearity requirements, depending of the degree of impairments added by the transmitter chain, and enables a quick migration between different DAPD schemes. Details on the internal DAPD organization and abilities are provided, giving an insight on actual development scenarios of predistorter systems considering memory effects. Experimental results obtained from the linearization of a 10 W class-AB LDMOS amplifier (2 GHz band) are provided.

I. INTRODUCCIÓN

Las modulaciones multinivel usadas por algunos de los actuales estándares de comunicaciones son muy eficientes a nivel espectral pero a su vez muy sensibles a distorsiones debidas a la presencia de efectos no lineales. Además, la necesidad de soportar operaciones multiusuario trae como consecuencia señales de RF, a la entrada del amplificador, que presentan elevados niveles de PAPR (Peak to Average Power Ratio). Todo esto conduce a una degradación de la eficiencia de los amplificadores de potencia de RF, ya que van a ser requeridos elevados niveles de *back-off* para mantener un funcionamiento lineal. Otra alternativa, considerada en el presente trabajo, es el empleo de algún tipo de linealizador.

Entre los varios tipos existentes de linealizadores los predistorsionadores tienen la ventaja de que hacen uso de la

más que probable presencia de algún tipo de procesador digital de señal en el propio transmisor (por ejemplo, realizando las tareas de codificación requeridas en muchos de los estándares de comunicaciones) y por tanto no supone, a priori, la presencia de un *hardware* adicional. Sin embargo muchos de estos estándares de comunicaciones modernos presentan elevados anchos de banda, siendo en estos casos importante y a tener en cuenta la degradación sufrida por efectos de memoria en el amplificador de RF [1].

En el diseño e implementación de un predistorsionador digital hay dos aspectos importantes a considerar: uno es la necesidad de un modelo práctico y ajustado a la realidad del amplificador (y por tanto que sea capaz de cumplir los requerimientos de ancho de banda, PAPR y modelado de efectos de memoria del mismo) y otro la simplicidad necesaria para que pueda ser invertible y poder finalmente ser implementado en un dispositivo procesador, sin un excesivo coste computacional y que además permita realizar con relativa frecuencia actualizaciones de la función de predistorsión (funcionamiento adaptativo).

Una visión general de los modelos de amplificadores de RF con efectos de memoria más conocidos puede encontrarse en las referencias [1], [2] y [3]. Sobre ellos pesan ciertas restricciones. Tanto los modelos basados en series de Volterra como los basados en estructuras de Redes Neuronales están limitados para el modelado práctico debido a su inherente complejidad computacional, y esto los hace poco apropiados para ser empleados en realizaciones de predistorsionadores digitales. Debido a su menor carga computacional, los métodos de modelado más apropiados son los basados en polinomios con memoria o modelos FIR no lineales, y los modelos de Hammerstein y de Wiener con las variantes de conexión en cascada y en paralelo mediante filtros FIR y/o IIR para modelar la parte lineal de tales estructuras. En cuanto a la estimación de la función de predistorsión, usualmente se hace mediante aprendizaje indirecto o por el método de postdistorsión y translación [4].

Sin embargo, este método asume el cumplimiento de la propiedad conmutativa entre bloques no lineales conectados en serie, lo cual obviamente no es cierto, aunque en la práctica tales predistorsionadores dan buenos resultados en cuanto a mejora de la linealidad.

En este artículo, se va a presentar la implementación de un algoritmo consistente en un predistorsionador digital adaptativo con una estructura NARMA, y predictivo (lo denominaremos NARMA predictivo), cuyos parámetros y componentes estructurales será obtenidos de forma relativamente sencilla a partir de un modelo NARMA previamente obtenido del amplificador. El origen de este algoritmo predistorsionador está en trabajos presentados en las referencias [5] y [6], en los que primeramente se estudió el modelado con un algoritmo no lineal ARMA del comportamiento de un amplificador de RF con efectos de memoria no lineales [5], y en el trabajo referenciado como [6] se linealizaba mediante una estructura del tipo postdistorsionadora. En la referencia [7] se encuentra el detalle del desarrollo del algoritmo referido, y el presente artículo pretende mostrar los primeros resultados prácticos consecuencia de su aplicación en un entorno de laboratorio. En este sentido, y esto fue uno de los puntos de partida o restricción que se puso al algoritmo a desarrollar, cabe decir que el predistorsionador NARMA objeto de estudio es adecuado para ser realizado por medio de una estructura de LUTs (varias tablas), y esto lo hace relativamente sencillo de implementar.

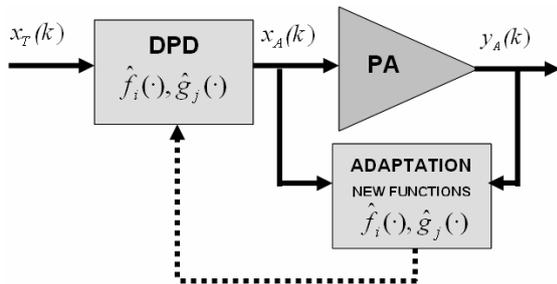


Fig. 1. Esquema de un predistorsionador adaptativo.

II. EL PREDISTORSIONADOR NARMA PREDICTIVO

El predistorsionador predictivo pretende realizar la predistorsión digital y adaptativa en banda base, de manera que se fuerce al amplificador de potencia a funcionar de manera lineal. El diagrama de bloques del sistema NARMA usado para modelar el amplificador se muestra en la Fig.2.

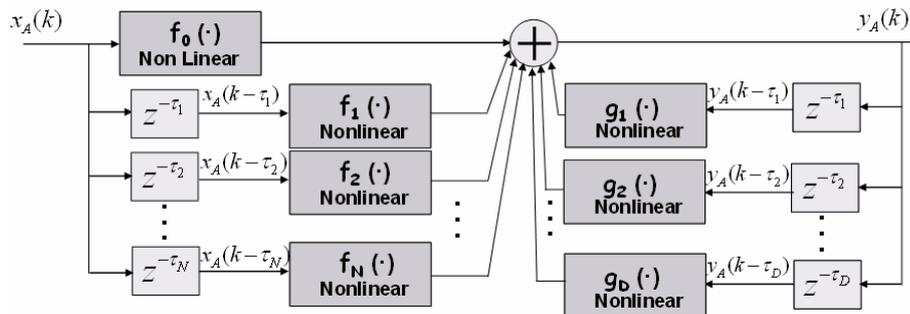


Fig. 2. Diagrama de boques de la estructura NARMA empleada.

El funcionamiento es relativamente simple e intuitivo. En una primera etapa, se lleva a cabo la identificación del modelo de comportamiento (*behavioral model*) pasobajo del PA. Así pues, a partir de los datos en banda base de la envolvente compleja de entrada (x_A) y salida (y_A), se extraen los coeficientes complejos que definen el modelo del amplificador. Para este modelado se utiliza una estructura NARMA para identificar el modelo de comportamiento pasobajo no lineal y con efectos de memoria del PA. La relación de entrada-salida de un modelo basado en la estructura NARMA se puede describir matemáticamente de la siguiente manera,

$$y_A(k) = \hat{f}_0(x_A(k)) + \sum_{i=1}^N \hat{f}_i(x_A(k - \tau_i)) - \sum_{j=1}^D \hat{g}_j(y_A(k - \tau_j)) \quad (1)$$

donde \hat{f}_i y \hat{g}_j son las funciones no lineales estimadas que definen el comportamiento no lineal. Dichas funciones se pueden implementar utilizando polinomios, de los que cabrá conocer sus coeficientes, o bien tablas (LUTs), tal y como se discutirá más adelante. Por otro lado, τ_i y τ_j ($\tau \in \mathbf{N}$) son los retardos discretos (para ambas señales de entrada y salida) más significativos que contribuyen a la caracterización de los efectos de memoria del amplificador. Una descripción del proceso de extracción de dichos retardos óptimos y del estudio de la estabilidad de la estructura NARMA se detalla en [5], [6] y [7]. En la extracción del modelo de comportamiento del PA es necesario tener en cuenta el compromiso existente entre la fidelidad con la que el modelo seguirá la realidad y la complejidad computacional que introducirá el modelo para ello. Una vez identificadas las funciones no lineales \hat{f}_i y \hat{g}_j que describen el modelo del amplificador no lineal con efectos de memoria, consideraremos y_D como la salida deseada del PA una vez linealizado. Esta salida deseada se puede definir como la señal a transmitir (x_T) multiplicada por un factor de ganancia lineal (G_{linear}),

$$y_D(k) = x_T(k) \cdot G_{linear} \quad (2)$$

Tal y como se puede observar en la Fig.1, se cumplirá la igualdad $x_A(k) = x_T(k)$ para el caso en que no se aplique la predistorsión en banda base.

Así pues, reescribiendo la ecuación (1) es posible llegar a la siguiente expresión,

$$\hat{f}_0(x_A(k)) = y_A(k) - \sum_{i=1}^N \hat{f}_i(x_A(k - \tau_i)) + \sum_{j=1}^D \hat{g}_j(y_A(k - \tau_j)) \quad (3)$$

De la que es posible obtener la excitación a aplicar a la entrada del PA ($x_A(k)$) que permitirá obtener una determinada señal ($y_A(k)$) en su salida del amplificador. Es decir, hemos encontrado la excitación que impone una determinada respuesta. Dado que la salida deseada $y_D(k)$ se conoce a priori (ver ecuación (2)), es posible entonces substituir en la ecuación (3) la salida y_A por la salida y_D (igualmente para el caso de sus muestras retardadas). En otras palabras, podemos ver la señal de salida deseada $y_D(k)$ como la predicción del valor que tomará $y_A(k)$ en el futuro, una vez el PA esté linealizado. En consecuencia, mediante la manipulación de la ecuación (3) es posible calcular el valor de entrada al amplificador $x_A(k)$ que permite imponer la salida deseada $y_A(k) = y_D(k)$. Así pues, la salida del predistorsionador (que a la vez será la entrada del PA) $x_A(k)$ se puede expresar de la siguiente forma:

$$x_A(k) = \hat{f}_0^{-1} \left(y_D(k) - \sum_{i=1}^N \hat{f}_i(x_A(k - \tau_i)) + \sum_{j=1}^D \hat{g}_j(y_D(k - \tau_j)) \right) \quad (4)$$

Podemos establecer la metodología a seguir para la obtención del correspondiente predistorsionador NARMA predictivo:

- i) En un primer paso, identificar las funciones no lineales del modelo NARMA del PA. Es decir, nuevas \hat{f}_i y \hat{g}_j tal y como se describe en la ecuación (1) a partir de los datos de entrada (x_A) y salida (y_A).
- ii) Segundo paso: testear la estabilidad de la estructura NARMA obtenida del modelo del amplificador, así como del predistorsionador que se deriva de éste (esto se hará calculando las cotas proporcionados por la teoría de estabilidad de la pequeña ganancia o *small-gain*, ver referencias [5], [6] y [7]).
- iii) El tercer paso consiste en invertir la función no lineal \hat{f}_0 , ya que es necesaria para encontrar la salida del ADPD tal y como se muestra en la ecuación (4).
- iv) Finalmente, el último paso consiste en generar todas las LUTs necesarias para poder implementar la función de predistorsión, tal y como se describe en la ecuación (4). Y luego, otra vez de vuelta al paso 1.

III. VALIDACIÓN DEL COMPORTAMIENTO DEL ALGORITMO PREDISTORSIONADOR.

Para comprobar el funcionamiento del predistorsionador se ha programado y testado el algoritmo en un entorno de simulación Matlab. En la figura 3 puede verse el diagrama de bloques de una estructura NARMA como la implementada,

usándose para identificar el amplificador y validar el funcionamiento del sistema total (amplificador + linealizador) datos medidos en el laboratorio.

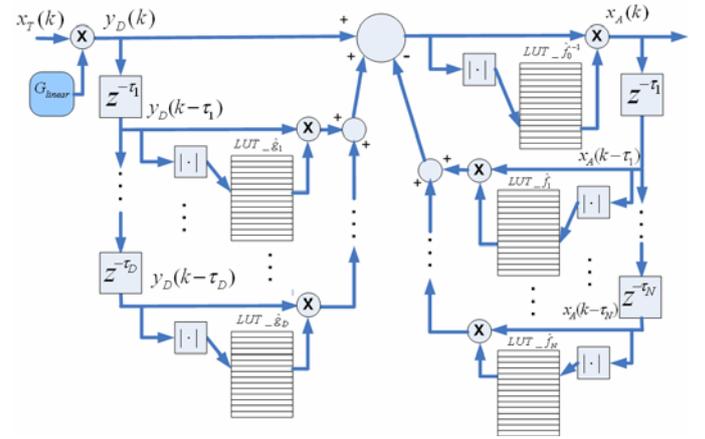


Fig. 3. Realización con LUTs del predistorsionador NARMA predictivo.

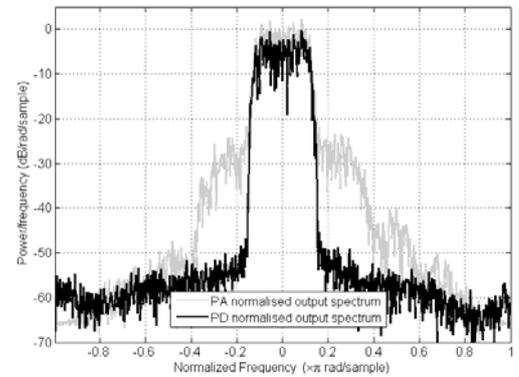


Fig. 4. Espectro de la salida para excitación WCDMA.

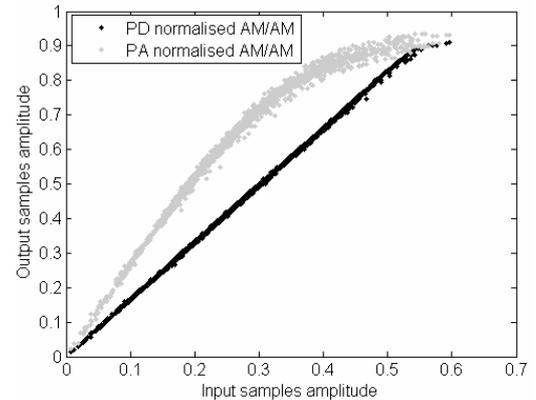


Fig. 5. Curva AM/AM para excitación WCDMA.

El amplificador testado ha sido un clase AB LDMOS de 3 etapas (siendo la etapa final un transistor Motorola MRF 18090B), con 36 dB de ganancia, punto de compresión a 1-dB de 48 dBm y un $IP_3=53$ dBm. Las medidas han sido tomadas a una frecuencia central de 1.96 GHz, y como excitación se ha empleado una señal WCDMA de 5 MHz de ancho de banda (0 dB IBO). Para testear la adaptabilidad se han generado 50 *bursts* de señal modulada, con 2048 muestras por ráfaga. La estructura del predistorsionador programado ha consistido en 4 bloques de retardo de la entrada (componente FIR) y uno de la salida (componente IIR). La figuras 4 y 5 muestran los espectros de las salidas normalizadas del amplificador y las curvas AM/AM (sin y con

predistorsionador) para el caso de excitación WCDMA. Se han obtenidos reducciones del ACPR de hasta 20 dB.

IV. IMPLEMENTACIÓN EN PROCESADOR DIGITAL DE SEÑAL

A. Descripción del banco de experimentación

El procesador empleado ha sido una FPGA Xilinx Virtex-IV XC4VSX35, funcionando a una frecuencia de reloj de 105 MHz. Este dispositivo procesador se comunica con un PC, que hace el papel de coprocesador para realizar la actualización de los parámetros adaptativos del DAPD. La FPGA gestiona los conversores A/D y D/A y transmite al PC paquetes de 2048 I/Q muestras. El PC se encuentra ejecutando un programa en Matlab, recibe las muestras, actualiza los coeficientes (es decir calcula las ganancias complejas y actualiza el contenido de las LUTs implementadas en la FPGA). Los conversores A/D y D/A tienen 14 bits de resolución y trabajan a una frecuencia de muestreo de 105 MSPs.

El banco de trabajo montado, Fig. 6, permite versatilidad en la implementación de diversos algoritmos adaptativos (experimentar en la actualización del contenido de las LUTs) al tiempo que todo el sistema funciona a la velocidad real de un sistema de comunicaciones. El sistema es escalable, es decir que es posible añadir o quitar células de *delays* para ajustarse a la cantidad de efectos de memoria presentes en cada amplificador. También se está trabajando en la incorporación de un DSP de TI para realizar tareas de coprocesado en lugar del PC (o simultáneamente).

B. Primeros resultados prácticos obtenidos

Se han realizado pruebas con señales 16-QAM con filtro del tipo *raised-cosine* y 8 MHz de ancho de banda (sobremuestreo de factor 16 muestras/símbolo). Se ha experimentado con un amplificador LDMOS clase AB de 10 W, a la banda de 2 GHz. Previamente se tuvo que realizar un procedimiento de calibración para eliminar offsets de continua y otras imperfecciones en la cadena de transmisión.

En las Figuras 7 y 8 se pueden ver los espectros y curvas AM/AM obtenidos para los casos sin predistorsionador y con predistorsionador. Para este segundo caso se ha considerado el empleo de 1 o 4 BPC (denominaremos *Basic Predistortion Cell* a cada una de las células elementales de retardo). En estas primeras pruebas sólo se consideraron BPCs en la parte FIR del algoritmo.

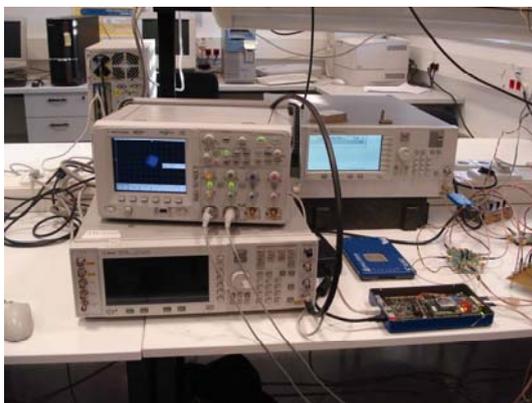


Fig. 6. Banco de trabajo desarrollado: FPGA+Instrumentación controlada vía GPIB con un PC (+ DSP en un futuro).

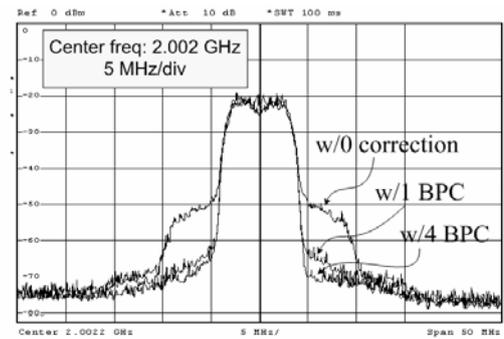


Fig. 7. Espectro de salida (1 y 4 BPC).

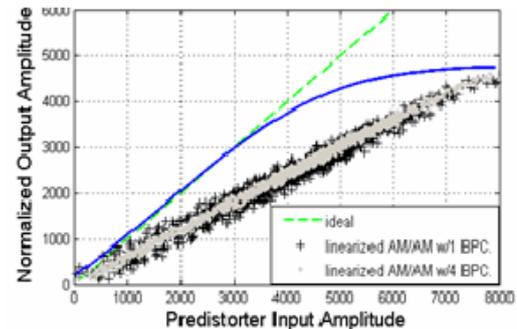


Fig. 8. Curvas AM/AM (1 y 4 BPC).

V. CONCLUSIONES

El predistorsionador adaptativo y predictivo desarrollado e implementado en un procesador digital tipo FPGA ha mostrado ser una alternativa válida para la eliminación de efectos de memoria no lineales en amplificadores de RF.

AGRADECIMIENTOS

Este trabajo ha sido financiado por el Ministerio de Educación y Ciencia a través del proyecto TEC2005-07985-C03-02, y por la Unión Europea a través de la red de excelencia TARGET "Top Amplifier Research Group in a European Team" (IST-1-507893-NOE).

REFERENCIAS

- [1] H. Ku, J. S. Kenney, "Behavioral modeling of nonlinear RF power amplifiers considering memory effects," *IEEE Trans. on Microwave Theory and Techn.*, vol. 51, pp. 2495-2504, December 2003.
- [2] J.C. Pedro, S.A. Maas, "A Comparative Overview of Microwave and Wireless Power-Amplifier Behavioral Modeling Approaches," *IEEE Trans. on Microwave Theory and Techn.*, vol. 53, pp. 1150- 1163. April 2005.
- [3] T. Liu, S. Boumaiza and F. M. Ghannouchi, "Deembedding Static Nonlinearities and Accurately Identifying and Modeling Memory Effects in Wide-Band RF Transmitters", *IEEE Trans. on Microwave Theory and Tech.*, vol 53, pp. 3578-3587. November 2005.
- [4] R. Marsalek, P. Jardin, G. Baudoin, "From post-distortion to predistortion for power amplifiers linearization," *IEEE Communications Letters*, vol. 7, pp. 308-310, July 2003.
- [5] G. Montoro, P. L. Gilabert, J. Berenguer and E. Bertran, "A Class of Stable Nonlinear Systems for Modelling Memory Effects in RF Power Amplifiers", *Actas del XXI Simposium Nacional de la Unión Científica Internacional de Radio (URSI-2006)*, Septiembre 2006.
- [6] P. L. Gilabert, G. Montoro and A. Cesari, "A Recursive Digital Predistorter for Linearizing RF Power Amplifiers with Memory Effects," *Proceedings of the APMC 2006*, December 2006.
- [7] G. Montoro, P.L. Gilabert and E. Bertran, "A New Predictive Predistorter for Behavioral Amplifier Linearization", *IEEE Microwave and Wireless Components Letters*, (aceptado para ser publicado en Junio 2007).