

AMPLIFICADOR MMIC DE ALTA LINEALIDAD EN BANDA S PARA APLICACIONES S-DMB EMBARCADAS

Yolanda Jato, Amparo Herrera

Yolanda.jato@unican.es, amparo.herrera@unican.es.

(1) Dpto. de Ingeniería de Comunicaciones, Universidad de Cantabria,
Edificio de I+D de Telecomunicaciones, Plaza de la Ciencia s/n,
39005 Santander, Cantabria.

Abstract- This paper presents the design, simulation and measurement of an S-band GaAs P-HEMT high linearity amplifier. The amplifier is part of the down-converter in the on-board satellite repeaters of an S-DMB system that provides digital mobile broadcast/multicast services. The topology of the amplifier has been chosen to achieve a high linearity, and a wideband input matching network has been included in order to obtain the required specifications without using any external components. The S-band amplifier has been measured showing an OIP3 of 23 dBm and a gain of 15.3 dB, obtaining also good values of input and output matching. These results are obtained in the first fabrication run of the circuit.

I. INTRODUCCIÓN

Actualmente existe un creciente interés en las tecnologías de distribución de información “uno-a-muchos” o “broadcast”, ya que se espera que den lugar a grandes beneficios comerciales una vez implantadas de forma mayoritaria. El sistema S-DMB proporciona capacidad de entrega a varios operadores móviles para ofrecer servicios de “streaming” y descarga de datos directamente en los terminales móviles, tanto fuera como dentro de los edificios.

Los sistemas S-DMB se basan en la combinación de una arquitectura de repetidores terrestres y de satélite, operando en la banda de frecuencias IMT-2000 (International Mobile Telecommunication). La recepción de la señal del satélite se realiza en la banda de 2170-2200 MHz, mientras que el envío de datos se realiza en el rango de frecuencias de 1980-2010 MHz. En la Fig. 1 se muestra de forma sencilla la estructura de un sistema S-DMB [1].

En este artículo se presenta el diseño, simulación y medidas de un amplificador de alta linealidad que actúa como buffer para los conversores de los repetidores embarcados en el satélite. Estos conversores se caracterizan por presentar altos valores de linealidad y de ganancia; la alta linealidad se consigue mediante mezcladores pasivos, y la ganancia a través de los amplificadores que actúan como “buffers” y que también deben presentar una linealidad elevada para no estropear la del convertidor completo.

El circuito ha sido diseñado utilizando la tecnología MMIC (Microwave Monolithic Integrated Circuit) ya que reduce las dimensiones y el peso de los circuitos comparada con la

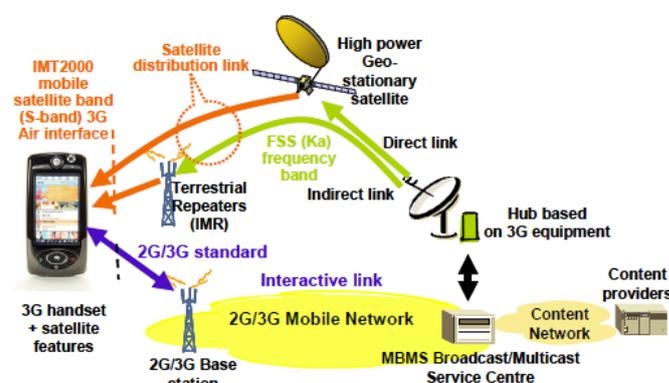


Fig. 1. Arquitectura de un sistema S-DMB.

tecnología híbrida, lo cual es extremadamente importante sobre todo en los equipos embarcados en satélite.

La tecnología MMIC elegida para la fabricación del circuito es la ED02AH de la “foundry” OMMIC, basada en transistores de GaAs P-HEMT. Aunque se trata de una tecnología cara y con un consumo alto, es muy fiable y posee calificación espacial, lo cual es indispensable si el futuro circuito va a funcionar embarcado en un satélite.

II. DISEÑO DEL AMPLIFICADOR EN BANDA S

El amplificador diseñado opera en banda S, cubriendo un rango de frecuencias entre 2 y 2.2 GHz. Este diseño es una evolución de [2], donde se desarrolló un amplificador capaz de operar tanto en banda S como en banda UHF, aunque a expensas de la integración, ya que incluía componentes externos. En este caso, y con el fin de conseguir un amplificador completamente integrado, se diseñan dos amplificadores independientes, uno para banda UHF y otro para banda S, que es el que se presenta en este artículo.

Su topología fue cuidadosamente elegida con el fin de poder cumplir las especificaciones pedidas, que se recogen en la Tabla I. Como se puede comprobar en la tabla, los parámetros más restrictivos son la adaptación de entrada y sobre todo el punto de intercepción de tercer orden a la salida del amplificador, que debe tener un valor de 25 dBm.

Parámetro	Unidades	Valor
Ganancia	dB	15
Pérdidas de retorno (entrada)	dB	-18
Pérdidas de retorno (salida)	dB	-15
OIP3	dBm	25
Figura de ruido	dB	3.5

Tabla 1. Especificaciones del amplificador.

El circuito diseñado se presenta en la Fig.2, en el que se observan dos etapas diferenciadas, por un lado una primera etapa que consta de un amplificador en configuración puerta común y que actúa como adaptación activa [3], reduciendo el valor de la impedancia de la etapa posterior (entrada por la puerta de un transistor P-HEMT, cuya impedancia es elevada), y acercándola a 50Ω , para luego conseguir la adaptación deseada con una red pasiva sencilla compuesta por dos bobinas y un condensador.

La segunda etapa consta de un amplificador con realimentación paralela en configuración fuente común que mejora la estabilidad del circuito. El circuito de carga está formado por un transistor en fuente común actuando como carga activa [4]. Las ventajas de utilizar este tipo de cargas son una mejora en el aislamiento de RF y un ahorro de espacio considerable, respecto al usado por una bobina.

La adaptación de salida que se obtiene gracias a la carga activa es cercana a 50Ω , por lo con sólo el condensador de desacople de RF conseguimos un buen resultado.

III. MEDIDAS DEL AMPLIFICADOR

El amplificador ha sido fabricado junto con otros circuitos en un chip de tamaño 2×2 mm. En la simulación se han tenido en cuenta los efectos parásitos del encapsulado, por lo que para la realización de la medida en las mismas condiciones, el chip se ha introducido en un encapsulado de 28 pines.

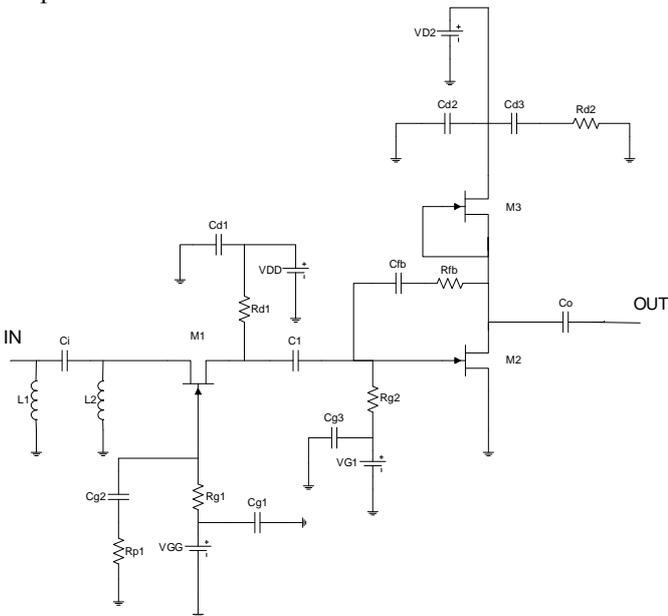


Fig. 2. Configuración del amplificador de alto IP3.

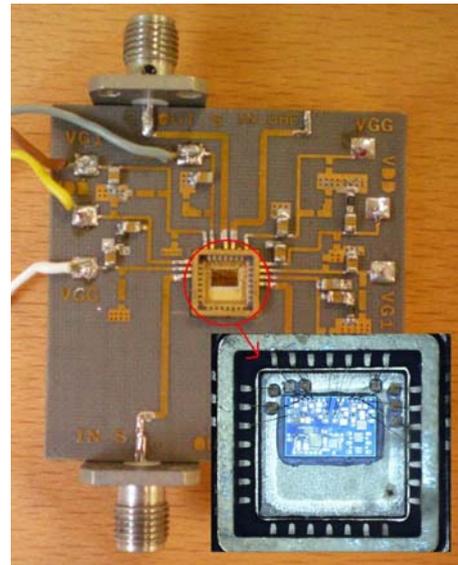


Fig. 3. Fotografía del montaje realizado para la medida del amplificador.

El encapsulado a su vez se ha montado sobre un portador de latón, y se ha utilizado un sustrato de CuClad con $\epsilon_r=2.17$ y $H=0.254$ mm para la fabricación del PCB que incluye las líneas de RF y alimentación. En la Fig. 3, se muestra una fotografía del montaje realizado, donde se pueden ver los condensadores DiCap incluidos en las líneas de alimentación para evitar las oscilaciones de baja frecuencia.

Las primeras medidas del amplificador que se realizan muestran una inestabilidad a 1 GHz aproximadamente que no fue detectada en las simulaciones a través de los parámetros μ y μ' [5]. Es importante identificar esta oscilación en la simulación ya que así nos permite tomar las medidas oportunas para su eliminación. En este caso, como el chip ya está fabricado, la solución es introducir en el montaje los componentes necesarios para que las inestabilidades desaparezcan.

A. Estudio de estabilidad.

En vista de que el procedimiento usual en simulación para la detección de inestabilidades en el circuito no es suficiente, es necesario realizar un análisis más exhaustivo y preciso. Este método se conoce como análisis de admitancias [6], y consiste en conectar una fuente de corriente de pequeña señal en los llamados “nodos sensibles”, que suelen ser generalmente los terminales del transistor (puerta, fuente y drenador). La relación entre la tensión en el nodo y la corriente da lugar a la admitancia. Se realiza un análisis AC (pequeña señal) o de balance armónico (gran señal) y se representan la parte real e imaginaria de la admitancia con el fin de comprobar si se verifican las condiciones necesarias para el arranque de una oscilación. Estas condiciones se muestran en las ecuaciones (1), (2) y (3):

$$\text{Re}[Y(f_0)] < 0 \quad (1)$$

$$\text{Im}[Y(f_0)] = 0 \quad (2)$$

$$\frac{\partial \text{Im}[Y(f_0)]}{\partial f} > 0 \quad (3)$$

Como ejemplo de este análisis, en la Fig. 4, se representan la parte real e imaginaria de la admitancia en función de un barrido de la tensión de puerta del transistor, siendo el nodo sensible esta misma puerta. Como se puede ver, la parte imaginaria de la admitancia cruza por cero con pendiente positiva mientras que la parte real es negativa para valores de V_{GG} comprendidos entre -0.73 V y -0.43 V, para frecuencias entre 815 MHz y 930 MHz. Esto indica que el amplificador oscilará en esas frecuencias para ese punto de polarización, lo cual ya se había observado durante las medidas.

Una vez localizada la inestabilidad así como su origen, se incluyen en el montaje redes de estabilización externas que eliminan la oscilación.

B. Comparación de las simulaciones y medidas.

En primer lugar se realizan las medidas de parámetros S del amplificador con un analizador de redes. En la Fig. 5, se muestra la comparación entre los resultados de simulación y los obtenidos en las medidas. Como se puede comprobar, los resultados son prácticamente iguales, obteniéndose una ganancia en tensión de 15.3 dB, y buenos valores de adaptación tanto a la entrada como a la salida, aunque con un ligero desplazamiento en la entrada que empeora un poco el resultado. El amplificador presenta un consumo de 33 mA sobre una fuente de alimentación de 3.5 V.

También se realizaron medidas en potencia, obteniéndose un punto de compresión 1 dB a la entrada de -7 dBm, un poco más bajo que el obtenido en simulación de -4 dBm. El punto de compresión 1 dB obtenido en la salida es de 8 dBm.

En cuanto a las medidas de intermodulación, se utilizaron dos tonos de -25 dBm separados entre sí 200 KHz. Se ha obtenido un punto de intercepción de tercer orden a la salida de 23 dBm frente a los 25 dBm obtenidos en simulación y pedidos en las especificaciones. En la Fig. 6, se representa la variación del punto de intercepción de tercer orden con la potencia de entrada, tanto para simulación como para medidas.

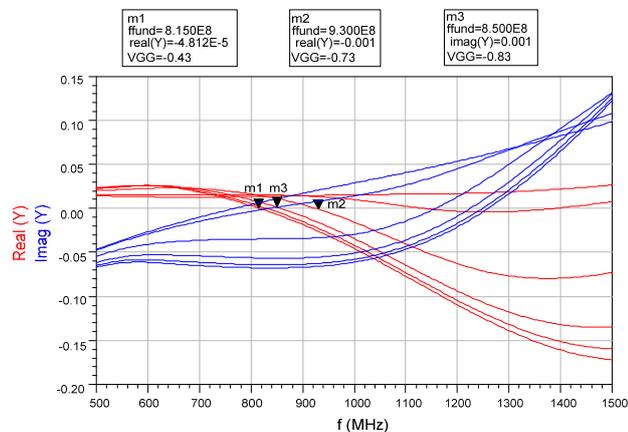


Fig. 4. Parte real e imaginaria de la admitancia en un "nodo sensible" del amplificador.

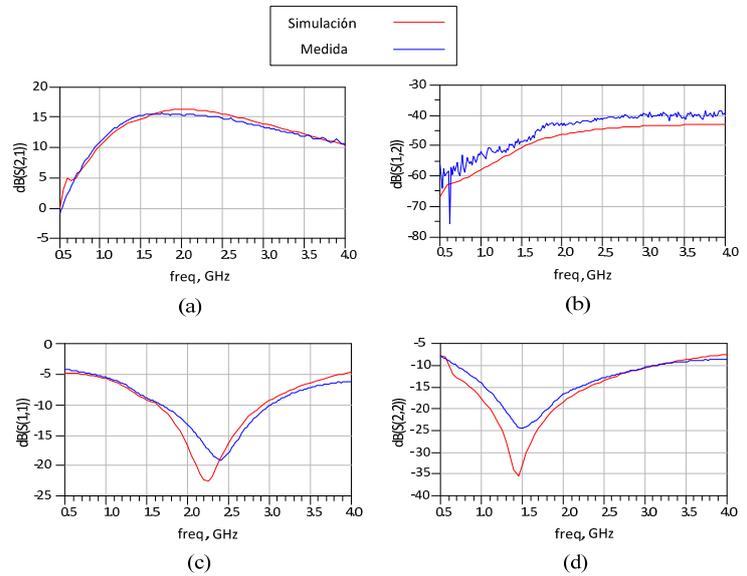


Fig. 5. Comparación de la simulación y las medidas del amplificador: (a) Ganancia, (b) aislamiento, (c) adaptación de entrada y (d) adaptación de salida.

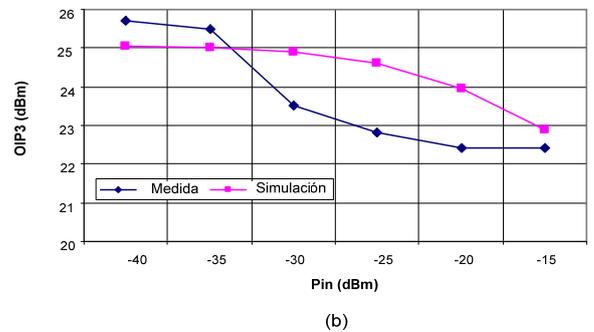
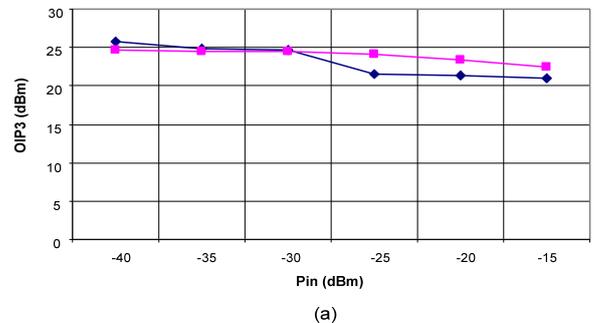


Fig. 6. Comparación del OIP3 en simulación y medida para los dos extremos de la banda de trabajo: (a) 2 GHz y (b) 2.2 GHz.

La diferencia entre los valores de simulación y medida del OIP3, se deben a que la corriente de drenador del amplificador en medida es inferior a la usada en simulación debido a variaciones en el proceso de fabricación. La foundry nos alertó de que debido a problemas en la fabricación de las obleas, el parámetro I_{dss} de los transistores había sufrido variaciones respecto a su valor nominal. Teniendo en cuenta que la polarización de la etapa amplificadora se hace a través de una carga activa, no hay ninguna posibilidad de cambiar este punto de trabajo; por este motivo, la corriente de drenador en medida es más baja obteniéndose un OIP3 ligeramente inferior al obtenido en simulación.

IV. CONCLUSIONES

Se ha diseñado un amplificador de alta linealidad en la banda de 2 a 2.2 GHz para su utilización en los convertidores embarcados en satélite de un sistema S-DMB. El amplificador ha sido fabricado utilizando el proceso ED02AH de OMMIC que posee calificación espacial. Se ha obtenido en medida una ganancia en tensión de 15.3 dB, un punto de compresión 1dB a la salida de 8 dBm y un punto de intercepción de tercer orden OIP3 de 23 dBm. Los valores de simulación y medida presentan una gran concordancia y se han obtenido en la primera iteración de fabricación del circuito.

AGRADECIMIENTOS

Este trabajo ha sido desarrollado gracias a la financiación del proyecto AMURA, TEC2009-14219-C03-03 del Ministerio de Ciencia e Innovación, así como con el proyecto "Acuerdo específico de colaboración para el soporte y consultoría en el área de TTC & RF activa" de Thales Alenia Space, España.

REFERENCIAS

- [1] N. Chuberre et al., "Satellite digital multimedia broadcasting for 3G and beyond 3G systems," *13th IST Mobile & Wireless Communication Summit*, 2004.
- [2] Y. Jato, A. Herrera, R. García, "Amplificador de alto IP3 para aplicaciones S-DMB embarcadas," *Symposium Nacional de la Unión Científica Internacional de Radio*, 2008.
- [3] K. B. Niclas, "Active matching with common-gate MESFET's," *IEEE Transactions on Microwave Theory and Techniques*, Vol. MTT-33, No. 6, June 1985.
- [4] R. Goyal, "High-frequency analog integrated circuit design," Ed. John Wiley & Sons, Inc., 1995.
- [5] A. Suárez, "Analysis and design of autonomous microwave circuits," Ed. Wiley & Sons, 2009.
- [6] A. Suárez, R. Queré, "Stability analysis of nonlinear microwave circuits," Artech House, 2003.