

# Receptor SiGe de conversión directa para WLAN 802.11a

Leticia Hernández<sup>(1)</sup>, Yolanda Jato<sup>(1)</sup>, Amparo Herrera<sup>(1)</sup>

leticia@dicom.unican.es, jato@unican.es, amparo@dicom.unican.es

<sup>(1)</sup> Dpto. de Ingeniería de Comunicaciones. Universidad de Cantabria.  
E.T.S.I.I.T.- Avda. de los Castros s/n. C.P. 39005 Santander (Cantabria)

**Abstract-** This paper presents a MMIC direct conversion receiver for WLAN manufactured in SiGe: C BiCMOS technology for the IEEE 802.11a/HiperLAN WLAN standard.

Direct conversion architecture was chosen because it eliminates the need for bulky external image reject filters, resulting in a compact, low power and low cost front-end.

The direct conversion receiver must incorporate quadrature downconversion as both lateral bands contain different information that will be distorted if they are superimposed.

## I. INTRODUCCIÓN

La rápida evolución de los sistemas wireless provoca una demanda de circuitos cada vez más pequeños y rápidos. Los nuevos transeceptores tienen que ser más compactos y sencillos además de reducir el coste total del sistema.

Una de las topologías más utilizadas es la de conversión directa [1], donde la señal de RF se convierte directamente a banda base. La mayor ventaja que presenta esta arquitectura es que al no haber frecuencia intermedia, se elimina el problema de la frecuencia imagen. De esta forma no es necesario introducir filtros externos pudiéndose desarrollar un receptor integrado en un único chip. El esquema final de un receptor de conversión directa se muestra en la Fig. 1

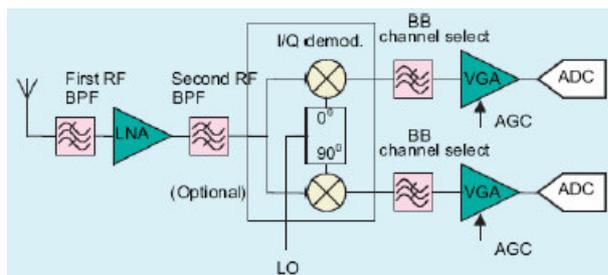


Fig. 1. Esquema de receptor de conversión directa

Por otro lado, este tipo de arquitectura presenta diversos inconvenientes, que se pueden minimizar con un proceso de diseño cuidadoso. El más importante es el llamado offset de dc, que se origina por la auto-mezcla entre el oscilador local y las entradas del mezclador y del LNA

La señal de información puede ser corrompida ya que la señal interferente se encuentra a la misma frecuencia después de la demodulación. Este efecto puede ser minimizado eligiendo configuraciones de circuitos que presenten un gran aislamiento entrada-salida.

El receptor de conversión directa debe incorporar conversión en cuadratura ya que ambas bandas poseen diferente información que se degradaría si se superpusieran. Esta es la razón por la que las salidas I y Q deben tener la misma amplitud y estar desfasadas 90°.

## II. DISEÑO DEL RECEPTOR

Nuestro receptor está formado por tres componentes: un amplificador de bajo ruido, un mezclador y un desfasador de OL. Al tratarse de una primera versión, se han realizado tres chips separados con cada uno de los componentes. En la Fig. 2 se muestra la estructura utilizada.

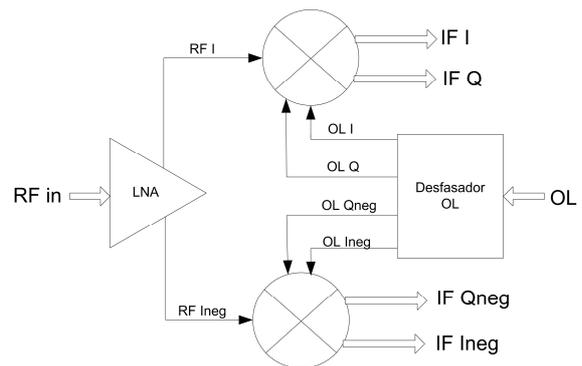


Fig. 2. Esquema del receptor diseñado

A continuación se explican los diseños de cada uno de ellos.

### A. Amplificador de bajo ruido

Este circuito está basado en los diseños que se muestran en las referencias de [2] a [5], con la diferencia de que presentan una etapa final pasiva para presentar la salida diferencial. En la Fig. 3 se muestra el esquema final diseñado.

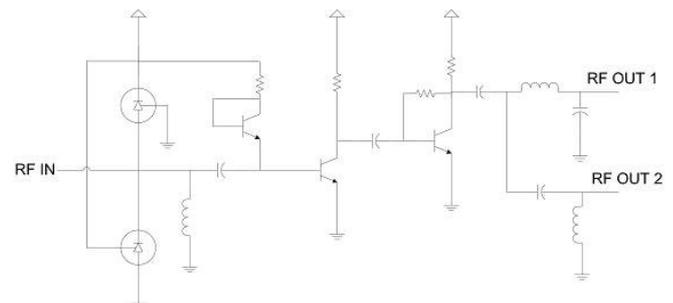


Fig. 3. Esquema del amplificador de bajo ruido

Se ha utilizado una estructura en cascada estando la entrada y las salidas adaptadas a 50  $\Omega$ . En la entrada se ha añadido una estructura básica ESD para proteger el circuito de posibles descargas electrostáticas durante las medidas.

### B. Mezclador de conversión directa

Este circuito es una estructura Gilbert doblemente balanceada. Como puede observarse en la Fig. 4, dispone de una entrada de RF y dos entradas de OL. Las salidas de IF son de alta impedancia.

A partir de la entrada de RF se consiguen dos señales desfasadas 180°, mediante una etapa pasiva similar a la del amplificador de bajo ruido. Para las bases de los transistores de la etapa de RF se han diseñado unas fuentes de corriente básicas PMOS consiguiendo una alimentación adecuada y minimizando el ruido. Sin embargo, en la parte de OL se ha optado por bipolares.

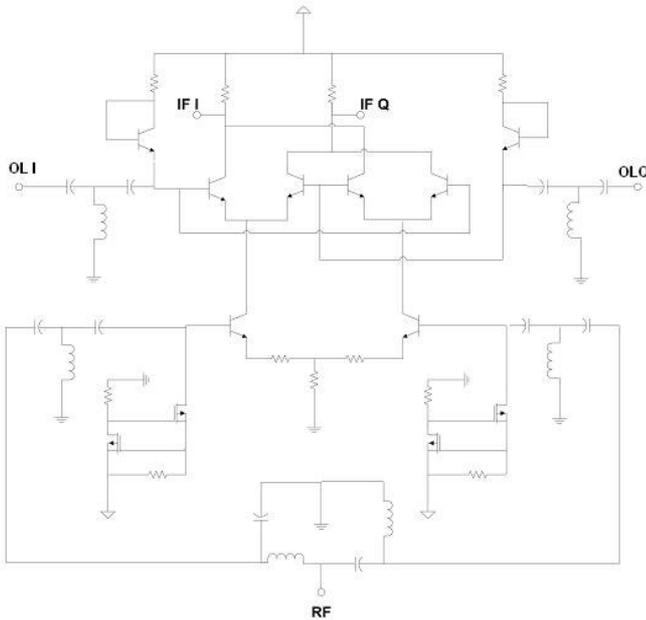


Fig. 4. Esquema del mezclador

### C. Desfasador de OL

Este circuito ha sido diseñado únicamente para facilitar la medida del sistema. Su funcionamiento es el siguiente: a partir de una entrada de OL, presentar cuatro salidas con igual amplitud y fases 0, 90, 180, 270°, que en posteriores montajes será integrado en el chip VCO.

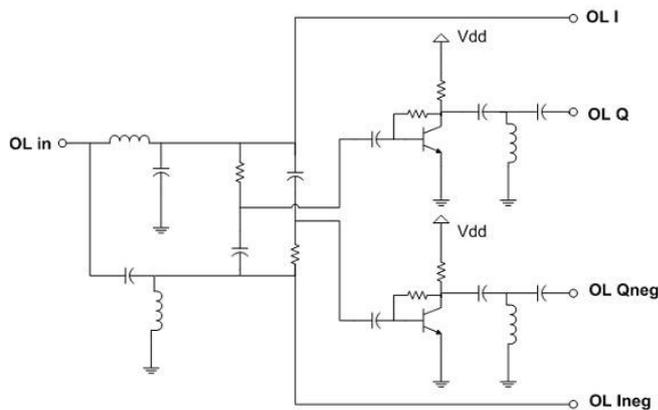


Fig. 5. Esquema del desfasador de OL

En la fig. 5 se muestra el esquema diseñado. Se trata de una combinación de etapas pasivas y activas, tratando de compensar las potencias de salida de las ramas.

## III. SIMULACIÓN Y MEDIDAS

Los circuitos han sido fabricados con tecnología IHP SGB25VD de SiGe de 0.25  $\mu\text{m}$ . Para realizar las medidas, los chips han sido montados sobre una placa de CuClad ( $\epsilon=2.17$ ,  $H=254 \mu\text{m}$ ) en una caja de latón.

A continuación se mostrarán los resultados obtenidos en simulación y en medidas de cada uno de los elementos diseñados. Los resultados que se muestran en simulación incluyen los efectos producidos por las líneas, los parásitos y los bondings para ajustarse más a la situación real de medida.

### A. LNA

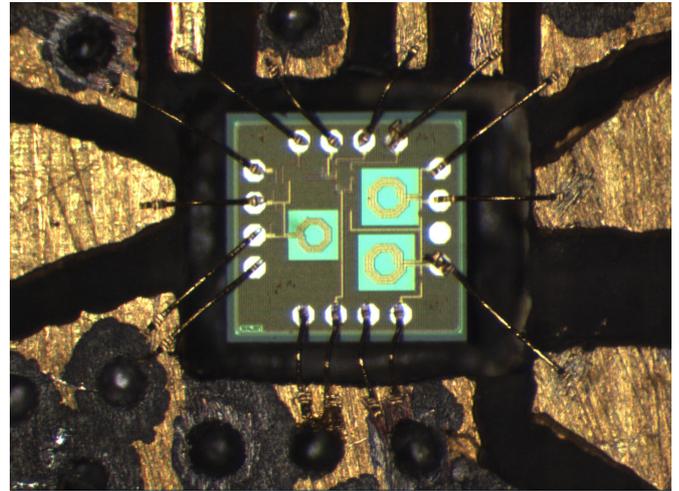


Fig. 6 Microfotografía del montaje del amplificador de bajo ruido

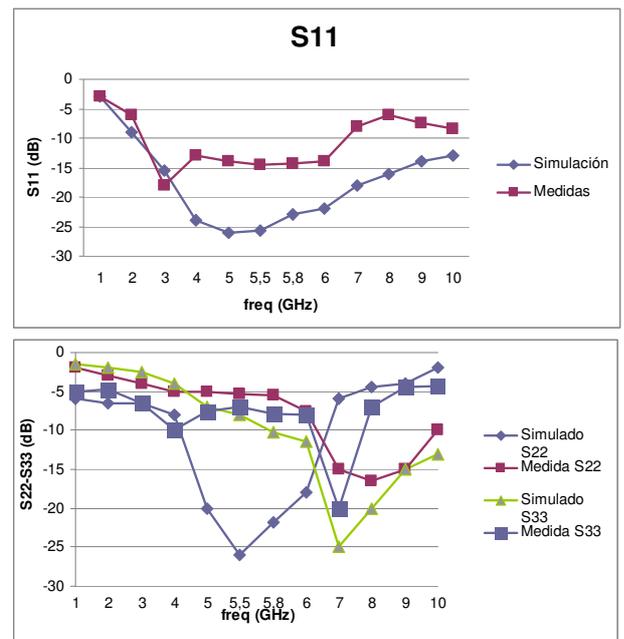


Fig. 7 Adaptación de entrada y salida del amplificador de bajo ruido

En la fig. 7 se pueden ver las adaptaciones a la entrada y en las salidas del amplificador. En cuanto a la adaptación en la entrada, los resultados obtenidos difieren 10 dB respecto de los resultados obtenidos en simulación debido a un desplazamiento en banda, así como a las líneas de la placa de montaje del chip. En torno a la frecuencia de trabajo, se obtiene unos -15 dB.

En cuanto a la adaptación a la salida se obtienen unos valores de -5 y -7 dB medidos, en la rama I y Inegada, respectivamente, frente a los -23 y -11 dB obtenidos en simulación.

Para la ganancia, los valores esperados eran de 13.4 dB en cada salida. Al realizar las medidas se ha obtenido que la ganancia es de 14.3 dB en la rama I, y de 15.1 dB en la rama Inegada.

Los resultados obtenidos para los desfases son similares a los simulados, siendo el desfase obtenido entre ambas ramas de 180.4°

En la fig. 8 se muestra el ruido que presenta el amplificador. En este caso, para la frecuencia de 5.8 GHz, en la rama I se tiene 3.4 dB mientras que en la Inegada es de 3.3 dB, valores similares obtenidos en un diseño anterior [5]. Esta diferencia de 1 dB se debe a las pérdidas introducidas por los cables y conectores utilizados durante el proceso de medida.

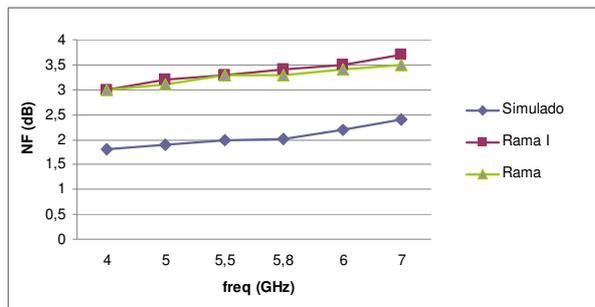


Fig. 8 Figura de ruido

### B. Mezclador de conversión directa

Como las salidas del mezclador son de alta impedancia, se presenta la ganancia en voltaje del circuito. En la fig. 9 se muestra el comportamiento de la ganancia en función de la potencia de OL para una potencia de RF constante de -40 dBm. Se puede ver cómo la ganancia máxima se encuentra para una potencia de OL de -6 dBm presentando un valor de 10.056 dBV.

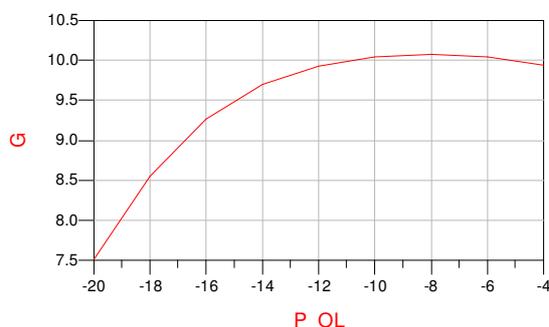


Fig. 9 Ganancia en función de la potencia de OL.

Si se fija la potencia de OL a -6 dBm, y se realiza un barrido en la potencia de RF, se puede ver que el punto de compresión 1 dB del circuito se encuentra para una potencia de entrada de RF de -8 dBm.

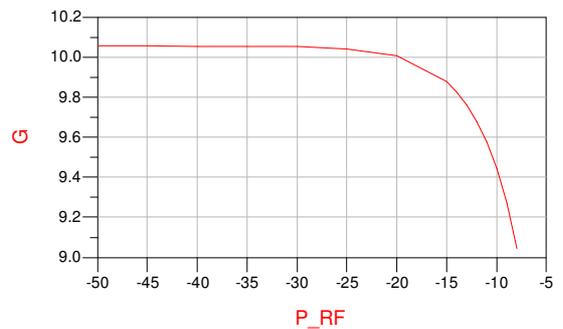


Fig. 10. Ganancia en función de la potencia de RF.

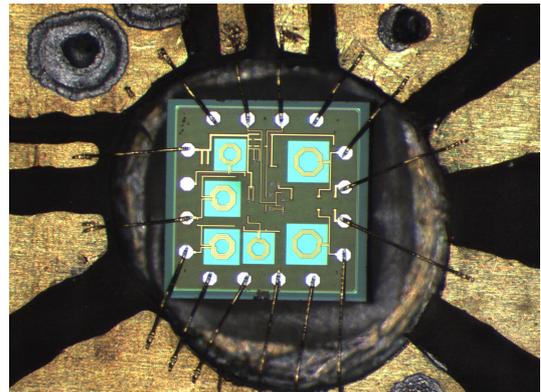


Fig. 11. Micrografía del montaje del mezclador.

En la fig. 12 se muestran los valores de ganancia en voltaje obtenidos para una potencia de RF constante de -30 dBm y variando la potencia de OL. Se puede observar que la ganancia es de 4 dBV. Estos resultados difieren de los obtenidos en las simulaciones expuestas en la fig. 9. Esto es debido a que el punto de trabajo del circuito no se corresponde con el simulado. Tras realizar diversas pruebas, se ha podido comprobar que las fuentes de intensidad generadas con transistores MOS no funcionan según la respuesta esperada del modelo eléctrico, suministrando una corriente de base a los bipolares menor de la esperada.

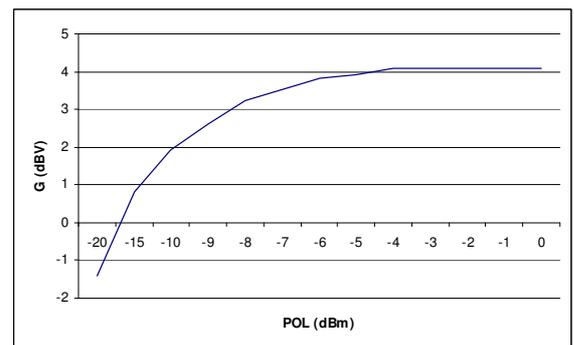


Fig. 12 Ganancia en voltaje en función de OL

### C. Desfasador de OL

En simulación, para una potencia de entrada de 0 dBm a la salida se tenía -4.179, -5.322, -4.645, -6.046 dBm correspondiéndose con las ramas I, Q, Qnegada e Inegada,

En la Fig. 15 se muestran los valores medidos. Para una entrada de 0 dBm, las salidas medidas son -9.4, -6, -6.4, -6.2 dBm

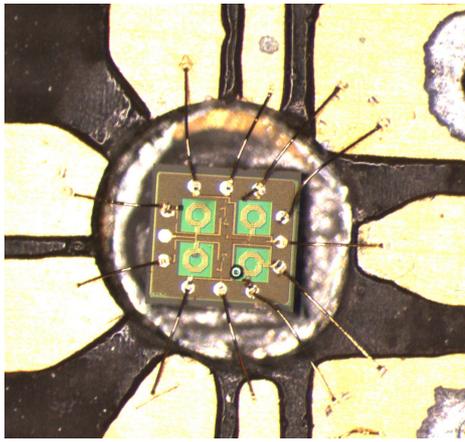


Fig. 14. Microfotografía del montaje del desfaseador de OL

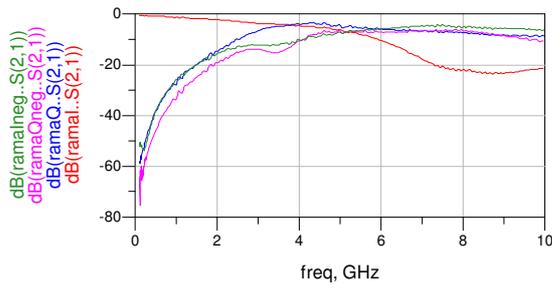


Fig. 15. Medida del S21 del desfaseador de OL

En cuanto a las fases de las señales de salida, los resultados obtenidos son:  $-35.29^\circ$  para la rama I,  $68.92^\circ$  para la Q,  $118.3^\circ$  para Qnegada,  $159.3^\circ$  para Inegada. Así los desfases obtenidos entre señales se muestran en la tabla 1. Estos resultados difieren de los simulados debido a que los bondings son de diferente longitud, así como a la falta de total simetría en la placa de montaje.

Tabla 1. Desfase entre señales

Señales	Desfase medido
I-Q	$104^\circ$
Q-Qnegada	$187^\circ$
I_Inegada	$194^\circ$

#### IV. CONCLUSIONES

Se ha diseñado, fabricado y medido los distintos componentes de un receptor de conversión directa para WLAN 802.11a, que permite reducir el tamaño y los costes del sistema.

La tecnología utilizada es IHP SGB25VD de SiGe de  $0.25 \mu\text{m}$ . Para realizar las medidas, los chips han sido montados sobre una placa de CuClad.

En la presentación de este trabajo se mostrarán los resultados obtenidos del sistema completo mediante la integración de los distintos circuitos.

#### AGRADECIMIENTOS

Este trabajo ha sido financiado por el proyecto *Transceptores integrados multielemento y monocircuito para radiocomunicación digital de banda ancha*, TEC 2006-13067-C03-02.

#### REFERENCES

- [1] B. Razavi, "Design Considerations for Direct-Conversions Receivers", *IEEE Transactions on Circuits and Systems-II: Analog and Digital Signal Processing*, Vol. 44, no. 6, pp.428-435, June 1997
- [2] Y. Jato, A. Herrera, "LNA en tecnología de SiGe para aplicaciones WLAN IEEE802.11a/HiperLAN", *URSI 2006*, pp.1298-1301, Sept. 2006.
- [3] Y. Jato, A. Herrera, "Estudio de la influencia de las librerías de RF en tecnología de SiGe: Aplicación en el diseño del LNA's para WLAN", *URSI 2007*, Sept. 2007.
- [4] Y. Jato, A. Herrera, "SiGe Low Noise Amplifier for a Direct Conversion 802.11a WLAN Receiver", *Design of Circuits and Integrated Systems*, Nov. 2006.
- [5] Y. Jato, A. Herrera, "ESD Structures Impact Analysis on a WLAN 802.11a LNA", *Microwave Integrated Circuit Conference eumic*, pp.211-214, Oct. 2007.
- [6] S.J. Parisi, "180° lumped element hybrid", *IEEE MTT-S International*, Vol. 3, pp. 1243-1246, June 1989.
- [7] T. Hirota, A. Minakawa, M. Muraguchi, "Reduced-size branch-line and rat-race hybrids for uniplanar MMIC's", *IEEE Transactions on Microwave Theory and Techniques*, Vol. 38, pp. 270-275, Mar 1990.