

Limitadores Selectivos en Frecuencia Basados en Circuitos Paramétricos

Franco Ramírez⁽¹⁾, Robert Melville⁽²⁾, Almudena Suárez⁽¹⁾, J. Stevenson Kenney⁽³⁾.

ramirezf@unican.es, bobmelville1@gmail.com, suarez@unican.es, jskenney@ece.gatech.edu

⁽¹⁾ Dpto. de Ingeniería de Comunicaciones. Universidad de Cantabria. Santander. España

⁽²⁾ New Jersey Institute of Technology. Newark NJ. EEUU

⁽³⁾ Georgia Institute of Technology. Atlanta GA. EEUU

Abstract- A parametric circuit based on varactor-diodes is presented for its application as a frequency selective limiter. A simplified analytical model is initially derived for a general understanding of the circuit performance. The power limitation is due to the frequency division of above threshold signals, leading to a reduction of the output power at the input frequency. Next, harmonic-balance simulation is applied to analyze the limiter behavior in presence of a strong and a weak signal. A matching technique is derived to increase the input-power range with high limitation level. Cascaded detuned stages are used to limit multiple above-threshold signals. An in-depth analysis of the behavior under two interferers is also presented, showing that each stage enables the frequency division of a different interferer. The techniques have been successfully applied to a frequency selective limiter in the 850 MHz band.

I. INTRODUCCIÓN

Los limitadores selectivos en frecuencia (LSF) permiten limitar o eliminar señales que sobrepasen un determinado umbral de potencia de entrada, sin afectar la potencia de salida de las señales adyacentes [1]-[3]. Las respuesta en frecuencia de estos circuitos puede considerarse como un filtro paso-banda para todas las señales con potencia inferior al umbral. Cuando la potencia de una señal sobrepasa el umbral fijado, la respuesta en frecuencia del circuito cambia y forma una depresión a la frecuencia de dicha señal. Cualquier señal con frecuencia igual o similar a la frecuencia de esta depresión se limita o elimina, mientras la potencia de salida a frecuencias distintas permanece inalterada. En este trabajo, se considera que cualquier señal cuya potencia sea superior a la potencia umbral es una señal interferente. Los circuitos LSF pueden obtenerse a partir de la no linealidad de resonadores de ferrita, que generalmente contienen esferas YIG [1]-[2]. Sin embargo, esta tecnología no es apropiada para su integración en circuitos con tamaño reducido. De manera alternativa, en trabajos previos [1],[3] se han propuesto LSF basados en diodos varactores. En ambos casos el principio de operación está basado en la división por 2 de las señales que superen el umbral de potencia. Con un diseño apropiado, se puede conseguir que la generación de un sub-armónico a $f_{in}/2$ de lugar a una reducción significativa de la potencia a f_{in} , debido a la variación de la impedancia de entrada a esta frecuencia. En trabajos de otros autores, el diseño de estos circuitos se basaba en modelos analíticos simplificados. Aquí, se presenta un análisis en profundidad de las bifurcaciones que tienen a lugar en este tipo de circuitos. Se investigarán las condiciones para una limitación de potencia óptima y los mecanismos de limitación en presencia varias señales interferentes. A modo de

demostrador y para validar las técnicas propuestas, se diseñará un limitador selectivo en frecuencia a 850 MHz.

II. DISEÑO DEL LIMITADOR SELECTIVO EN FRECUENCIA

Para el diseño del LSF, se considerará la topología de reflexión mostrada en la Fig. 1. Se conectan dos circuitos paramétricos idénticos [3]-[4] en las salidas de un híbrido de 90° y la entrada y salida se conectan en los puertos IN e ISO, respectivamente. Este circuito exhibe una bifurcación de tipo Flip para el valor de potencia de entrada P_{ino} , lo que implica la aparición de una componente sub-armónica a $f_{in}/2$. Mientras la señal de entrada se mantenga por debajo P_{ino} , la impedancia vista por la fuente es idealmente reactiva y por lo tanto toda la potencia se refleja hacia la carga. Este se debe a que el circuito no contiene ningún componente resistivo, aparte de la resistencia serie del diodo $R_d=0.15\Omega$. Una vez se ha producido la bifurcación, parte de la potencia de entrada es absorbida, debido a la parte real de la relación voltaje-corriente en los terminales de los diodos. El circuito resonante a la componente sub-armónica está constituido por un diodo en serie con una inductancia, implementada como una línea de transmisión. La componente sub-armónica tiene un desfase de 180° en el nodo común debido a la estructura balanceada. Por lo tanto, el nodo central es equivalente a una tierra virtual a $f_{in}/2$. Por otra parte, las dos ramas formadas por la conexión serie del diodo y la línea de transmisión (rama LD en la Fig. 1) están en fase a la frecuencia f_{in} . Teniendo esto en cuenta y considerando sólo la señal de entrada y la componente sub-armónica, las ecuaciones del circuito pueden escribirse de manera simplificada como:

$$\begin{bmatrix} V_{1/2} \\ V \end{bmatrix} + \begin{bmatrix} R_d + jL\omega & 0 \\ 0 & 2R_g + R_d + jL2\omega \end{bmatrix} \begin{bmatrix} I_{1/2} \\ I \end{bmatrix} = \begin{bmatrix} V_{1/2} \\ V \end{bmatrix} + \begin{bmatrix} R_d + jL\omega & 0 \\ 0 & Z_T(2\omega) \end{bmatrix} \begin{bmatrix} j c_o \omega V_{1/2} + j 2 c_1 \omega V V_{1/2}^* & 0 \\ 0 & j 2 c_o \omega V + j c_1 \omega V_{1/2}^2 \end{bmatrix} \begin{bmatrix} 0 \\ E_g \end{bmatrix} \quad (1)$$

donde L corresponde a una inductancia, $V_{1/2}$, V , $I_{1/2}$ e I corresponden a las componentes armónicas de voltaje y corriente en el diodo a $\omega=\omega_{in}/2$ y 2ω , respectivamente. A modo de ejemplo, se considera el caso de una capacidad lineal del tipo $c(v)=c_o+c_1v$. Nótese que el sistema de ecuaciones antes descrito se asocia a cualquiera de los dos puertos del híbrido (0° o 90°). La señal a la entrada desde el punto de vista del circuito híbrido se representa por un generador equivalente $E_g(t)$ en serie con $R_g=50\Omega$. La

ecuación anterior puede reescribirse de la siguiente manera:

$$V = \frac{E_g - j c_1 \omega Z_T(2\omega) V_{1/2}^2}{1 + j 2 c_0 \omega Z_T(2\omega)} \quad (a)$$

$$\frac{1}{R_d + j L \omega} + j c_0 \omega + j 2 c_1 \omega |V| e^{j(\phi - 2\phi_{1/2})} = 0 \quad (b)$$

La depresión que aparece alrededor de ω , para $P_{in} > P_{ino}$, se debe a la resonancia a la frecuencia de la componente sub-armónica, indicada por (2b). En la práctica el circuito resonante tendrá un factor de calidad determinado, dando lugar a un comportamiento similar a un filtro rechaza-banda centrado entorno a la señal interferente. Aunque el sistema de ecuaciones (2) es un sistema lineal, podemos obtener algunas conclusiones acerca del comportamiento del circuito mediante su inspección. Antes de la generación del componente sub-armónico ($V_{1/2}=0$, en (2a)), la relación voltaje-corriente en las ramas LD será prácticamente reactiva. El valor de E_g en el punto de la bifurcación Flip (E_{gb}) se obtiene a partir de la ecuación (2b) y aplicando la condición $|V_{1/2}|=0$. A partir del punto de bifurcación, la magnitud de $|V|$ toma un valor casi constante, mientras que la magnitud de $|V_{1/2}|$ crece rápidamente, con una pendiente elevada en función de E_g , para cumplir la condición de oscilación a la componente sub-armónica (2b). De la ecuación (2a), esto implica una variación significativa de los dos valores de fase ϕ y $\phi_{1/2}$, resultando en parte real positiva en la relación voltaje-corriente observada desde la entrada. Después de esta etapa de crecimiento rápido, la sensibilidad de las dos fases, respecto de E_g , se reduce considerablemente. La magnitud $|V_{1/2}|^2$ tiende a evolucionar proporcionalmente con E_g .

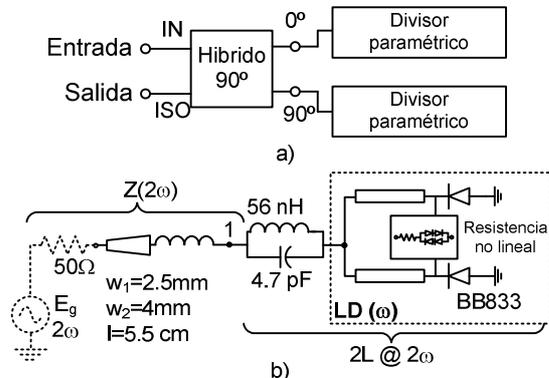


Fig. 1. Limitador selectivo en Frecuencia (LSF) en modo de reflexión. a) Diagrama de bloques. b) Esquemático del sub-circuito paramétrico. Circuito fabricado en sustrato CuClad ($\epsilon_r=2.17$, $h=0.8\text{mm}$) y diodos Siemens BB833.

A. Análisis con balance armónico

El circuito de la Fig. 1 se ha simulado en balance armónico (BA) con el programa ADS de Agilent Technologies, utilizando un generador auxiliar (GA) para el análisis y diseño [5]. El circuito se ha analizado en balance armónico a dos tonos, a frecuencias $f_1/2$ y f_2 , utilizando el GA para obtener la solución sub-armónica en presencia de la señal débil a f_2 . El limitador se ha analizado incrementando la potencia de la señal interferente a f_1 . La variación de la potencia de salida a f_1 y f_2 , y la frecuencia imagen $2f_1-f_2$, se muestran en la Fig. 2a. En concordancia con el modelo analítico, existe una pequeña región de valores de potencia de entrada, en la cual el circuito se comporta de manera muy no lineal. Esto se debe al rápido crecimiento de la componente

sub-armónica en función de la potencia de entrada P_{in} . Este comportamiento no lineal da lugar a un crecimiento rápido de la potencia de la frecuencia imagen $2f_1-f_2$. Este comportamiento es propio de los circuitos LSF y también se observa en los LSF basados en esferas de YIG [6]. Sin embargo, debido a que generalmente el factor de calidad de la resonancia al sub-armónico es bastante alto, la potencia de la componente imagen sólo tendrá valores significativos para una separación pequeña entre la señal débil a f_2 y la interferente a f_1 , dado que para separaciones mayores las componentes frecuenciales a f_2 observarían una carga casi puramente reactiva. Si se sigue incrementando el valor de P_{in} , la sensibilidad de la fase se reduce y también la potencia de la frecuencia imagen. Finalmente, para un valor muy alto de potencia P_{in} , la curva de transferencia de potencia a la frecuencia interferente tiende a una pendiente de valor uno. La Fig. 2b muestra las medidas de la variación de la frecuencia imagen para distintos valores de separación entre la interferente a f_1 y la señal débil a f_2 .

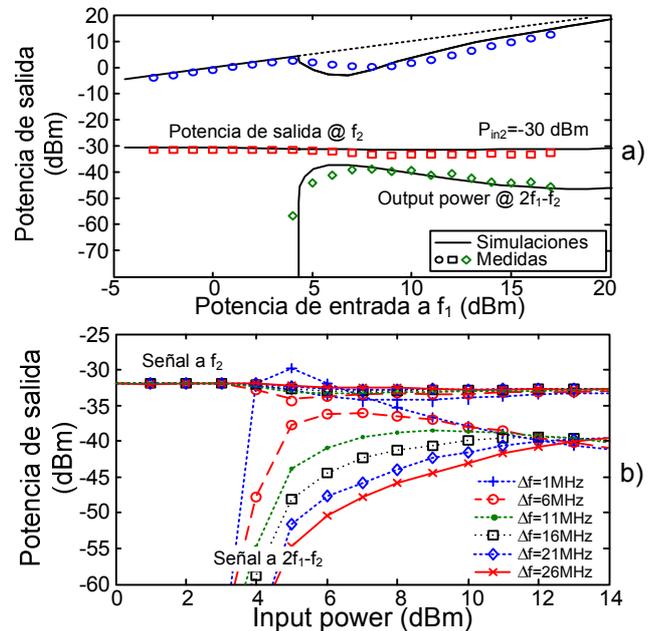


Fig. 2. Variación de la potencia de salida de la señal interferente y la señal deseada en función de la potencia de la interferente. a) Medidas y simulación. b) Caracterización experimental detallada en función de la separación de frecuencia Δf entre f_1 y f_2 , para $P_{in2}=-30\text{dBm}$.

B. Incremento del nivel de atenuación

Dos objetivos de diseño importantes son: la reducción del valor del umbral para la limitación de la potencia de salida y el nivel de la señal limitada. El umbral puede reducirse fácilmente mediante técnicas de control de bifurcaciones. Para ello se fija el valor de potencia de entrada en el valor deseado para el umbral y se optimizan los elementos de Z_T , de manera que se cumpla $Y_{GA}=0$ [5]. Existe un límite para la reducción del umbral que esta determinado por la tecnología del dispositivo utilizado, dado que este debe operar en un régimen no lineal para que la división se dé a lugar. Para aumentar el nivel de limitación, se considera por separado la subred que se conecta en los terminales 0° y 90° del híbrido. La salida del híbrido se representa por un generador E_g equivalente, conectado en serie con una resistencia de 50Ω . La capacidad del circuito para limitar o eliminar la señal interferente está directamente relacionada con la adaptación

de la impedancia de entrada a la frecuencia interferente f_1 una vez que se ha producido la división. Para aumentar el nivel de atenuación, la meta es obtener una relación voltaje-corriente (V/I) constante a la entrada del circuito paramétrico (nodo 1 Fig. 1b) a medida que P_{in} se incrementa. Si se consigue esto, es posible obtener una buena adaptación para casi todos los valores de P_{in} con una misma red lineal conectada entre el híbrido y las dos ramas LD. Nótese que la relación V/I cambia a medida que se modifica el valor de P_{in} , así que para obtener un valor casi constante se conecta una resistencia no lineal R_b entre estas dos ramas (Fig. 1b). En el modelo simplificado presentado en (1), la resistencia no lineal sólo es observada por la componente sub-armónica y por lo tanto debe reescribirse la ecuación (2b) para tenerla en cuenta; esta ecuación corresponde a la resonancia al sub-armónico $f_{in}/2$. Esta ecuación está acoplada a (2a), de manera que la resistencia R_b también influirá en el comportamiento del circuito a f_{in} . Esta resistencia tiene una característica $i(v)=a_1v+a_3v^3$. Para determinar los coeficientes a_1 y a_3 , se consideran distintos valores de potencia de entrada, para los cuales se produce la limitación, en cada paso del proceso. Para obtener el valor de V/I a f_1 , el circuito se analiza en régimen dividido con un GA a la frecuencia sub-armónica $f_1/2$. Los coeficientes a_1 y a_3 correspondientes a la característica $i(v)$ de la resistencia no lineal se ajustan de manera que la parte real de V/I se mantiene constante a medida que se incrementa el valor de P_{in} . Aquí, se ha considerado un valor real(V/I)= 12Ω . El siguiente paso es obtener una impedancia de 50Ω vista desde uno de los terminales del híbrido, para todos los valores de $P_{in}>P_{th}$, donde P_{th} es el valor de potencia umbral. Para ello se ha utilizado un transformador de impedancias en línea microstrip para adaptar la impedancia entrada con la de la fuente. La parte imaginaria de V/I se compensa con un elemento reactivo a la entrada de la subred. Sin embargo, debido a la no linealidad del circuito, no es posible obtener $\text{imag}(V/I)=0$ para todos los valores de P_{in} . La evolución de V/I se ha trazado sobre la carta de Smith en la Fig. 3a. El efecto de la conexión de la resistencia no lineal en la curva de transferencia de potencia se puede observar más claramente en la Fig. 3b. Comparando los resultados de la Fig. 3b y los del circuito original, antes de la introducción de la resistencia no lineal, mostrados en la Fig. 1a, se observa un incremento en la limitación de aproximadamente 30dB. La resistencia no lineal se ha implementado utilizando diodos invertidos conectados en paralelo. Las campañas de medida confirman el aumento de la atenuación de la señal interferente, como se muestra en la Fig. 4, en donde se han trazado las curvas de transferencia de potencia para diferentes frecuencias de entrada.

III. COMPORTAMIENTO ANTE MÚLTIPLES SEÑALES INTERFERENTES

De manera similar a los LSF basados en YIG, el rango dinámico del LSF basado en varactor puede aumentarse conectando dos etapas en cascada. Cada etapa dará lugar a una división de frecuencia a partir de un determinado valor de P_{in} . A modo de ejemplo se han conectado en cascada dos etapas, como las mostradas en la Fig. 1, y se ha analizado su comportamiento en presencia de una señal interferente a la frecuencia f_1 , usando, alternativamente, uno y dos generadores

auxiliares a la componente sub-armónica. En el umbral de potencia P_{inb} ocurre una bifurcación de Flip en la primera etapa (Fig. 5a), produciéndose el fenómeno de limitación de potencia a f_1 . Si se continúa aumentando la potencia de entrada, una segunda bifurcación de Flip sucede a partir del valor de potencia de entrada P_{inb}' . Nótese que esta segunda bifurcación sucede en presencia de una componente sub-armónica en la primera etapa. A partir del valor P_{inb}' ambas etapas estarán operando a la frecuencia sub-armónica $f_1/2$. La Fig. 5b muestra el lugar de la bifurcación flip resultante de la conexión en cascada de los dos LSF. El efecto de la limitación producida en la primera etapa, da a lugar al incremento de la potencia de entrada requerida para la bifurcación flip en la segunda. El lugar de bifurcación flip de esta segunda etapa está ubicado dentro del lugar correspondiente a la primera.

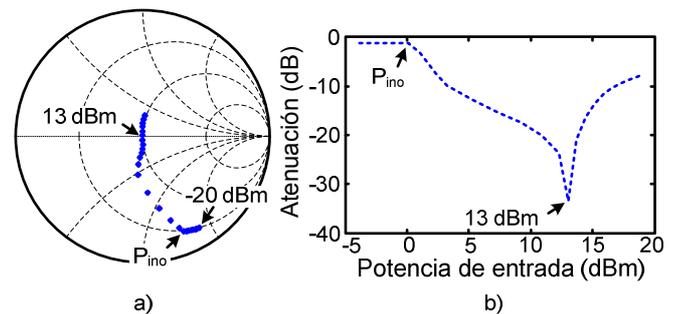


Fig. 3. Mejora de la adaptación de entrada, a la frecuencia de la señal interferente, mediante la conexión de una resistencia no lineal. a) Representación de V/I sobre la carta de Smith en presencia de $f_1/2$, obtenida mediante un barrido de potencia. b) Curva de transferencia de potencia, después de la modificación del circuito, a la frecuencia de la interferente.

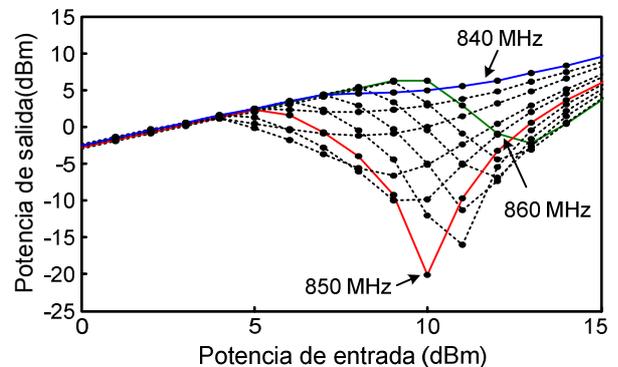


Fig. 4. Medidas correspondientes a las curvas de transferencia de potencia de la señal interferente, cuando se utiliza la resistencia no lineal, para distintos valores de frecuencia de entrada.

Para mejorar el ancho de banda de operación, es posible utilizar dos etapas LSF, con frecuencias centrales de operación ligeramente distintas, conectadas en cascada. Como se ha verificado, si se tienen dos señales interferentes a f_1 y f_1' , cada etapa dará lugar a una división por 2 a las respectivas frecuencias. En el caso de que la señal a f_1 esté siendo limitada en la primera etapa, su potencia permanecerá por debajo del umbral a la entrada de la segunda. Por lo tanto, sólo la señal a f_1' estará por encima del umbral a la entrada de la siguiente etapa y por lo tanto será susceptible de ser limitada por el fenómeno de división. A modo de ilustración, la conexión en cascada de dos etapas LSF, sintonizadas a frecuencias distintas, se ha analizado en presencia de dos señales interferentes a f_1 y f_1' . Para analizar la variación del umbral de limitación de potencia, el lugar de la bifurcación flip de la primera etapa se ha trazado en primer lugar. Esto se

llevó a cabo conectando un GA a $f_{in}/2$, con muy pequeña amplitud, $A_{GA}=\epsilon$, e imponiendo la condición: $Y_{GA}(P_{in}, f_{in}, \phi_{GA})=0$ [5]. Esta técnica proporciona el lugar de bifurcación marcado como (1) en la Fig. 6. A continuación se obtiene el lugar de bifurcación de la segunda etapa, conectando un GA en la subred sub-armónica correspondiente e imponiendo la misma condición $Y_{GA}(P_{in}, f_{in}, \phi_{GA})=0$. El lugar obtenido se muestra en la Fig. 6. El resultado obtenido es meramente cualitativo ya que, en presencia de las dos señales interferentes, el momento de producirse la división de frecuencia, el circuito estaría operando en un régimen cuasi-periódico a f_1 y f_1' . Así, no es posible tener esto en cuenta a la hora de trazar el lugar de flip, ya que se obtendrían distintos lugares para cada valor de potencia y frecuencia de la interferente no dividida. Sin embargo, la curva de la Fig. 6 muestra claramente que el ancho de banda de operación se ha ensanchado y que aparecen dos valles en el lugar de flip global, estando éste definido por la envolvente de los dos lugares individuales. Aunque el principio de operación es distinto, el ensanchamiento de banda de LSFs basados en YIG también se lleva a cabo introduciendo etapas adicionales y la forma del lugar también presenta múltiples valles.

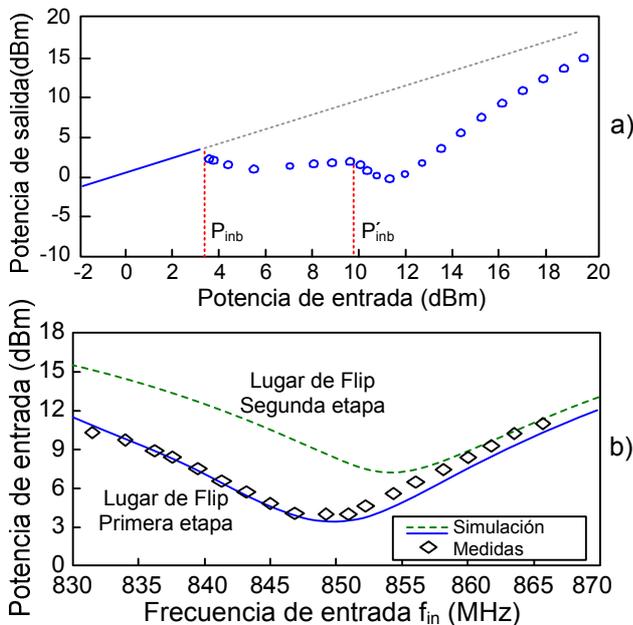


Fig. 5. Incremento del rango dinámico del LSF mediante la conexión en cascada de dos etapas. a) Curva de transferencia de potencia. b) Variación de la potencia umbral en función de la frecuencia de entrada.

El comportamiento del limitador de potencia, en presencia de dos interferentes también se ha analizado con el método de transitorio de envolvente, utilizando un GA en cada etapa para inicializar la oscilación sub-armónica. El umbral de limitación de potencia es de 3 dBm. En el caso de la Fig. 7a, ambas señales están por debajo del umbral, $P_{in1}=P_{in2}=0$ dBm. Ninguna sufre limitación. En la Fig. 7b, la potencia de las señales es de $P_{in1}=10$ dBm y $P_{in2}=0$ dBm. Sólo la primera señal, con potencia superior al umbral, ha sido limitada. En la Fig. 7c, los valores de potencia de entrada son: $P_{in1}=0$ dBm y $P_{in2}=10$ dBm. Sólo la segunda señal se ve limitada. Finalmente, en la Fig. 7d, la potencia de entrada de las distintas señales es $P_{in1}=P_{in2}=10$ dBm. Ambas señales están limitadas a la salida. En el último caso, la señal que no es limitada en una etapa, se limita por el fenómeno de división en la segunda.

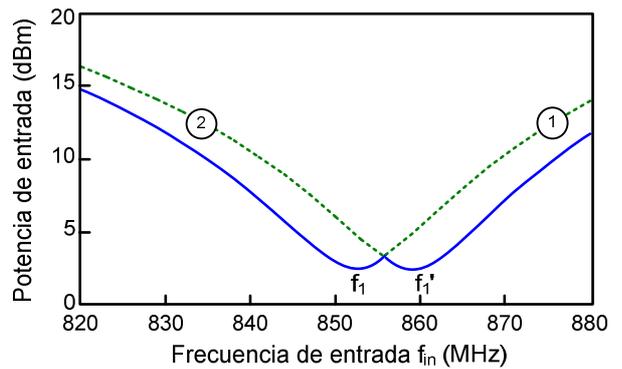


Fig. 6. Incremento del ancho de banda de operación mediante la conexión en cascada de dos etapas desintonizadas.

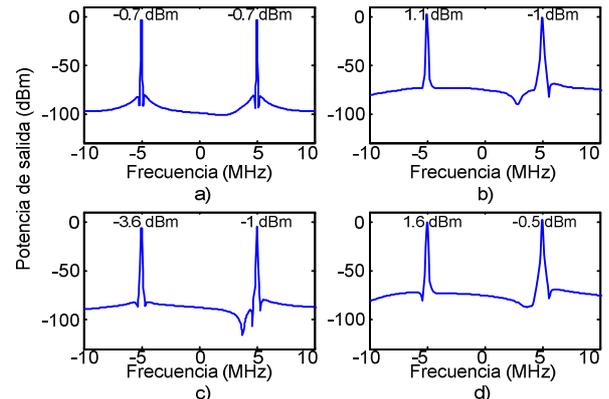


Fig. 7. Simulación de transitorio de envolvente de las dos etapas LSF conectadas en cascada, cuando existen dos señales interferentes con distintos valores de potencia de entrada.

IV. CONCLUSIONES

Se ha presentado un circuito paramétrico para su aplicación como limitador selectivo en frecuencia. En una etapa inicial, el estudio analítico del problema ha permitido comprender el comportamiento del circuito, que está basado en la división de frecuencia, por dos, de señales que superen un determinado valor de potencia. A continuación, aplicando una técnica de diseño no lineal se ha incrementado el rango dinámico del circuito, en el cual se produce la mayor limitación de potencia. También se ha analizado la operación de un LSF de dos etapas en cascada en presencia de múltiples señales interferentes, verificando que cada etapa sólo da lugar a una división de frecuencia a una única interferente.

REFERENCIAS

- [1] A. Giarola, "A review of theory, characteristics, and operation of frequency selective limiters," *Proc. IEEE*, vol. 67, no. 10, pp. 1380-1396, Oct. 1979.
- [2] J.D. Adams, S.N. Stitzer, "Frequency selective limiters for high dynamic range microwave applications," *IEEE Trans. Theory and Techn.*, vol. 41, no. 12, pp. 2227-2231, Dec., 1993.
- [3] D. Sychaleun, E.B. Felstead, G.A. Morin, "Progress on the frequency independent strong signal suppressor (FISSS)," *MILCOM 97 Proc.*, vol. 1, pp. 69-73, Monterrey, CA.
- [4] E. Goto, "The Parametron, a digital computing element which utilizes parametric oscillation," *Proc. of IRE*, vol. 47, no. 8, pp. 1304-1316, Aug., 1959.
- [5] A. Suárez, R. Melville, "Simulation-assisted design and analysis of varactor-based frequency multipliers and dividers," *IEEE Trans. Theory and Techn.*, vol. 54, no. 3, Mar. 2006.
- [6] A.L. Berman, "Multiple-carrier behavior of a frequency-selective ferrite limiter," *IEEE Trans. Commun.*, vol. 12, no. 2, Jun., 1964.