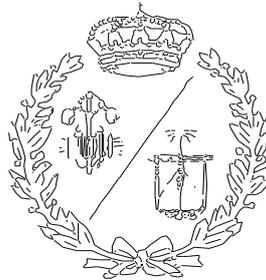


**ESCUELA TÉCNICA SUPERIOR DE INGENIEROS
INDUSTRIALES Y DE TELECOMUNICACIÓN**

UNIVERSIDAD DE CANTABRIA



Proyecto Fin de Grado

**Diseño y caracterización de un regulador
de baja caída de tensión (LDO) para
aplicaciones con alimentación por RF**

**Design and Characterization of a Low Drop-
Out Voltage Regulator (LDO) for applications
powered by RF**

Para acceder al Título de

**GRADUADO EN INGENIERÍA ELECTRÓNICA
INDUSTRIAL Y AUTOMÁTICA**

Autor: Pablo Prieto López

Septiembre – 2019

AGRADECIMIENTOS

En este documento se muestra el trabajo realizado durante un largo curso, aplicando los conocimientos que se han aprendido durante estos cuatro años de carrera y que gracias al apoyo de diversas personas ha sido posible realizarlo.

Especial agradecimiento a mi tutora del proyecto y profesora durante todos estos años de carrera, Yolanda Lechuga, y a José Ángel Miguel, que han prestado todo su tiempo posible en guiarme y explicarme los fallos cometidos durante estos meses. A todo el Grupo de Ingeniería Microelectrónica (GIM), del Departamento de Tecnología Electrónica, Ingeniería de Sistemas y Automática (TEISA), por haber compartido su gran conocimiento de la electrónica conmigo y hacerla parte de mi futuro.

A mis amigos, por aguantarme durante estos años de carrera, que se siempre han estado a mi lado para ayudarme, apoyarme y animarme cuando los momentos no eran tan buenos.

Por último, a mi familia, este trabajo no habría sido posible sin su apoyo. Especialmente a mis padres, María del Pilar López y Daniel Prieto, que me han animado a seguir estudiando cada año, que me han enseñado que con esfuerzo todo es posible y que sin ellos no habría sido capaz de llegar tan alto.

ÍNDICE

1	INTRODUCCIÓN.....	1
1.1	MOTIVACIÓN.....	3
1.2	OBJETIVOS.....	4
2	REGULADOR DE TENSIÓN ANALÓGICO.....	5
2.1	REGULADOR DE TENSIÓN CONMUTADO.	5
2.1.1	INTERRUPTOR DE CONMUTACIÓN.	6
2.1.2	FILTRO DE SALIDA.	6
2.1.3	CIRCUITO DE CONTROL.	7
2.2	REGULADOR DE TENSIÓN LINEAL.	8
2.2.1	ELEMENTO DE PASO.	9
2.2.2	AMPLIFICADOR DE ERROR.	9
2.2.3	TENSIÓN DE REFERENCIA.	10
2.2.4	RED DE REALIMENTACIÓN.....	10
2.2.5	CONDENSADOR DE SALIDA.	11
2.3	COMPARATIVA DE REGULADORES.....	11
3	TOPOLOGÍAS DE REGULADORES LINEALES.....	13
3.1	TOPOLOGÍA NPN-DARLINGTON.....	13
3.2	TOPOLOGÍA NPN.	14
3.3	TOPOLOGÍA PNP.	14
3.4	TOPOLOGÍAS CMOS.....	15
3.5	COMPARACIÓN Y SELECCIÓN DE TOPOLOGÍAS.....	16
4	PARÁMETROS DEL LDO.....	18
4.1	TENSIÓN DE CAIDA.	18
4.2	CORRIENTE DE TIERRA.....	19
4.3	REGULACIÓN DE LINEA.	19
4.4	REGULACIÓN DE CARGA.....	19
4.5	FACTOR DE RECHAZO DE ALIMENTACIÓN.	20

4.6	RENDIMIENTO DEL REGULADOR.....	20
4.7	RESPUESTA TRANSITORIA.	21
5	DISEÑO DEL REGULADOR LDO DISCRETO.	22
5.1	PARAMETROS DE DISEÑO.	22
5.2	SELECCIÓN DE LOS DISPOSITIVOS DISCRETOS.....	23
5.2.1	REQUERIMIENTOS DEL DISEÑO.....	23
5.2.2	DISPOSITIVOS SELECCIONADOS.	26
6	SIMULACION DEL REGULADOR LDO DISCRETO.....	29
6.1	CIRCUITO EMPLEADO.....	29
6.2	MODELO IDEAL.....	30
6.3	MODELO REAL.....	34
6.3.1	ESTABILIDAD DEL MODELO.	36
6.3.2	CARACTERIZACIÓN DEL ELEMENTO DE PASO.....	37
6.3.3	TENSIÓN DE CAIDA.....	40
6.3.4	REGULACIÓN DE LÍNEA.....	41
6.3.5	REGULACIÓN DE CARGA.....	41
6.3.6	FACTOR DE RECHAZO A LA ALIMENTACIÓN.....	42
6.3.7	EFICIENCIA.....	43
6.4	RESUMEN DE RENDIMIENTO.....	45
7	ANÁLISIS DEL REGULADOR LDO.	46
7.1	REGULADOR DE TENSIÓN LDO REAL.	46
7.1.1	TENSIÓN DE CAIDA.....	49
7.1.2	REGULACIÓN DE LÍNEA.....	50
7.1.3	REGULACIÓN DE CARGA.....	51
7.1.4	FACTOR DE RECHAZO A LA ALIMENTACIÓN.....	51
7.1.5	RENDIMIENTO.....	53
7.2	REGULADOR LDO IMPLEMENTADO EN PLACA DE PRUEBA.....	54
7.2.1	TENSIÓN DE CAIDA.....	54
7.2.2	REGULACIÓN DE LÍNEA.....	55

7.2.3	FACTOR DE RECHAZO A LA ALIMENTACIÓN.....	56
7.2.4	RENDIMIENTO.....	56
7.3	RESULTADOS DEL REGULADOR.....	57
8	SIMULACIÓN DEL LDO PARA CIRCUITO INTEGRADO.....	59
8.1	TENSIÓN DE CAÍDA.....	61
8.2	REGULACIÓN DE LÍNEA.....	62
8.3	REGULACIÓN DE CARGA.....	62
8.4	RESPUESTA TRANSITORIA.....	63
8.5	FACTOR DE RECHAZO A LA ALIMENTACIÓN.....	64
8.6	RENDIMIENTO.....	65
9	CONCLUSIONES DEL PROYECTO.....	66
10	BIBLOGRAFÍA.....	67

1 INTRODUCCIÓN.

Las enfermedades cardiovasculares (ECV) son una de las principales causas de mortalidad a día de hoy en el mundo, concretamente, un 31% de las muertes que se produjeron en el año 2015 se debieron a ECV. Este tipo de dolencias requieren ser detectadas rápidamente y aplicar un tratamiento adecuado lo antes posible para prolongar la esperanza de vida del paciente. Es más, un 42% de las muertes por ECV son debidas a cardiopatías coronarias [1], que se definen como todas aquellas enfermedades que afectan a los vasos sanguíneos que irrigan el corazón y entre las cuales se encuentra el infarto de miocardio, también llamado ataque al corazón [2]. La cardiopatía isquémica es la enfermedad causada por el aumento de placa aterosclerótica en las arterias coronarias [3]. La placa aterosclerótica, o ateroma, viene causada por un depósito de lípidos en la pared de los vasos sanguíneos que posteriormente queda recubierto por tejido fibroso y que puede originar la aparición de un trombo. Éste puede llegar a originar un bloque parcial o total del vaso en el que se encuentra la placa, o puede desprenderse y generar la obstrucción en otro vaso de menor calibre. Los factores de riesgo asociados al aumento de placas son: niveles altos de colesterol, hipertensión, tabaquismo, o altos niveles de azúcar [2].

Para este tipo de enfermedades existen diversos tratamientos, dependiendo del nivel de avance de la enfermedad. Para niveles bajos un cambio en el estilo de vida, como por ejemplo introducir cambios en la dieta, puede ser suficiente para paliar la enfermedad. Pero en niveles altos, donde la dolencia es aguda, puede ser necesario recurrir a una intervención quirúrgica. En el caso de las cardiopatías, una de las más comunes es el bypass de arteria coronaria (CABG, *Coronary Artery Bypass Grafting*) [4]. Esta intervención consiste en aumentar el flujo de sangre en la arteria mediante revascularización, es decir, creando un canal alternativo que evite la zona bloqueada, mediante un vaso sanguíneo extraído de la propia pierna, brazo o tórax del paciente.

Como alternativa mínimamente invasiva a la cirugía, se encuentra otro de los procedimientos de revascularización más extendidos, la Intervención Percutánea Coronaria (IPC). En este caso se introduce un catéter, con un balón desinflado en su extremo a través de la arteria femoral o ilíaca hasta la zona del bloqueo. Una vez allí, el balón se expande destruyendo dicho bloqueo y permitiendo que se reestablezca el flujo sanguíneo. Esta intervención suele ir acompañada de la implantación de una endoprótesis conocida como stent [5]. Un stent es un tubo pequeño formado por una malla de metal que se expande dentro de una arteria de calibre medio o grueso. Durante la IPC, cuando el balón se infla, el stent

que lleva alrededor se expande y se adhiere a las paredes del vaso, apuntalándolo para que no vuelva a cerrarse [6].

Los riesgos que se pueden producir al realizarse una IPC son los siguientes: coágulos de sangre, arritmias, o insuficiencia renal. Sin embargo, el más peligroso está asociado a su comportamiento a medio y largo plazo y es la re-estenosis o re-obstrucción de la endoprótesis porque puede dar lugar a serias complicaciones y convertirse en potencialmente mortal. La re-estenosis de la endoprótesis o re-estenosis intrastent (RIS) es la reducción del flujo de sangre después de la implantación de un stent debido a la migración y crecimiento de células de musculo liso, acumulación de placa, formación de trombos o remodelaciones de las paredes del vaso sanguíneo en el interior del stent implantado [7].

Para la detección de la RIS existen varios métodos como la angiografía coronaria, la ecocardiografía, las tomografías computarizadas (TAC) y la imagen por resonancia magnética (IRM) [8]. La angiografía coronaria es un procedimiento invasivo para medir las presiones en las cámaras del corazón, consiste en la introducción de un catéter que se desplaza hasta el corazón, una vez este el catéter en el corazón, se inyecta un tinte (material de contraste) en la sangre para observar mediante rayos X cómo se desplaza la sangre por la arteria [9]. La ecocardiografía se trata de un procedimiento no invasivo por el cual, mediante ultrasonidos, se pueden observar la forma, fuerza, movimiento y funcionamiento de las válvulas del corazón [10]. También permite ver las presiones en las arterias, pero se trata de un procedimiento poco preciso debido a la baja resolución de los ultrasonidos. Las dos siguientes técnicas, el TAC y el IRM, son técnicas no invasivas, pero presentan inconvenientes: como la falta de información que dan sobre la hemodinámica, que no son aptas para todo tipo de pacientes, en el caso de la IRM los pacientes con prótesis metálicas o marcapasos no pueden ser sometidos a ella, etc. Por lo que la angiografía es el procedimiento más fiable para la detección de la RIS, pero conlleva ciertos riesgos, como pueden ser: taponamiento cardiaco, arritmia, presión arterial baja, ataque cardiaco o lesión de la arteria [9].

Los stent inteligentes (istent) son una alternativa no intrusiva para la monitorización de la RIS, por lo que su estudio y desarrollo es un punto de interés [11]. Un istent se puede definir como un stent con la habilidad para medir señales hemodinámicas y transmitir las fuera del cuerpo.

Por tanto, estos dispositivos necesitan comunicarse con el exterior, y uno de los aspectos fundamentales en este tipo de implantes será la alimentación inalámbrica por RF (*Wireless Power and Charging Systems*) para poder eliminar la necesidad de baterías, reduciendo el tamaño del dispositivo implantable e incrementando su facilidad de implantación [12]. Por ello, un elemento clave en el diseño de este tipo de dispositivos implantables es el *front-end* analógico capaz de convertir la potencia recibida a través de un enlace por RF, en una tensión estable de corriente continua de alimentación, DC, estamos hablando del regulador de tensión. En un sistema implantable es necesario que el consumo sea bajo, puesto que se dispone de una potencia acoplada muy limitada, además de que debe tener un tamaño reducido. Por ello, el regulador de tensión necesario para asegurar una alimentación estable al *front-end* no puede ser conmutado si no se cuenta con una señal de reloj en el interior del implante. En tal caso se opta por los reguladores lineales; más concretamente los llamados reguladores de baja caída de tensión (*Low Drop-Out* o *LDO*). Estos circuitos serán los encargados de convertir las señales de entrada con ruido, procedentes de un rectificador, en salidas estables que, posteriormente, se emplearán como alimentación de los circuitos de acondicionamiento y procesado de las señales recogidas por los sensores del implante.

1.1 MOTIVACIÓN.

El Grupo de Ingeniería Microelectrónica del departamento TEISA de la Universidad de Cantabria ha estado desarrollando en los últimos años un sistema de monitorización de la presión arterial para el seguimiento de la Re-estenosis Intra Stent basado en sensores MEMS capacitivos. Dentro de esta línea se ha desarrollado un prototipo integrado de *front-end* analógico para el tratamiento y transmisión de datos, así como para la alimentación del sistema completo a través de técnicas WPCS por retrodispersión de ondas o *backscattering*. El citado prototipo está formado por un bloque rectificador para la señal de entrada RF, un regulador de baja caída de tensión, un bloque de referencias de tensión y un oscilador *sawtooth* modificado.

Durante la caracterización experimental del prototipo integrado se observó que el bloque de referencias de tensión no satisfacía los requerimientos establecidos y se propuso la optimización del diseño mediante la introducción de modificaciones en alguno de los bloques que componen dicho regulador. En este punto se planteó la necesidad de construir un circuito demostrador discreto de un regulador de tensión para que fuera posible caracterizar experimentalmente, y de forma sencilla, el efecto de cambios de topología en sus

prestaciones. El diseño discreto debía ser, primeramente, funcional, y segundo, debía de proporcionar resultados extrapolables al diseño integrado.

1.2 OBJETIVOS.

Este Trabajo Fin de Grado es un proyecto de investigación centrado en el diseño y caracterización de un regulador LDO. Como objetivo principal del TFG es realizar un circuito demostrador discreto del regulador LDO para, de este modo, poder probar diferentes arquitecturas y, comprobar su funcionamiento. El primero de los objetivos que en su totalidad componen el objetivo principal, es estudiar el funcionamiento de un regulador de tensión LDO, comparar sus diferentes topologías y seleccionar una concreta sobre la que realizar un estudio en profundidad de su funcionamiento. De la topología elegida se debe realizar una caracterización de sus bloques, para poder seleccionar los componentes discretos que se adecúen a los requisitos marcados, comprobando mediante simulaciones que el regulador puede funcionar correctamente.

Una vez elegidos los componentes discretos, se procederá a su montaje en una placa de prototipado (*Protoboard*) para caracterizar su funcionamiento y obtener los parámetros clave del regulador LDO de manera experimental, y así, posteriormente, soldarlo a una placa de pruebas perforada (*Stripboard*).

Como último objetivo, se ha decidido caracterizar por simulación un diseño de LDO integrado (tecnología TSMC $0.18\mu\text{m}$), para el cual se ha de modificar la red de realimentación, y se adecúe a los requerimientos de sistemas implantables con alimentación inalámbrica (*istent*). Se compararán los resultados de todos los diseños y se extraerán conclusiones. Esto servirá para corroborar que la topología seleccionada es funcional, tanto para un LDO integrado, cómo para un LDO discreto.

2 REGULADOR DE TENSION ANALÓGICO.

Un regulador de tensión genera una tensión de salida de valor fijo que ha de ser constante en el tiempo a pesar de los cambios que se pueden producir tanto en la entrada de tensión como en la carga conectada a su la salida.

Los reguladores de tensión se utilizan principalmente para aislar una carga de una señal ruidosa, pero dependiendo del tipo de regulador utilizado se puede hasta aumentar o disminuir la tensión de salida respecto de la tensión de entrada.

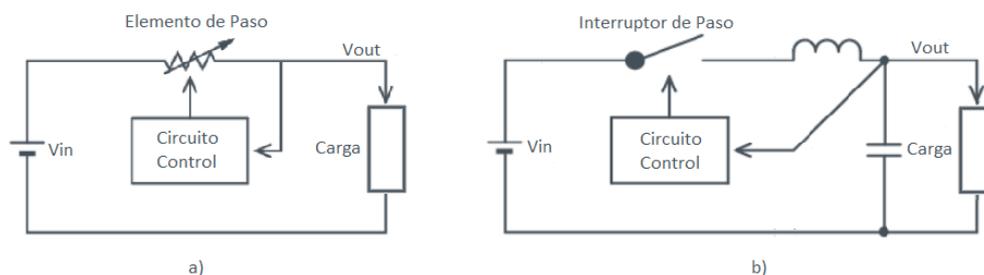


Figura 2.1: Reguladores de tensión, a) lineal, b) conmutado.

Existen dos tipos de reguladores de tensión: Regulador de tensión lineal, Figura 2.1 a), y regulador de tensión conmutado, Figura 2.1 b). Cuyo funcionamiento y características principales se describen a continuación para poder comparar ambos reguladores y elegir el que más se adapte a la aplicación.

2.1 REGULADOR DE TENSION CONMUTADO.

En los reguladores conmutados se genera una tensión estable de salida, a partir, de una señal de entrada con rizado mediante el empleo de una llave paso, la cual aplica a la carga periódicamente toda la tensión no regulada [13]. Estos reguladores de conmutación se utilizan para altas corrientes de carga, y altos voltajes de salida, también algunas clases de reguladores conmutados son capaces de aumentar el voltaje de salida. Existen varios tipos de topologías, las más comunes: *Buck*, *Boost* y *Buck-Boost*. Las diferentes topologías de reguladores conmutados se diferencian en el valor de tensión a su salida. Dependiendo de la topología el valor de la tensión de salida puede ser menor que la tensión de entrada, *Buck*, mayor que la tensión de entrada, *Boost*, o, puede ser menor o mayor que la tensión de entrada dependiendo del punto de operación seleccionado por el usuario, *Buck-Boost*.

En este tipo de reguladores las pérdidas se producen como resultado del consumo de potencia necesario para encender o apagar el dispositivo utilizado como interruptor. También se producen pérdidas debidas al tiempo de cambio entre los dos estados del interruptor, así como la energía necesaria para cargar y descargar los condensadores de puerta del dispositivo utilizado como interruptor.

Tal y como se observa en la figura 2.1 b), un regulador conmutado consta principalmente de los siguientes elementos: Interruptor de conmutación, filtro de salida y circuito de control. Cada uno de los elementos y su funcionamiento se explicarán a continuación.

2.1.1 INTERRUPTOR DE CONMUTACIÓN.

El interruptor de conmutación o llave de paso tiene dos estados, corte o saturación, es decir abierto o cerrado. Estos dispositivos aplican la tensión de salida sin regular a la carga a través de un inductor por cortos intervalos de tiempo. Este inductor almacena la energía eléctrica en forma de campo magnético, tal y como muestra la ecuación (2.1), en función del valor de la inductancia, L , y la intensidad a través de ella, I . Para que cuando el interruptor de conmutación este abierto, suministre energía a la carga, produciéndose una descarga de la energía eléctrica almacenada [14].

$$Energia\ Inductor = \frac{1}{2 * L * I^2} \quad (2.1)$$

Normalmente se usan como interruptor de conmutación un transistor MOSFET de potencia o un transistor bipolar, en ambos casos, controlados por una señal modulada por ancho de pulso (PWM) que depende de la frecuencia aportada por un reloj y del ciclo de trabajo. Dependiendo del ancho de pulso de la señal PWM de control, el tiempo de apertura/cierre del interruptor de conmutación se ajusta para entregar a la salida la tensión deseada.

2.1.2 FILTRO DE SALIDA.

El filtro de salida es un elemento común en todos los tipos de reguladores de conmutación. Se trata de un elemento, que, ante la necesidad de reducir el ruido producido en el cambio de estado del interruptor de conmutación a la frecuencia de conmutación, filtra el ruido de alta frecuencia [15]. Normalmente es un filtro LC, Figura 2.2 , que se trata de un filtro paso-bajo, cuya frecuencia de corte se rige por la ecuación (2.2) donde ω_o , es la

frecuencia de corte del filtro en radianes por segundo, rad/s , f_0 es la frecuencia de corte en hercios, Hz , y L y C son la inductancia y el condensador que forman el filtro.

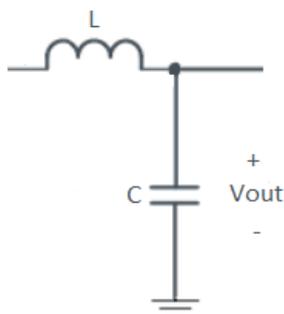


Figura 2.2 Filtro de salida

$$f_0 = \frac{\omega_0}{2\pi} = \frac{1}{2\pi\sqrt{LC}} \quad (2.2)$$

2.1.3 CIRCUITO DE CONTROL.

La función principal de circuito de control es controlar la apertura y cierre del interruptor de conmutación para ajustar correctamente la tensión a la salida del regulador. Este elemento se compone de varios bloques explicados a continuación: La red de realimentación, la tensión de referencia, el amplificador de error y el modulador de ancho de pulso [\[16\]](#).

La red de realimentación proporciona un valor escalado de la tensión de salida que se comparara con una tensión con el fin de ajustar el ciclo de trabajo del PWM. Normalmente la red de realimentación es una red puramente resistiva.

La tensión con la que se compara la tensión obtenida de la red de realimentación, la tensión de referencia es una tensión independiente del regulador. Es generada por una fuente externa para que sea siempre un valor fijo y tenga el menor ruido posible.

El amplificador de error es el encargado de comparar las dos tensiones anteriormente nombradas. La diferencia de tensión entre las dos señales es amplificada y se utiliza para ajustar el tiempo de apertura/cierre generado por el siguiente bloque.

El ultimo bloque que compone el circuito de control es el modulador de ancho de pulso o PWM (*Pulse Width Modulator*). Este dispositivo es el encargado de generar la señal que controla la apertura/cierre de la llave de paso [\[17\]](#). Este bloque del circuito de control precisa, por tanto, de una señal de reloj para poder generar una tensión de salida periódica a una

frecuencia seleccionada por el usuario. La característica principal de este bloque es que el dispositivo es capaz de modular el tiempo en alto de la señal de salida. Este tiempo en alto viene definido por el ciclo de trabajo (*Duty-Cycle*) que es un valor entre 0 y 1 que indica el porcentaje de tiempo que la señal está en valor alto. El ciclo de trabajo es variable y depende de la señal de tensión a la salida del amplificador de error.

2.2 REGULADOR DE TENSIÓN LINEAL.

Un regulador lineal es un dispositivo que permite obtener una señal de salida de tensión regulada, manteniendo un número de componentes bajo. En una aplicación en la que el voltaje de salida es cercano al voltaje de entrada la mejor opción es un regulador de baja caída de tensión o LDO (Low Drop-Out Regulator), que proporcionan un buen compromiso entre el coste y el rendimiento.

Un regulador lineal de baja caída de tensión se define como un circuito que proporciona una salida de tensión estable con una mínima diferencia respecto a una señal de entrada con ruido además de ser independiente de la carga a la que esté conectado [18]. Este tipo de reguladores lineales tiene dos características propias: la primera, que la magnitud de la entrada es mayor que la salida, y la segunda, que la impedancia de salida es baja para asegurar un buen funcionamiento.

Se pueden encontrar dos tipos de reguladores lineales LDO dependiendo de la posición del elemento de paso: arquitectura paralelo o arquitectura serie.

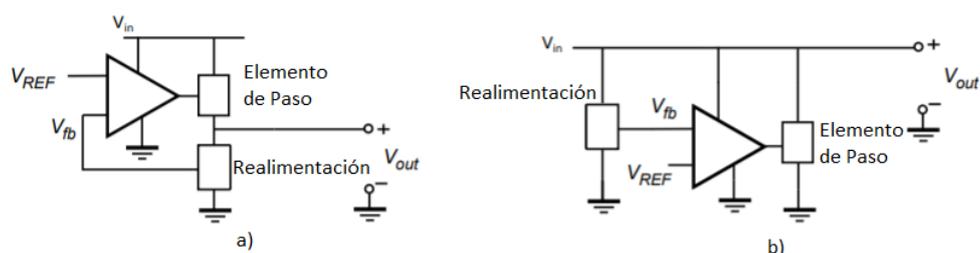


Figura 2.3 Regulador lineal de baja caída de tensión: a) serie, b) paralelo

Los reguladores lineales LDOs tipo serie, Figura 2.3 a), están compuestos por los siguientes elementos: un elemento de paso, una red de realimentación, una tensión de referencia y un amplificador de error. Para la arquitectura serie el elemento de paso se encuentra entre la tensión de entrada y la tensión de salida, es el encargado de ajustar el valor de la tensión de salida dejando pasar corriente, o no, a la carga del regulador.

En el caso de los reguladores lineales LDOs paralelo, Figura 2.3 b), (*Shunt Linear LDO Regulator*), compuestos por los mismos elementos que en la arquitectura serie, el elemento de paso es el encargado de ajustar la tensión de entrada, escalándola, como si actuara de divisor de tensión, para que tenga la tensión requerida a la salida. Debido a la mayor eficiencia de la arquitectura serie frente a la paralelo, está es tradicionalmente empleada en el diseño de reguladores LDOs [\[19\]](#).

2.2.1 ELEMENTO DE PASO.

El elemento de paso consiste en un dispositivo capaz de dejar pasar o no la corriente de entrada a la salida dependiendo del valor de la entrada de control del dispositivo, que es proporcionado por el amplificador de error. Este elemento debe tener la menor caída de tensión posible debido a que uno de los puntos de interés es poder obtener el máximo rendimiento, por lo que la resistencia del elemento debe ser lo más baja posible [\[20\]](#).

La tensión de caída en el elemento de paso, $V_{(dropout)}$, es la diferencia de potencial entre la entrada y la salida del regulador. Esta caída de tensión viene ocasionada por la resistencia de conducción de este dispositivo, ya que no se trata de un dispositivo ideal.

2.2.2 AMPLIFICADOR DE ERROR.

El amplificador de error es el elemento que controla el estado del elemento de paso dependiendo del resultado de la comparación de la tensión escalada, obtenida de la red de realimentación, con un valor de referencia de tensión elegido por el diseñador.

En la Figura 2.4 se muestra un esquema del amplificador de error donde V_{ref} es la tensión de referencia, V_{fb} la tensión proveniente de la red realimentación y V_{out} la salida del amplificador. La tensión a la salida es la señal que controla el estado del elemento de paso.

El amplificador de error debe tener un consumo mínimo de corriente para no disminuir el rendimiento del regulador, también el ancho de banda y el slew-rate son valores para tener en cuenta en el diseño del amplificador de error, para asegurar que reaccione adecuadamente a los cambios en la tensión de entrada. También la salida de tensión del amplificador de error debe ser lo más cercana posible a los valores de tensión de alimentación, para asegurar una apertura y un cierre correcto del elemento de paso [\[21\]](#).

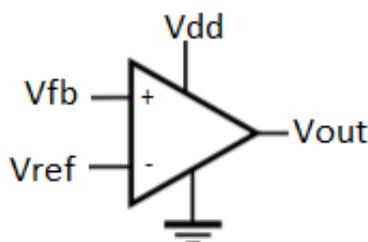


Figura 2.4 Amplificador de error

2.2.3 TENSIÓN DE REFERENCIA.

La tensión de referencia establece el punto de trabajo del amplificador operacional y es comparada con un valor escalado de la tensión de salida, por lo que, debe ser una tensión estable sin ruido para que el amplificador de error trabaje correctamente [22].

La comparación entre el valor escalado de la tensión de salida y la tensión de referencia se realiza mediante un amplificador de error, por lo que si la señal de referencia tiene ruido, la señal de salida del amplificador de error se verá distorsionada dando lugar a fallos en el funcionamiento del regulador. Por eso, la tensión de referencia es proporcionada por una fuente de tensión independiente del regulador para que la tensión sea lo más estable e independiente del funcionamiento del regulador.

2.2.4 RED DE REALIMENTACIÓN.

La red de realimentación consiste en un divisor de tensión que escala la salida del regulador para poder realizar una comparación con la tensión de referencia, y así, controlar la apertura/cierre del elemento de paso [18]. El divisor de tensión debe tener un valor de impedancia mayor que el valor nominal de la impedancia de la carga para que su consumo de corriente sea mínimo y asegurar que el máximo de la corriente de salida se distribuya en la carga, y no en los dispositivos que componen el divisor de tensión durante la descarga del condensador de salida.

Se pueden usar diferentes tipos de realimentaciones debido a que el divisor de tensión se puede realizar con diversos elementos, por ejemplo, una red resistiva, o una red capacitiva, o un divisor con transistores. Dependiendo del área disponible se puede optar por una u otra opción de realimentación.

2.2.5 CONDENSADOR DE SALIDA.

El condensador de salida actúa como batería en el sistema [23]. Este condensador se carga a la tensión de salida deseada y es el encargado de mantener el nivel de tensión deseado. Su principio de funcionamiento es el siguiente: Cuando el elemento de paso esté activo, la corriente pasa de la entrada a la salida y el condensador se carga a la tensión de salida. Cuando el elemento de paso está cerrado, no se permite el paso de la corriente de entrada a la salida y entonces se produce la descarga del condensador en la resistencia de carga del sistema, hasta que el elemento de paso vuelve a estar activo; lo que sucederá cuando la tensión de comparación sea menor que la tensión de referencia.

La carga y descarga del condensador se rige por la τ , la constante de tiempo, expresada en la ecuación (2.3) que depende de la resistencia de carga, R_{LOAD} , y del valor de la capacidad del condensador, C_{OUT} . El tiempo resultado de la ecuación, es el tiempo en el que el condensador alcanza su máxima tensión con una intensidad constante.

$$\tau = C_{OUT} * R_{LOAD} [s] \quad (2.3)$$

2.3 COMPARATIVA DE REGULADORES.

Los reguladores conmutados proporcionan un rendimiento alto porque su llave de paso o se encuentra abierta (corte) o cerrada (saturación) por lo que la disipación de potencia es mínima. También son capaces de generar un voltaje de salida mayor que el de entrada o cambiar la polaridad respecto de la entrada. Uno de sus inconvenientes es, que es necesario contar con una señal de reloj para poder controlar la apertura y el cierre de la llave de paso. Este requerimiento es especialmente difícil de cumplir en aplicaciones integradas e implantables alimentadas por radiofrecuencias, donde la potencia que puede acoplarse al dispositivo es muy limitada y el consumo debe mantenerse extremadamente bajo.

Los reguladores lineales, más concretamente los LDO tipo serie, son una gran elección en los casos que la potencia que suministre el regulador sea baja y también en los casos que la diferencia de tensión entre la entrada y la salida sea mínima, ya que esa diferencia de tensión se disipa como pérdidas por calor, que son las pérdidas por la resistencia de conducción del elemento de paso.

A la vista de lo expuesto en la Tabla 2.1, se ha decidido realizar el diseño de un regulador lineal LDO porque no es necesario una potencia alta en la salida del regulador, también la alta inmunidad ante el ruido y el bajo coste son puntos a favor de los reguladores lineales LDOs y a pesar de su bajo rendimiento en comparación con los reguladores, su facilidad de implantación y que no es necesario que la tensión de salida sea mayor que la tensión de entrada hace que el regulador lineal LDO la mejor opción.

Tabla 2.1: Comparativa entre los dos tipos de reguladores.

	CONMUTADO	LINEAL
RUIDO	ALTO	BAJO
RENDIMIENTO	ALTO	BAJO
DISEÑO	COMPLICADO	SIMPLE
COSTE	ELEVADO	BAJO
POTENCIA	ALTA	BAJA
MODOS DE OPERACIÓN	VARIOS	ÚNICO

3 TOPOLOGÍAS DE REGULADORES LINEALES.

Tal y como se ha introducido en el capítulo anterior, los reguladores están divididos en cinco bloques: la tensión de referencia, el elemento de paso, la red de realimentación y el amplificador de error. Las diferentes topologías se distinguen fundamentalmente en el bloque del elemento de paso, pudiendo utilizarse una variedad de configuraciones diferentes [24]: NPN-Darlington, NPN, PNP, PMOS y NMOS. Los dispositivos bipolares son los que mayor corriente aportan a la salida, mientras que, los dispositivos MOS ofrecen un rendimiento limitado con una dependencia de la relación anchura-longitud de canal. Como aspecto positivo a destacar de los dispositivos MOS es la capacidad de minimizar la corriente a tierra y su mayor capacidad de integración empleando tecnologías de fabricación estándar.

3.1 TOPOLOGÍA NPN-DARLINGTON.

La topología Darlington consiste en un conjunto compuesto por un transistor bipolar PNP y dos transistores bipolares NPN como muestra la Figura 3.1. La expresión de la caída de tensión en el elemento de paso de la topología NPN-Darlington responde a la ecuación (3.1) donde $V_{EC}(sat)$ es la tensión emisor-colector del transistor PNP y $2V_{BE}$ es la tensión base-emisor de ambos transistores NPN

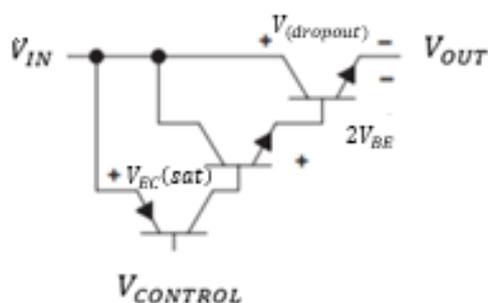


Figura 3.1 Topología NPN-Darlington

$$V_{(dropout)} = V_{EC}(sat) + 2V_{BE} \cong 1.6 \sim 2.5V \quad (3.1)$$

Este tipo de topologías tiene el inconveniente de que obliga a que el mínimo de la caída de tensión sean 1.6V, mientras que normalmente, los LDO trabajan con una caída de tensión en el rango de entre 0 y 500mV.

3.2 TOPOLOGÍA NPN.

La topología NPN realmente se compone de un transistor NPN y otro PNP conectados según el esquema de la Figura 3.2. En los casos en que la tensión de entrada se aproxima a la tensión de salida, el circuito de control hace que el transistor PNP entre en saturación y establezca el punto de trabajo del transistor NPN, reduciendo la resistencia equivalente de los dos transistores. Sin embargo, la caída de tensión del elemento de paso no puede reducirse lo necesario para minimizar pérdidas, así como, la tensión emisor-colector de saturación necesita mantener un nivel mínimo de tensión entre la base y el emisor, V_{BE} , del transistor PNP.

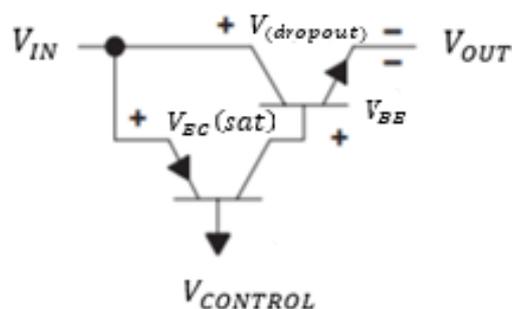


Figura 3.2 Topología NPN

$$V_{(dropout)} = V_{EC(sat)} + V_{BE} \geq 0.9V \quad (3.2)$$

La diferencia de voltaje mínima necesaria entre la entrada y la salida del regulador para asegurar el funcionamiento en el punto de trabajo viene dado por la ecuación (3.2).

3.3 TOPOLOGÍA PNP.

La topología PNP funciona de la misma manera que la topología NPN, a excepción, del número de dispositivos que se ve reducido a un único transistor bipolar PNP como indica el esquema de la Figura 3.3. La ventaja de esta topología frente a las anteriores es que puede asegurar un punto de trabajo estable con una tensión de caída baja, tal y como se demuestra en la ecuación (3.3)

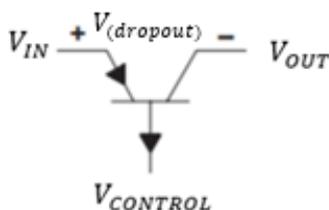


Figura 3.3 Topología PNP

$$V_{(dropout)} = V_{EC}(sat) \cong 0.15 \sim 0.4V \quad (3.3)$$

$$I_q = I_{base} + I_{bias} \cong 0.8 \sim 2.6mA \quad (3.4)$$

Uno de los problemas en este tipo de topologías es la corriente a tierra, que se produce en la base del transistor PNP. Estas pérdidas dependen de la ganancia del elemento de paso y se pueden estudiar en la ecuación (3.4) donde I_{base} es la corriente por la base del transistor PNP e I_{bias} es la corriente necesaria para alimentar el resto de los bloques del regulador LDO.

3.4 TOPOLOGÍAS CMOS.

Dentro de las topologías CMOS se pueden diferenciar dos tipos: la PMOS representada en la Figura 3.4, y NMOS representada en la Figura 3.5, las cuales emplean dispositivos MOSFETs como elemento de paso. La topología PMOS tiene una baja caída de tensión, en el caso de la topología NMOS es necesario una bomba de carga para tener la misma caída de tensión que la topología PMOS. Una bomba de caga es una fuente de alimentación que se puede usar como convertidor DC-DC con un lazo de control, en la topología NMOS se requiere para polarizar el elemento de paso.

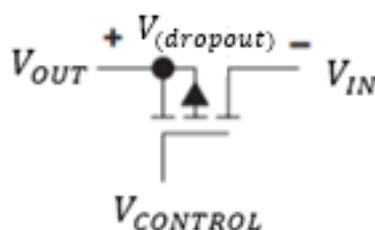


Figura 3.4 Topología PMOS

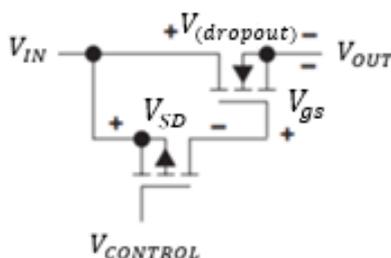


Figura 3.5 Topología NMOS

$$V_{(dropout)} = I_{OUT}R_{ON} \cong 35 \sim 350mV \quad (3.5)$$

La caída de tensión cuando se utiliza la topología PMOS esta determinada por la saturación del elemento de paso, y es proporcional a la intensidad a través del elemento de paso, donde R_{ON} es la resistencia del elemento de paso, ecuación (3.5).

Una de las principales ventajas de las topologías CMOS frente a las anteriores es la baja corriente a tierra, lo que minimiza las pérdidas del regulador. De este modo, usando esta topología podemos obtener una baja caída de tensión a la vez que una baja corriente a tierra, menos de $1mA$. Además, y tal como se ha mencionado esta topología presenta mayor compatibilidad con las tecnologías estándar de fabricación de circuitos integrados que son, es su mayoría, de tipo CMOS.

3.5 COMPARACIÓN Y SELECCIÓN DE TOPOLOGÍAS.

Para poder comparar las diferentes topologías se ha realizado la Tabla 3.1. En esta tabla se recogen las características más importantes del elemento de paso: corriente de salida máxima, $I_{OUT,max}$, corriente a tierra, I_q y caída de tensión, $V_{(dropout)}$.

Tabla 3.1: Comparativa entre las diferentes topologías de reguladores de baja caída de tensión en serie.

PARÁMETRO	DARLINGTON	NPN	PNP	PMOS	NMOS
$I_{OUT,max}$	Alta	Alta	Alta	Media	Media
I_q	Media	Media	Grande	Baja	Baja
$V_{(dropout)}$	$V_{CE} + 2V_{BE}$	$V_{CE} + V_{BE}$	$V_{CE}(sat)$	$V_{SD}(sat)$	$V_{SD} + V_{gs}$

Como se recoge en la tabla anterior, las topologías que utilizan transistores BJTs, permiten una corriente de salida máxima, $I_{OUT,max}$, mayor respecto a las topologías CMOS, pero en su contra esta la corriente que se pierde por la base de los transistores a tierra. La característica más importante para el diseño del regulador es la caída de tensión, $V_{(dropout)}$, que en el caso de las topologías CMOS es menor [\[25\]](#).

Para el diseño de regulador que se va a realizar, tanto con dispositivos discretos y como en circuito integrado, se ha elegido la tecnología CMOS. La elección de la tecnología viene dada por la citada facilidad de implementación en un circuito que consta de otros módulos basados en dispositivos CMOS de cara al desarrollo de un prototipo de stent inteligente implantable. También, la intensidad a tierra, I_q , es mucho menor en los dispositivos CMOS

en comparación con los dispositivos bipolares por lo que las pérdidas se ven reducidas utilizando la tecnología CMOS.

Entre las dos diferentes topologías disponibles con dispositivos CMOS: la PMOS y la NMOS, se ha seleccionado la topología PMOS. Esto se debe a que el número de elementos es menor, minimizando área y consumo, aunque la resistencia, $R_{DS_{ON}}$, es menor en los dispositivos NMOS. Además, la dificultad para polarizar el transistor es menor en los dispositivos PMOS que en los NMOS. Actualmente los dispositivos PMOS han mejorado su rendimiento superando a los dispositivos bipolares, por lo que se trata de una solución de compromiso.

4 PARÁMETROS DEL LDO.

En esta sección se hará hincapié en los parámetros clave del regulador [26] [27], para posteriormente basar en ellos la comparación de los resultados teóricos y los resultados experimentales y poder extraer conclusiones.

Estos parámetros son fundamentales para caracterizar el funcionamiento de un regulador de baja caída de tensión y deben ser considerados para realizar un diseño óptimo del regulador para poder obtener una tensión de salida limpia. Estos parámetros se estudiarán para una carga específica, y en el entorno de un punto de trabajo concreto.

Existen tres zonas de operación en un regulador LDO, la zona de corte, la zona de *Drop-Out* y la zona de regulación. En la zona de corte, el elemento de paso se encuentra abierto, no deja pasar la corriente de entrada a la salida, en la región de *Drop-Out*, el elemento de paso se comporta como una resistencia y la tensión de salida sigue a la tensión de entrada, y la zona de regulación es cuando el regulador se encuentra funcionando y es la zona en la cual han de calcularse la mayoría de los parámetros clave [28].

4.1 TENSIÓN DE CAIDA.

La tensión de caída o *Drop-Out*, se define como la diferencia entre el voltaje de entrada y salida en el punto a partir del cual una disminución en la tensión de entrada causa una caída en la tensión de salida del regulador. El elemento de paso es el único bloque del regulador de tensión que afecta a este parámetro y debido a la caída de tensión provocada por la no idealidad del mismo, que origina una resistencia, $R_{DS_{ON}}$, en la cual aparecen pérdidas.

$$V_{(dropout)} = I_{OUT}R_{DS_{ON}} [V] \quad (4.1)$$

La ecuación (4.1) muestra la proporcionalidad de este parámetro con la corriente de carga I_{LOAD} a través de la resistencia de paso $R_{DS_{ON}}$. Para los dispositivos CMOS la tensión de caída, $V_{(dropout)}$, se encuentra en el rango de los 200mV a los 500mV.

4.2 CORRIENTE DE TIERRA.

La corriente de tierra, I_q , es la diferencia entre la corriente de entrada I_{IN} y la de salida I_{OUT} , ecuación (4.2), sería, por tanto, una intensidad consumida por el LDO y que fluye a tierra sin alimentar la carga. Es decir, una baja corriente de tierra es necesaria para maximizar el rendimiento, que es esencial en sistemas de baja potencia.

$$I_q = I_{IN} - I_{OUT} \quad (4.2)$$

Esta corriente se debe al consumo de cada uno de los bloques del regulador, el bloque de referencias de tensión, el amplificador de error, el divisor de tensión de salida y el elemento de paso, ya que estos bloques están alimentados a la tensión de entrada si regulador de LDO por lo que la intensidad de entrada se distribuye entre cada uno de los bloques y la carga.

4.3 REGULACIÓN DE LINEA.

La regulación de línea del LDO, ecuación (4.3), es la capacidad del mismo para mantener estable el valor de tensión de salida V_{OUT} frente a variaciones en la tensión de entrada V_{IN} .

$$\text{Regulación de línea} = \frac{\Delta V_{OUT}}{\Delta V_{IN}} \left[\frac{V}{V} \right] \quad (4.3)$$

Como la regulación de línea es dependiente del punto de trabajo del elemento de paso y de la ganancia de continua en lazo cerrado, la región de *Drop-Out* no se incluye para el cálculo de la regulación de línea. Por lo tanto, el valor mínimo de la tensión de entrada para la obtención de la regulación de línea debe ser mayor que la tensión de dropout.

4.4 REGULACIÓN DE CARGA.

La regulación de carga del LDO se corresponde con la capacidad de del regulador para mantener la tensión de salida cuando se producen variaciones en las condiciones de carga. La ecuación es la (4.4).

$$\text{Regulación de Carga} = \frac{\Delta V_{OUT}}{\Delta I_{OUT}} \left[\frac{V}{A} \right] \quad (4.4)$$

La regulación de carga depende del rendimiento del elemento de paso y de la ganancia en continua en lazo cerrado del regulador, de forma que cuanto más alta sea la ganancia en continua en lazo cerrado, mejor será la regulación de carga. Este parámetro se mide modificando la intensidad de carga en un rango cercano a la intensidad de carga nominal y observando como varía la tensión de salida.

4.5 FACTOR DE RECHAZO DE ALIMENTACIÓN.

El factor de rechazo de alimentación, ecuación (4.5), o, en inglés, *Power Supply Rejection Ratio* (PSRR), es un parámetro que mide la capacidad de un circuito electrónico de suprimir cualquier cambio en la tensión de salida debida a variaciones en la alimentación del circuito electrónico.

En concreto, para los amplificadores operacionales, el PSRR, se define como el ratio entre en la tensión de salida del amplificador y las variaciones de la tensión de alimentación. Normalmente viene expresada en decibelios, *dB*, por lo que, en el caso de un amplificador ideal, el PSRR sería menos infinito.

$$PSRR = 20 \log \left(\frac{V_{RIPPLE_{OUT}}}{V_{RIPPLE_{IN}}} \right) \quad (4.5)$$

En un regulador es la capacidad que este tiene para prevenir el rizado, es decir, fluctuaciones, en la tensión de salida, causadas por las variaciones en una tensión de entrada no estable.

4.6 RENDIMIENTO DEL REGULADOR.

El rendimiento de un regulador de tensión es el ratio entre la potencia suministrada a la carga y la potencia de entrada y depende de la caída de tensión en el elemento de paso $V_{(dropout)}$, la tensión de entrada V_{IN} , y las intensidades de carga I_{LOAD} y tierra I_q . El rendimiento se puede obtener de la ecuación (4.7).

$$\eta_{LDO} = \frac{I_{LOAD} V_{OUT}}{I_{IN} V_{IN}} = \frac{I_{LOAD} (V_{IN} - V_{(dropout)})}{(I_q + I_{LOAD}) V_{IN}} * 100 \text{ [%]} \quad (4.7)$$

$$\eta_{LDO} < \frac{V_{OUT}}{V_{IN}} = \frac{V_{IN} - V_{(dropout)}}{V_{IN}} \quad (4.8)$$

El rendimiento es dependiente de los parámetros anteriormente mencionados y siempre es menor que la relación de tensiones salida-entrada debido a las pérdidas, ecuación (4.8), que por ello hay que minimizar lo máximo posible. Para un regulador LDO, el rendimiento puede ser del 50% o incluso menor. Esto se debe a que los consumos del amplificador y de la red de realimentación además del asociado al elemento de paso, puesto que una aplicación de baja corriente de carga.

4.7 RESPUESTA TRANSITORIA.

La respuesta transitoria del regulador LDO, ecuación (4.8), se define como la variación de tensión máxima que se puede obtener para un cambio dado en la corriente en la carga o en la tensión de entrada. Se puede conocer este valor a partir del condensador de salida C_{OUT} , con la variación en la tensión de la resistencia equivalente en serie (ESR) ΔV_{ESR} , la corriente máxima que se tiene a la salida del regulador $I_{OUT,max}$ y la duración del transitorio Δt_1 . Para incrementar el rendimiento de este parámetro se puede añadir un condensador de bypass C_b .

$$\Delta V_{tr,max} = \frac{I_{OUT,max}}{C_{OUT} + C_b} \Delta t_1 \Delta V_{ESR} [V] \quad (4.9)$$

5 DISEÑO DEL REGULADOR LDO DISCRETO.

En este capítulo se explican las condiciones de diseño y los requerimientos para la posterior selección de los diversos circuitos integrados comerciales. Primero se establecerán los parámetros de diseño del circuito para posteriormente seleccionar los dispositivos discretos que mejor se adecuen a los requisitos.

5.1 PARAMETROS DE DISEÑO.

Hay que hacer una distinción entre los tipos de parámetros del regulador que se han descrito en el capítulo 4, los parámetros clave, y los parámetros de diseño. Los parámetros de diseño son los parámetros teóricos para los que se ha diseñado el regulador, como pueden ser la tensión de salida, la tensión de comparación, la resistencia de salida. Estos parámetros son seleccionados por el diseñador, mientras que los parámetros clave son los que caracterizan el regulador y aseguran un buen funcionamiento.

En primer lugar, se ha realizado un diseño discreto, para el que hay que tener en cuenta que los dispositivos que se van a utilizar no son capaces de trabajar con un valor bajo de tensión de alimentación. Por ese motivo se han seleccionado los parámetros enunciados en la Tabla 5.1 donde las tensiones son cuatro veces superiores a las correspondientes al diseño de LDO integrado mientras que la resistencia de carga es la misma. Estos parámetros se tendrán en cuenta para la posterior simulación del regulador y para la implementación del regulador en una placa de prototipado (*protoboard*) para realizar los análisis.

Tabla 5.1: Parámetros de diseño del regulador linear LDO tipo serie.

Parámetro	Valor
V_{OUT}	4V
V_{REF}	1.6V
R_{LOAD}	150k Ω

Los valores han sido elegidos en función de las necesidades de los dispositivos que se utilizarán en la implementación del regulador en la protoboard. También, como se trata de un bloque de la interfaz analógica del stent inteligente, la resistencia de salida es la resistencia equivalente que se observa desde la salida del regulador para poder comparar el diseño del regulador discreto con el regulador en circuito integrado y poder extraer conclusiones.

5.2 SELECCIÓN DE LOS DISPOSITIVOS DISCRETOS.

Debido a la implementación con componentes discretos del regulador, es necesario seleccionar los dispositivos comerciales correspondientes al elemento de paso, amplificador de error y red de realimentación necesarios para cumplir con los parámetros nombrados en el apartado anterior. Para ello se han estudiado las características de diversos circuitos integrados comerciales y comprobado su funcionamiento para asegurar su adecuación al regulador.

5.2.1 REQUERIMIENTOS DEL DISEÑO.

En este apartado se explicarán las características necesarias de cada uno de los dispositivos que componen el regulador de tensión, para examinarlos y seleccionar los más adecuados para nuestra aplicación.

5.2.1.1 ELEMENTO DE PASO.

Seleccionar un elemento que proporcione los niveles de corriente y tensión puede suponer un reto para el funcionamiento del LDO y su estabilidad. Este elemento en un LDO debe suministrar la necesaria cantidad de corriente a la carga, mientras la caída de tensión o *drop-out voltage* debe mantenerse baja. Esta caída de tensión viene dada por la resistencia interna de conducción $R_{DS_{ON}}$, que es inversamente proporcional a la dimensión del elemento de paso y depende de la polarización del transistor según la ecuación (5.1), donde k_p' es la transconductancia del proceso, $\left(\frac{W}{L}\right)$ es la relación de aspecto del transistor, V_{GS} la tensión puerta-fuente, V_{th} la tensión umbral y V_{DS} la tensión drenador-fuente.

$$R_{DS_{ON}} = \frac{1}{k_p' \left(\frac{W}{L}\right) [(V_{GS} - V_{th}) - V_{DS}]} [\Omega] \quad (5.1)$$

La caída de tensión también se ve afectada por las resistencias parásitas que aparecen en el elemento de paso asociadas a los terminales de fuente y drenador del dispositivo MOSFET. Debido a estos requisitos, la relación de aspecto del dispositivo debe ser grande para una caída de tensión pequeña [\[20\]](#).

Normalmente se usan transistores MOSFET de tipo-P como elemento de paso. Los transistores PMOS tienen tres zonas de funcionamiento: zona de corte, zona lineal, zona de saturación. Las ecuaciones (5.2) (5.3) y (5.4) muestran las condiciones de las tensiones entre los terminales de fuente y puerta V_{SG} y entre fuente y drenador V_{SD} para que el transistor esté en zona de corte, lineal, o de saturación respectivamente [29].

$$V_{SG} \leq |V_{TH}| \quad (5.2)$$

$$V_{SG} > |V_{TH}|, \quad V_{SD} \leq V_{SG} - |V_{TH}| \quad (5.3)$$

$$V_{SG} > |V_{TH}|, \quad V_{SD} > V_{SG} - |V_{TH}| \quad (5.4)$$

Si el transistor se encuentra en la zona de corte no permite el paso de corriente de la entrada a la salida, y si se encuentra en la zona lineal sí que se permite el paso de corriente de la entrada a la salida, pero se produce una pequeña caída de tensión debido a la resistencia de conducción del propio transistor cuyo valor depende de las condiciones de polarización tal y como muestra la ecuación (5.1).

Sin embargo, la estabilidad del sistema se ve comprometida al aumentar el tamaño del elemento de paso. Además, hay que tener en cuenta las capacidades intrínsecas del elemento de paso, que para obtener un buen rendimiento deben tener un valor reducido.

5.2.1.2 AMPLIFICADOR DE ERROR.

Los parámetros más importantes en el proceso de selección de un amplificador de error son: la resistencia de salida, la ganancia, el ancho de banda, el *slew-rate*, el consumo y el rango de voltajes de salida.

La resistencia de salida debe ser lo suficientemente pequeña para que los polos parásitos estén situados en una frecuencia superior a la frecuencia de ganancia unidad para mantener la estabilidad.

El amplificador de error es el encargado de proporcionar la señal de control para el elemento de paso. Esta señal hace que el transistor esté en zona lineal o en zona de corte dependiendo de su valor. Este valor de control, que está situado entre los valores de alimentación ($\pm V_{cc}$), dependerá del valor del divisor de tensión correspondiente a la red de realimentación en comparación con el valor fijo de tensión de referencia. Si el valor obtenido de la red de realimentación es mayor que el valor de referencia, la salida del amplificador de

error alta, $+V_{CC}$, forzando a que el transistor se encuentra en zona de corte. Si el valor es menor que la tensión de referencia, la salida será de $-V_{CC}$, por lo que el transistor se encontrará en zona lineal.

Una de las características del amplificador de error, es que su alimentación debe ser lo más pequeña posible y que no sea del tipo *rail-to-rail* $\pm V_{CC}$, para poder conectar la alimentación a la propia tensión de entrada del regulador. Además, la velocidad de respuesta del amplificador, o *slew-rate*, es otro parámetro a tener en cuenta, porque, es necesario un *slew-rate* alto para que el pico de descarga del condensador sea lo más pequeña posible para mantener la tensión de salida estable [30].

5.2.1.3 RED DE REALIMENTACIÓN.

La red de realimentación, Figura 5.1, se trata de un divisor de tensión que permite obtener un valor escalado de la tensión de salida para realizar una comparativa con la tensión de referencia, proporcionada, a su vez, por una fuente externa para que sea estable. En función del resultado de la comparación se dejará pasar o no corriente por el elemento de paso. Hay diversas formas de realizar un divisor de tensión: mediante transistores, resistencias o condensadores.

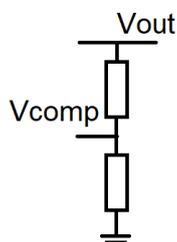


Figura 5.1 Divisor de tensión.

5.2.1.4 CONDENSADOR DE SALIDA.

El condensador de salida se ha pensado para que actúe como una batería almacenando el valor de la tensión regulada. La carga y descarga de este dispositivo se rige por la τ , ecuación (2.3). La constante de tiempo, τ , equivale al tiempo que el condensador tarda en cargarse o descargarse a una intensidad, la intensidad de salida del regulador, I_{OUT} [29].

Dependiendo de si el condensador se está cargando o descargando, la resistencia de la constante de tiempo es diferente. Para la carga del condensador la resistencia que afecta a

la constante de tiempo es la resistencia de conducción del transistor, R_{SDON} , mientras que, la resistencia que afecta a la constante de tiempo durante la descarga, cuando el elemento de paso está cortado, es la resistencia de carga, R_{LOAD} .

5.2.2 DISPOSITIVOS SELECCIONADOS.

En este apartado se analizarán las características de los circuitos integrados y dispositivos pasivos que se han seleccionado para realizar el diseño discreto del regulador de tensión. Estos dispositivos han sido elegidos para que se adecuen a los requerimientos de diseño en la medida de lo posible, teniendo en cuenta que al tratarse de dispositivos comerciales de características fijas algunos parámetros no han podido cumplirse en su totalidad.

5.2.2.1 ELEMENTO DE PASO.

El elemento de paso seleccionado es el ALD1105 de Advanced Linear Devices. Se trata de un circuito integrado que incluye dos transistores NMOS y dos transistores PMOS donde los sustratos de cada par de transistores iguales son comunes. Es decir, los dos transistores NMOS comparten sustrato al igual que los dos transistores PMOS.

Se ha seleccionado el transistor PMOS de este dispositivo discreto por su baja tensión umbral, V_{th} , lo que hace que tenga una resistencia de paso baja. Por lo tanto, las pérdidas se verán reducidas al minimizarse la caída de tensión en el elemento de paso. También se han tenido en cuenta el tamaño de los condensadores intrínsecos que deberían ser lo más pequeños posibles para que no afecten a la estabilidad del regulador. Los valores de los parámetros fundamentales del transistor PMOS se recogen en la Tabla 5.1. Sin embargo, los condensadores intrínsecos en dispositivos discretos no llegan a ser lo suficientemente pequeños para asegurar el correcto funcionamiento del regulador LDO a alta frecuencia.

Tabla 5.1: Características del integrado ALD1105 [\[31\]](#).

PARÁMETRO	VALOR
Tensión Umbral, V_{TH}	-0.7V
Resistencia de ON, R_{DSON} ($V_{SG} = 5V$ y $V_{SD} = 0.1$)	1200Ω
Condensador de Entrada, C_{ISS}	1pF
Máxima Tensión Drenador-Fuente, V_{DSMAX}	-10.6V

5.2.2.2 AMPLIFICADOR DE ERROR.

Como amplificador de error se ha seleccionado por el integrado LMV793. Puesto que cumple todos los requerimientos establecidos por los parámetros de diseño descritos. Los requerimientos son varios, pero los más importantes son que el amplificador se pueda alimentar con la tensión de entrada del regulador para evitar fuentes de alimentación externas, otro de los requerimientos es que el ancho de banda no sea muy grande, para que no actúe frente a los cambios rápidos en la entrada debido al ruido y el *slew-rate* tiene que ser elevado para que los cambios de tensión en la salida de amplificador sean rápidos. Las características más importantes están recogidas en la Tabla 5.2.

El PSRR también tiene importancia porque al tener ruido la tensión de entrada, el factor de rechazo a la alimentación tiene que ser alto para que el ruido no se propague a la salida del amplificador.

Tabla 5.2: Características del amplificador operacional LMV793 [32].

PARÁMETRO	VALOR
Tensión de Alimentación, ($V_{S+} - V_{S-}$)	2V a 5.5V
Tipo de Encapsulado	8-Pin SOIC
Tensión de <i>Offset</i> de Entrada, V_{OS}	$0.1mV \pm 1.35mV$
Rechazo a la Alimentación, $PSRR$	100dB
Slew-Rate, SR	$Caida: \frac{35V}{\mu S}$ $Subida: \frac{28V}{\mu S}$
Producto Ganancia Ancho de Banda, G_{BW}	88MHz

5.2.2.3 RED DE REALIMENTACIÓN.

Para la aplicación con dispositivos discretos se ha optado por un divisor resistivo para la comparación de V_{REF} , ecuación (5.6), ya que es sencillo calcular los valores de las resistencias, el conexionado es sencillo y se disminuye el número de polos y ceros introducidos por la realimentación en la función de transferencia del sistema.

$$V_{REF} = \frac{V_{OUT}R_2}{R_1 + R_2} \quad (5.6)$$

Para los valores establecidos en el apartado anterior de parámetros de diseño, se ha escogido una resistencia de $R_1 = 470k\Omega$ y se ha calculado un valor de $R_2 = 313.33k\Omega$ para una $V_{REF} = 1.6V$.

Al no disponer de una resistencia de $R_2 = 313.333k\Omega$, se ha optado por realizar un paralelo con las resistencias disponibles en el laboratorio, para ello se han barajado diferentes opciones. El paralelo elegido consiste en dos resistencias en serie con otra en paralelo, Figura 5.2, los valores de las resistencias se encuentran en la Tabla 5.3

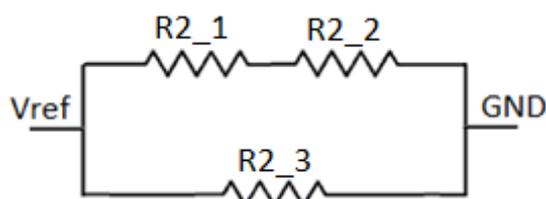


Figura 5.2 Esquema resistencias en paralelo.

Tabla 5.3: Resistencias obtenidas para formar la resistencia equivalente en paralelo de R_2 .

RESISTENCIA	VALOR
R_{2_1}	$680k\Omega$
R_{2_2}	$33k\Omega$
R_{2_3}	$560k\Omega$

5.2.2.4 CONDENSADOR DE SALIDA.

El condensador de salida seleccionado es un condensador cerámico sin polaridad, en el que la velocidad de descarga depende de la resistencia de carga que es fija y tiene un valor de $150k\Omega$. Al tratarse de dispositivos discretos hay valores fijos, por lo que para minimizar las pérdidas es mejor utilizar un solo condensador antes que varios condensadores en paralelo para formar uno de mayor capacidad. Debido a este inconveniente con los valores fijos, se ha seleccionado un condensador de $16pF$ para que el valor de τ sea de $1.5\mu s$ según la ecuación (2.3).

6 SIMULACION DEL REGULADOR LDO DISCRETO.

Para la simulación del circuito discreto se ha utilizado el programa OrCad CADENCE® que incluye diversas herramientas de diseño electrónico además de la simulación bajo entorno SPICE (*Simulation Program with Integrated Circuits Emphasis*).

6.1 CIRCUITO EMPLEADO.

Para testar el funcionamiento y la estabilidad del regulador se han realizado diferentes análisis con SPICE. El circuito empleado en ellos es el mismo, salvo por unos cambios en los dispositivos utilizados o el tipo de análisis que se indicaran en los siguientes epígrafes.

Para la tensión de entrada se han empleado dos fuentes, Figura 6.1, diferentes para los modelos de simulación del LDO que se han comparado. Una fuente aporta el valor de tensión continua estable y debido a que es necesario una rampa desde 0V hasta 4V para la carga del condensador de salida, se utiliza una fuente generadora de pulsos. El tiempo de subida y el periodo de la señal de pulsos se han prolongado lo suficiente para cargar el condensador y poder estudiar el comportamiento del LDO. La segunda fuente es una fuente senoidal que aporta el ruido que el regulador de tensión se encargara de filtrar, este ruido se ha situado en una frecuencia de 866MHz.

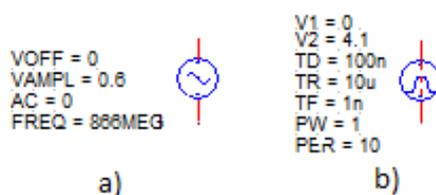


Figura 6.1 Fuentes de tensión a) ruido, b) rampa.

Las características de cada una de las fuentes son las siguientes:

- Fuente de ruido:
 - Amplitud: $V = 0.6V$.
 - Frecuencia $f = 866MHz$.
- Fuente de carga del condensador:
 - Entrada tipo pulso
 - Tensión baja: $V_{LOW} = 0V$.
 - Tensión alta: $V_{HIGH} = 4.1V$.
 - Periodo: $T = 10s$.
 - Tiempo de subida: $T_R = 10\mu s$.

Una tercera fuente de continua se utiliza para aportar el valor de la tensión de referencia que se comparará con la tensión de comparación que proviene del divisor de tensión. Se utiliza una fuente de continua porque es necesario una señal estable y sin ruido para asegurar el punto de trabajo del regulador.

6.2 MODELO IDEAL.

El primer paso es el análisis del regulador de baja tensión de caída con dispositivos ideales, Figura 6.2, para observar las gráficas para poder comprobar su funcionamiento y los resultados de este para el punto de trabajo elegido, que son 4V.

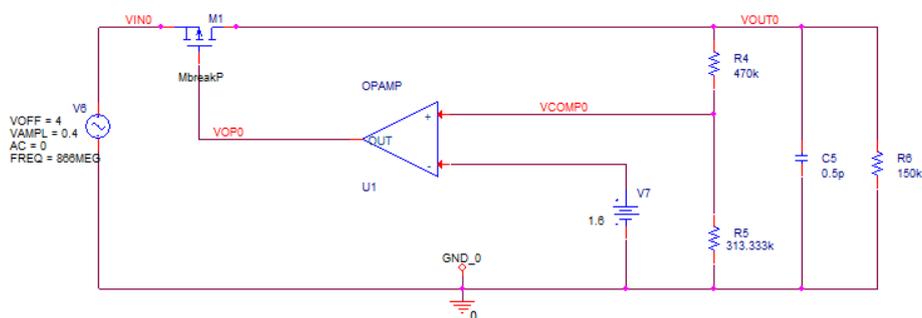


Figura 6.2 Regulador lineal LDO serie con dispositivos ideales.

Los únicos elementos para los que se han fijado parámetros en este análisis son el transistor PMOS y el amplificador de error. Al transistor PMOS se le han dado los valores de longitud y anchura de canal del dispositivo discreto que se usará en el modelo real. Dichos valores de anchura y longitud de canal están recogidos en la Tabla 6.1. En el amplificador de error se han introducido los valores de tensión de alimentación, disponibles en la Tabla 6.2.

Tabla 6.1: Relación de aspecto del transistor PMOS basado en el componente discreto ALD1105.

Tamaño Transistor PMOS	
Longitud de Canal	$L = 7.8\mu m$
Anchura de Canal	$W = 138\mu m$

Tabla 6.2: Valores de la tensión de alimentación del amplificador de error.

Tensión de Alimentación	
Tensión Positiva	$V^+ = 4V$
Tensión Negativa	$V^- = 0V$

En la simulación del circuito se puede observar cuándo el transistor está en zona de corte o lineal, la carga y descarga del condensador de salida y la salida del amplificador de error. En la Figura 6.3 están representadas la tensión de entrada en verde, y la tensión de salida en rojo, la salida del amplificador de error, en azul, y la tensión de comparación, en amarillo, del regulador ideal.

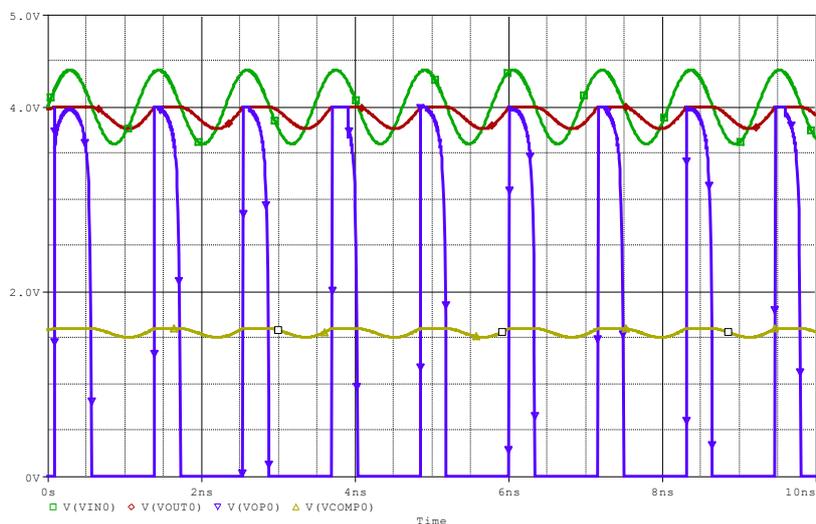


Figura 6.3 Gráficas del regulador de tensión.

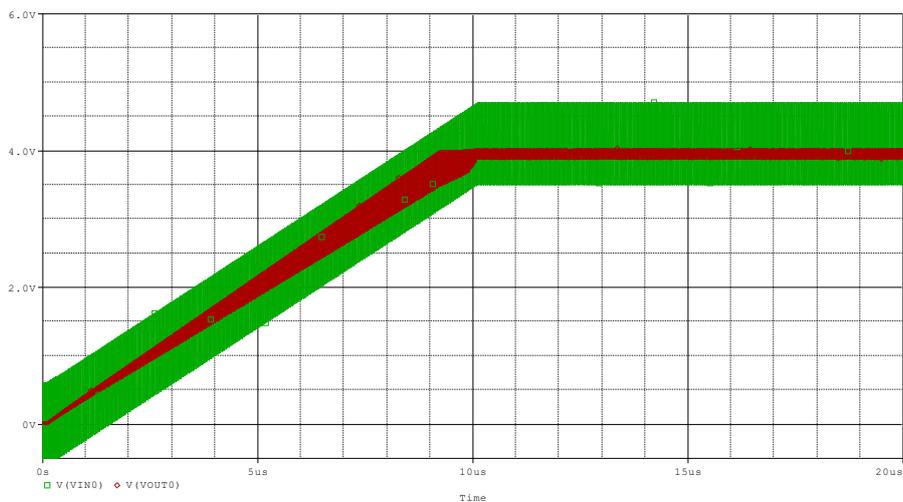


Figura 6.4 Tensiones de entrada y salida del regulador LDO.

Se pueden distinguir dos zonas, la rampa de carga del condensador, y la zona estable a 4V con ruido, Figura 6.4, en ambas zonas la tensión de salida sigue a la tensión de entrada hasta que empieza a trabajar el regulador, lo que ocurre cuando la tensión de comparación es mayor que la tensión de referencia, como se puede ver en la Figura 6.5. Al estar conectada la tensión de comparación, V_{COMP} , a la entrada no inversora del amplificador, hace que el elemento de paso se cierre cuando es superada la tensión de referencia, Figura 6.6, y se produce la descarga del condensador en la resistencia de carga.

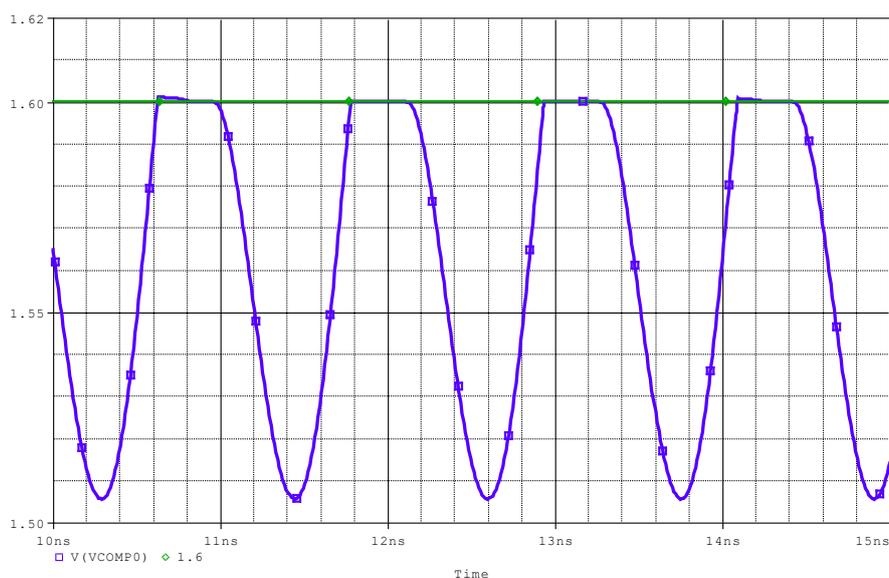


Figura 6.5 Tensión de comparación del regulador.

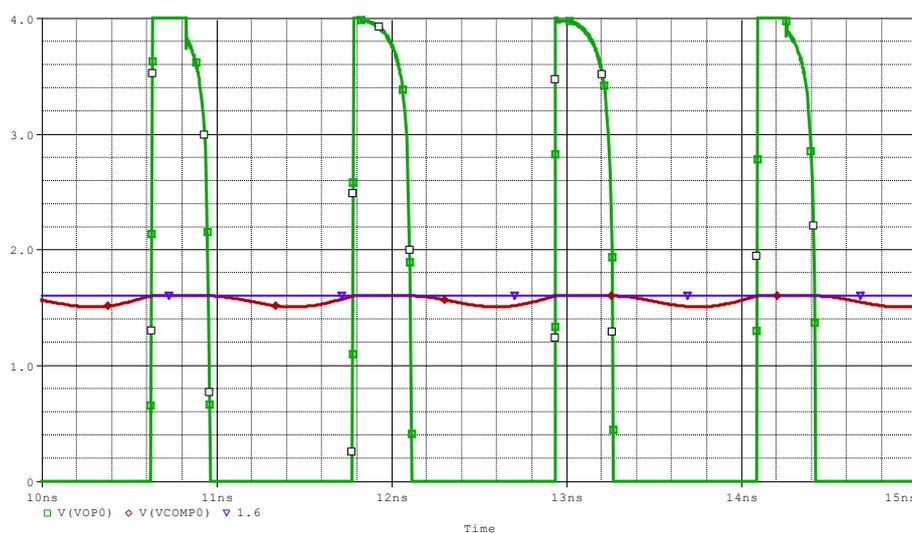


Figura 6.6 Tensión de salida del amplificador de error y tensión de comparación.

Al ser elementos ideales no hay pérdidas, por lo que la tensión de comparación y la tensión de salida tienen la misma fase y la amplitud que la tensión de comparación, ambas están relacionadas por un factor de reducción, Figura 6.7. Sin embargo, la tensión de salida y la tensión de entrada están desfasadas debido al condensador de salida, C_{out} , Figura 6.8.

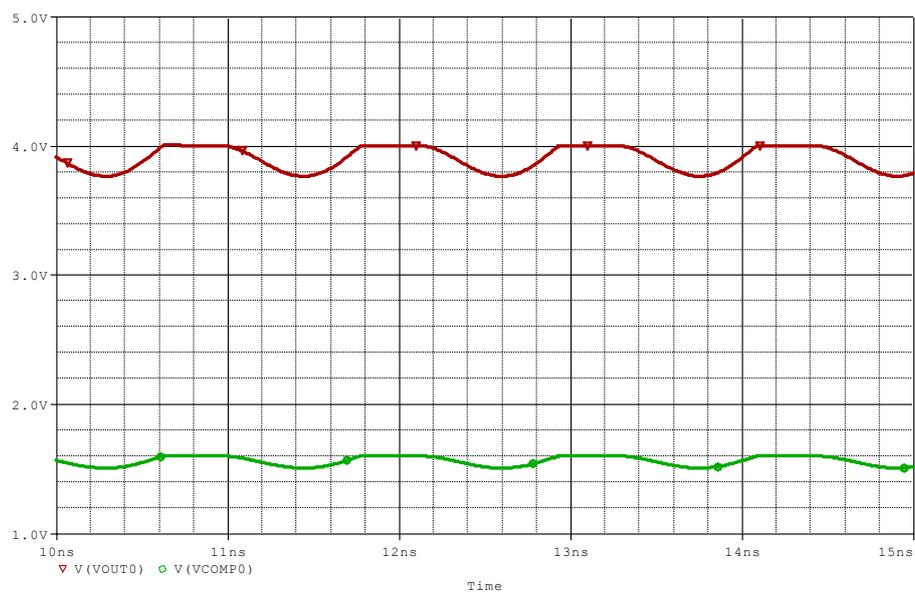


Figura 6.7 Tensión de salida y tensión de comparación

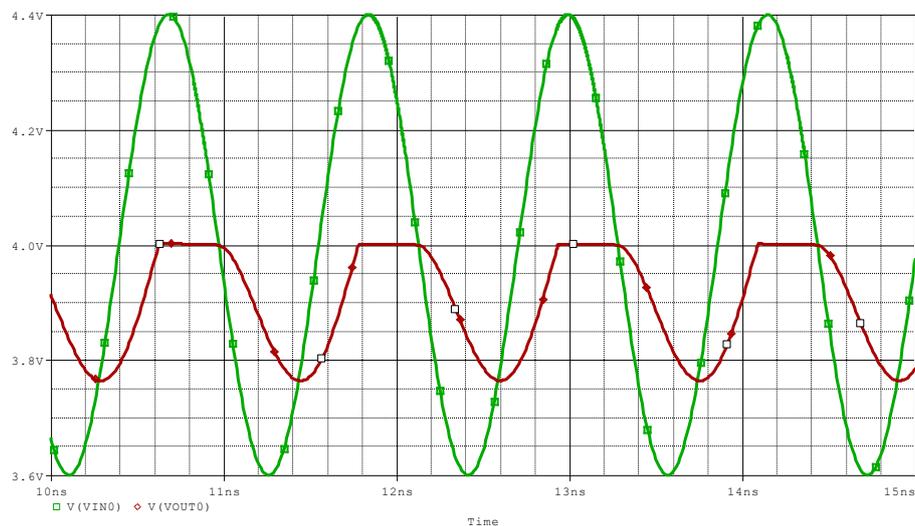


Figura 6.8 Tensión de entrada y salida del regulador.

Además, al tratarse de un circuito con todos los elementos ideales la caída de tensión en el elemento de paso es mínima, y el tiempo de cambio de valor de tensión en el amplificador de error, de alto a bajo o viceversa, es prácticamente cero. Es más, al ser ideal, el amplificador de error tiene un ancho de banda muy grande lo que hace que sea capaz de responder a los pequeños cambios producidos por el ruido en la señal de comparación.

6.3 MODELO REAL.

Este análisis se ha realizado con los modelos de los dispositivos reales, Figura 7.8, es decir, el PMOS ALD1105 como elemento de paso y el LMV793 como amplificador de error.

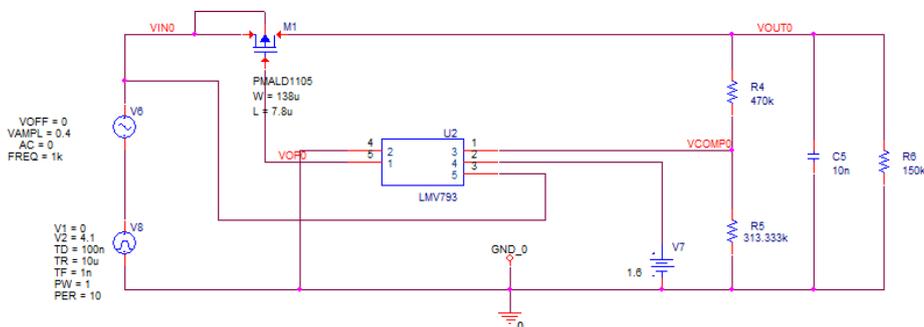


Figura 6.9 Modelo real de regulador.

Los resultados son muy diferentes respecto a los obtenidos con el modelo ideal por el uso de modelos de dispositivos reales. La caída de tensión, $V_{(dropout)}$, en el elemento de paso ya no es cero, por lo que se ha tenido que aumentar a 4.1V la tensión de *offset* de la señal de entrada. En la Figura 6.10 se puede ver el regulador funcionando para una frecuencia de entrada de $f = 866MHz$, se puede distinguir el pico de descarga del condensador y la zona estable mientras el condensador se carga. Se puede comprobar que la tensión de comparación tiene la misma fase que la tensión de salida al ser un valor escalado de esta, Figura 6.11, pero, el ruido es mayor en la tensión de comparación debido al PSRR del amplificador. Otra de las diferencias es la respuesta del amplificador de error, Figura 6.12, que no es capaz de responder ante los cambios a alta frecuencia tan rápido como el modelo ideal, Figura 6.6 y Figura 6.8, por su limitación de ancho de banda y de velocidad de respuesta.

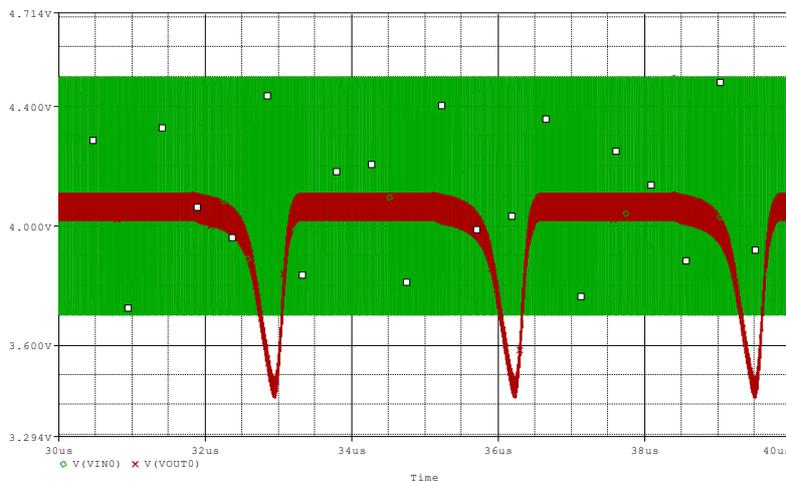


Figura 6.10 Tensión de entrada y salida del modelo real del regulador.

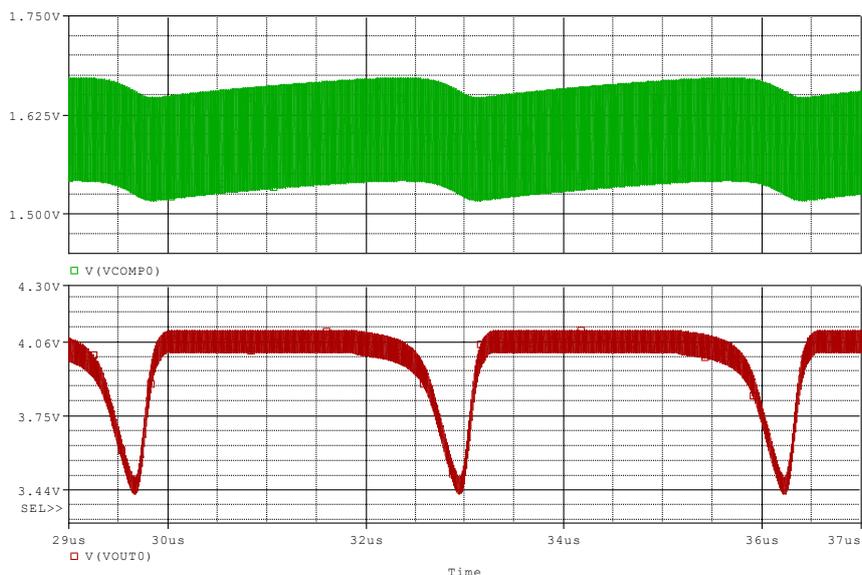


Figura 6.11 Tensión de salida y tensión de comparación

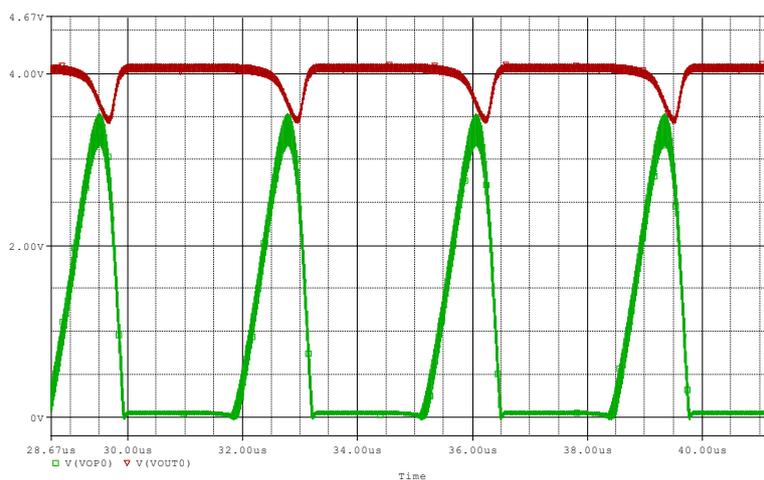


Figura 6.12 Tensión de salida del amplificador de error y tensión de salida del regulador.

Para comprobar que el regulador es capaz de regular a frecuencias más bajas, también para comprobar que el regulador funciona correctamente cortando cuando la tensión de comparación, V_{COMP} , supera la referencia, V_{Ref} , se realiza una nueva simulación cambiando la frecuencia de la señal de entrada de los 866MHz iniciales a una frecuencia de 1kHz, Figura 6.13. Se ha aumentado el valor del condensador de salida para ajustar el tiempo de carga y descarga y el nuevo condensador de salida es de $C_{OUT} = 10nF$. Se puede ver que el regulador funciona correctamente cortando la señal cuando se superan los 4V, produciéndose la carga y descarga del condensador, y cuándo la tensión de entrada es menor de 4V, el regulador se encuentra en la zona de *Drop-Out*, por lo que la tensión de salida seguirá a la tensión de entrada.

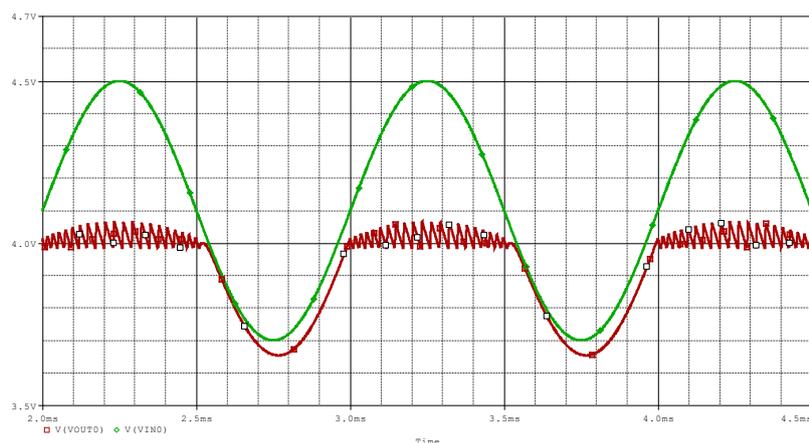


Figura 6.13 Tensión de entrada y salida del regulador a 1kHz de frecuencia.

6.3.1 ESTABILIDAD DEL MODELO.

Como prueba para conocer cómo afecta el ruido de la entrada de alimentación del amplificador de error se han comparado las entradas y la salida del mismo con dos tipos diferentes de alimentación: la entrada del regulador y una fuente independiente. En ambos casos la salida del amplificador de error tiene rizado, pero la mayor diferencia en su funcionamiento se puede ver en la entrada no inversora del amplificador, correspondiente a la tensión de comparación de la red de realimentación, que es la copia atenuada de la tensión de salida.

En la simulación con una fuente de alimentación independiente de la entrada, Figura 7.13, se puede observar que la tensión de comparación sigue a la tensión de salida sin ruido, y se aprecian las zonas de carga y descarga del condensador de salida. También, se puede observar, a partir de qué valor de tensión empieza el cambio en la salida del amplificador, el cual tiene un pequeño *offset*, por lo que no se realiza a 1.6V, como debería realizarse, sino a 1.608V.

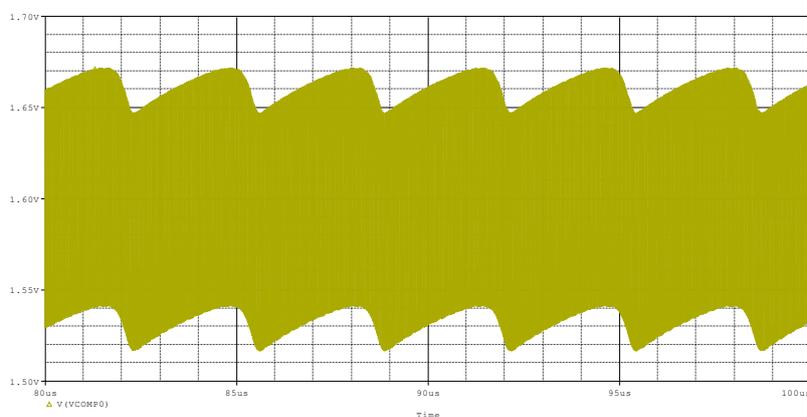


Figura 7.13 Tensión de comparación con el amplificador alimentado por la tensión de entrada.

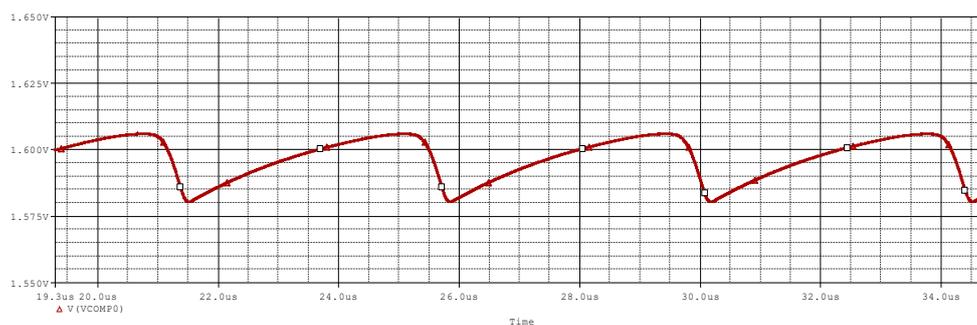


Figura 7.14 Tensión de comparación con el amplificador alimentado por tensión de continua.

En la simulación que utiliza la entrada de tensión del regulador como alimentación para el amplificador de error, Figura 7.14, se observa que en la tensión de comparación aparece ruido. Esto significa que el factor de rechazo a la alimentación del modelo del amplificador no es muy bueno. Sin embargo, la salida del amplificador responde realmente al valor medio de la tensión de comparación con ruido, gracias a su limitado ancho de banda.

6.3.2 CARACTERIZACIÓN DEL ELEMENTO DE PASO.

En este apartado se ha realizado una caracterización en frecuencia del elemento de paso, para determinar cuál era su comportamiento e impedancia equivalente a lo largo del espectro. Se ha caracterizado el transistor PMOS que forma dicho elemento en las dos zonas en las que debe trabajar, es decir, cuando está en corte, y cuando está en zona lineal. Teniendo en cuenta que la tensión de control procedente de la salida del amplificador de error varía entre 0 y 4V para estos dos estados, se ha simulado el elemento de paso con una polarización de $V_{SG} = 0V$ y $V_{SG} = 4V$, y considerando diversos valores de tensión de drenador para ver el efecto que tiene sobre la impedancia equivalente.

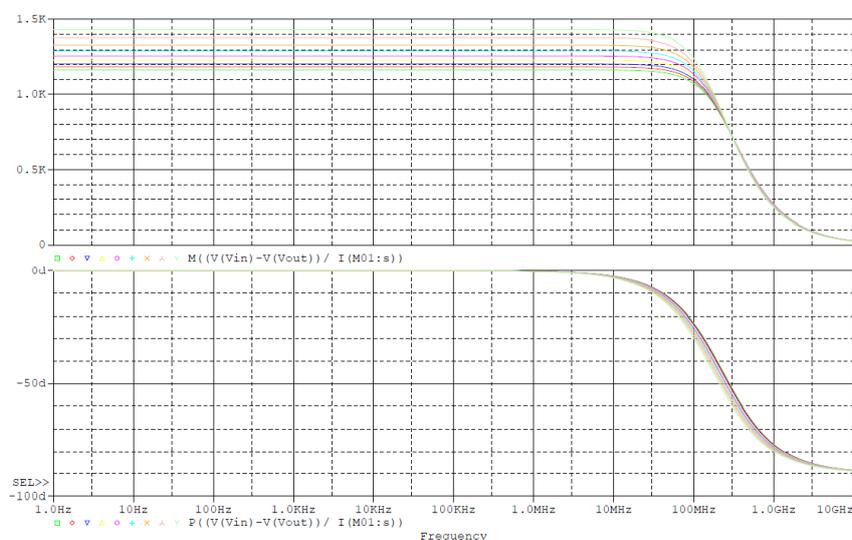


Figura 6.15 Diagrama de Bode de la impedancia equivalente.

En la Figura 7.15 se puede ver el diagrama de Bode de la impedancia equivalente del elemento de paso cuando se encuentra conduciendo. Como se puede observar, el comportamiento es el de una resistencia equivalente $R_{eq(on)}$ en paralelo con un condensador $C_{eq(on)}$, cuya función de transferencia tendría la forma de la ecuación (6.1).

$$Z_{eq}(s) = \frac{R_{eq}}{1 + sR_{eq}C_{eq}} \quad (6.1)$$

Por lo tanto, a partir de la frecuencia de corte superior f_H que se puede extraer de la Figura 7.15, se pueden calcular los valores de la resistencia equivalente, que sería igual a la impedancia en continua Z_0 , y el valor del condensador equivalente, sabiendo que la relación que guarda con la f_H es la indicada en la ecuación (6.2)

$$f_H = \frac{1}{2\pi R_{eq}C_{eq}} \quad (6.2)$$

Tabla 6.3: Posición del polo en función de la tensión fuente-drenador del PMOS.

	V_D (V)								
	0.1	0.6	1.1	1.6	2.1	2.6	3.1	3.6	4.1
f_H (MHz)	234.57	230.74	226.12	218.98	210.64	201.80	192.75	183.59	174.34
R_{eq} (kΩ)	1.1665	1.1858	1.2064	1.2308	1.2594	1.2930	1.3321	1.3776	1.4306
C_{eq} (fF)	581.64	581.64	583.38	590.49	599.91	609.95	619.84	629.27	638.09

En la Tabla 6.3 puede verse que la posición del polo se desplaza hacia alta frecuencia cuanto mayor es la tensión fuente-drenador del transistor PMOS, de forma que tanto el valor de la resistencia, como el condensador equivalente también disminuyen.

En la Figura 6.15 también se observa que el valor de la impedancia del elemento de paso en conducción mejora con la frecuencia, desde el punto de vista de que dicha impedancia es cada vez menor y, por tanto, la caída de tensión en el elemento de paso también lo será. Sin embargo, este comportamiento tiene la desventaja de que disminuye la capacidad de filtrado del elemento de paso del rizado a la entrada.

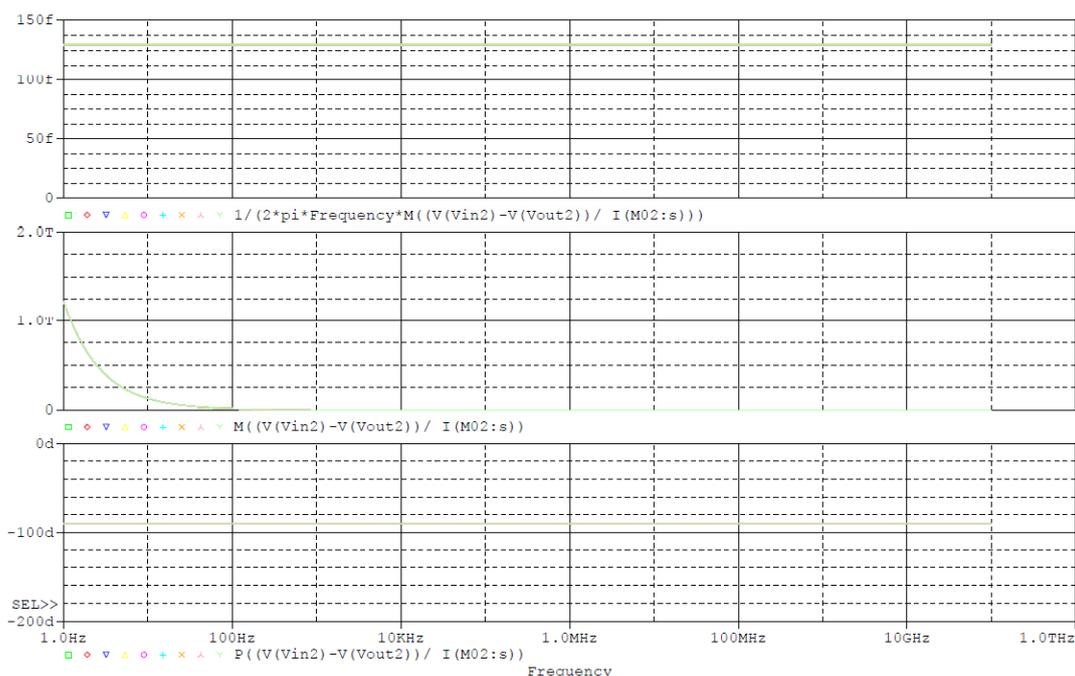


Figura 6.16 Diagrama de Bode de la impedancia equivalente.

En lo que se refiere al elemento de paso en corte, en la Figura 6.16 puede verse que éste se comporta como un único condensador equivalente $C_{eq(off)}$ cuyo valor es constante e independiente de las condiciones de polarización entre drenador y fuente. El Bode muestra que la magnitud (gráfica intermedia) tiene la forma clásica de la función $1/x$ (eje de abscisas en escala logarítmica) y la fase (gráfica inferior) es constante y de valor -90° . A partir de estas medidas se ha calculado el valor de dicho condensador equivalente según la ecuación (6.3) y obteniéndose un resultado de 129,72fF.

$$C_{eq(off)} = \frac{1}{2\pi f |Z_{eq(off)}(f)|} \quad (6.3)$$

Donde f es la frecuencia y $|Z_{eq(off)}(f)|$ el módulo de la impedancia equivalente en corte para esa frecuencia. Este comportamiento en corte resulta ser una de las principales limitaciones en la utilización de este dispositivo discreto como elemento de paso pues, aunque el valor del condensador equivalente es relativamente pequeño, no lo es lo suficiente como para que no limite su uso a alta frecuencia. Concretamente, para frecuencias superiores a 1GHz la impedancia equivalente en corte tiene un valor incluso inferior del que tiene la impedancia equivalente en conducción.

6.3.3 TENSIÓN DE CAIDA.

La caída de tensión en el elemento de paso, $V_{(dropout)}$, es la diferencia entre la tensión de entrada y la salida cuando el regulador esta funcionando. En la simulación se puede calcular realizando un barrido de continua de la tensión de entrada observando la tensión de salida, Figura 6.17. El punto en el que la tensión de salida deja de incrementarse es el punto de regulación y en el que se puede observar la tensión de caída. De la simulación de la caída de tensión, se obtienen los datos recogidos en la Tabla 6.4.

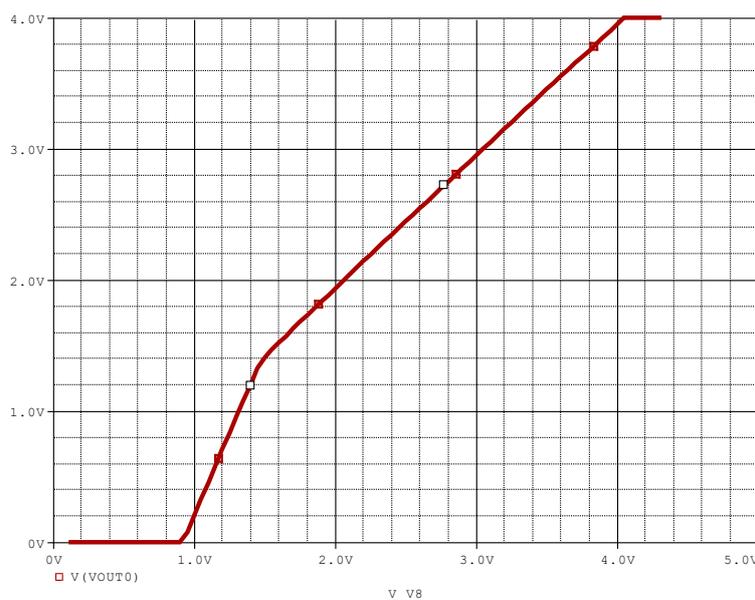


Figura 6.17 Tensión de caída del regulador.

Tabla 6.4: Datos obtenidos de la simulación de la caída de tensión en el elemento de paso del regulador.

PARÁMETRO	RESULTADO
V_{OUT}	3.9997V
$V_{IN_{MIN}}$	4.0508V
$V_{(dropout)}$	51.1mV
I_{OUT}	26.7 μ A
$R_{DS_{ON}}$	1.92k Ω

Se ha obtenido una tensión de caída de 51.1mV, la cual, es una tensión de caída muy baja, esta tensión se encuentra fuera del rango nominal de valores para $V_{(dropout)}$, lo que hace pensar que el modelo de nivel 1 del integrado ALD1105, no es el más adecuado para realizar estas simulaciones.

6.3.4 REGULACIÓN DE LÍNEA.

La regulación de línea es la capacidad de respuesta del regulador ante variaciones en la tensión de entrada. Para calcular la regulación de línea es necesario realizar un barrido de la tensión de entrada en la zona de regulación, zona en la cual el regulador está funcionando, para ver cómo afecta a la tensión de salida, Figura 6.18 se han recogido datos en la Tabla 6.5 y la pendiente de la recta que pasa por los dos puntos elegidos, es la regulación de línea.

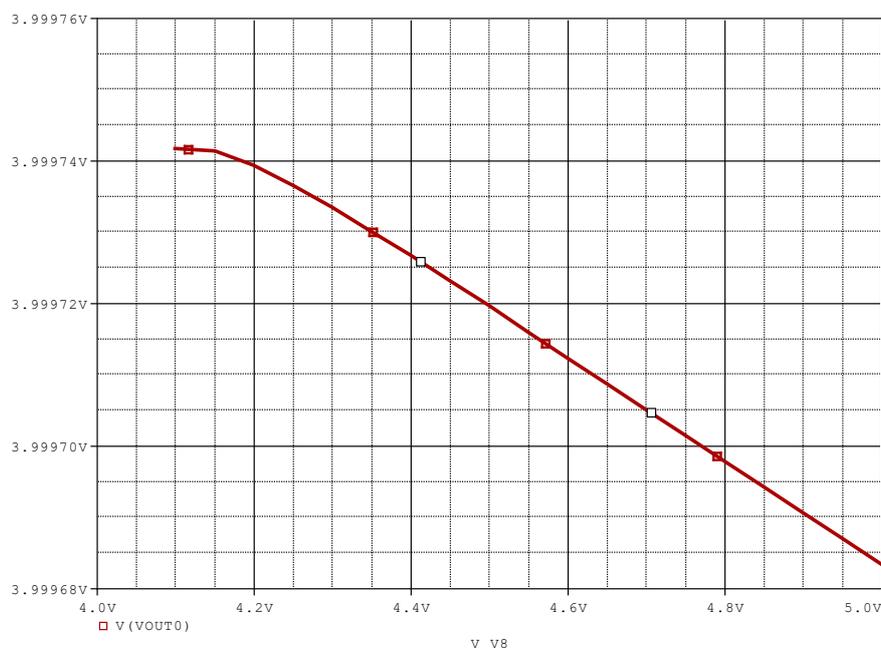


Figura 6.18 Regulación de línea.

Tabla 6.5: Puntos elegidos para el cálculo de la regulación de línea.

	PUNTO 1	PUNTO 2
V_{OUT}	3.999733V	3.999683V
V_{IN}	4.3V	5V

$$REGULACIÓN\ LÍNEA = \frac{V_{OUT2} - V_{OUT1}}{V_{IN2} - V_{IN1}} = -7.15 * 10^{-05} \frac{V}{V}$$

6.3.5 REGULACIÓN DE CARGA.

La regulación de carga es la capacidad del regulador para hacer frente a los cambios en la carga. Al igual que en la regulación de línea es la pendiente de una recta que pasa por dos puntos, Tabla 6.6. Pero en la regulación de carga, se hace el barrido sobre la intensidad de carga del regulador, I_{LOAD} , y cómo afecta a la tensión de salida, Figura 6.19.

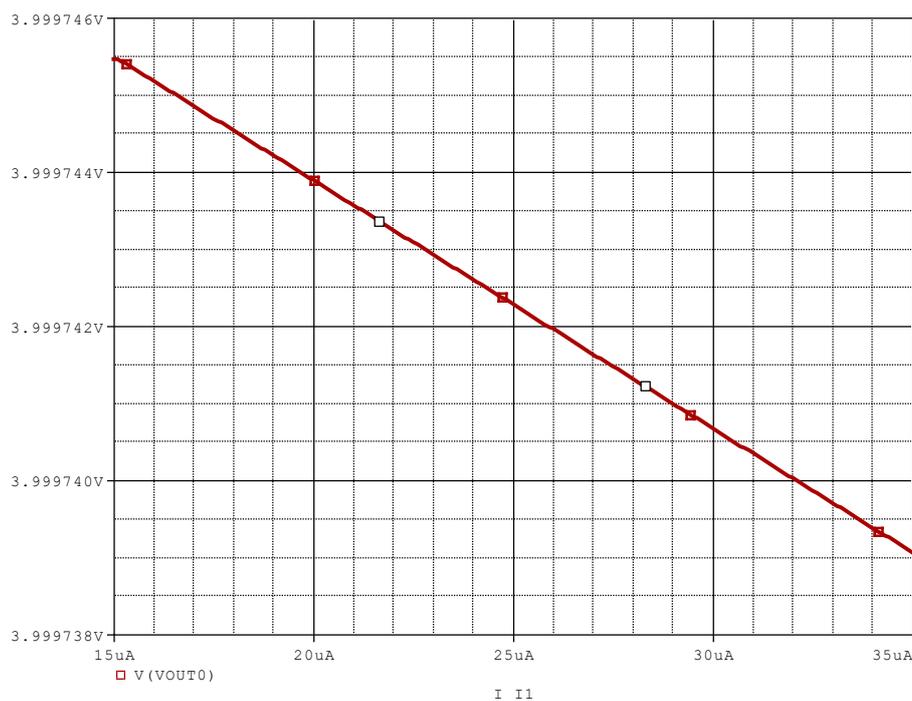


Figura 6.19 Regulación de carga.

Tabla 6.6: Puntos elegidos para la regulación de carga.

	PUNTO 1	PUNTO 2
V_{OUT}	3.999745V	3.999739V
I_{LOAD}	15μA	35μA

$$|REGULACIÓN CARGA| = \left| \frac{V_{OUT_2} - V_{OUT_1}}{I_{OUT_2} - I_{OUT_1}} \right| = 0.32 \frac{V}{A}$$

6.3.6 FACTOR DE RECHAZO A LA ALIMENTACIÓN.

El factor de rechazo a la alimentación es la capacidad del regulador para prevenir el rizado de la tensión de salida debido a fluctuaciones en la señal de entrada. Para calcularlo es necesario realizar un barrido de frecuencias observando la magnitud de la tensión de salida, Figura 6.20, cuando el regulador es alimentado con una tensión de continua superior al punto de trabajo, $V_{OUT} = 3.997V$ y $V_{IN} = 4.05V$, y también se le suministra una tensión de alterna a la entrada del regulador.

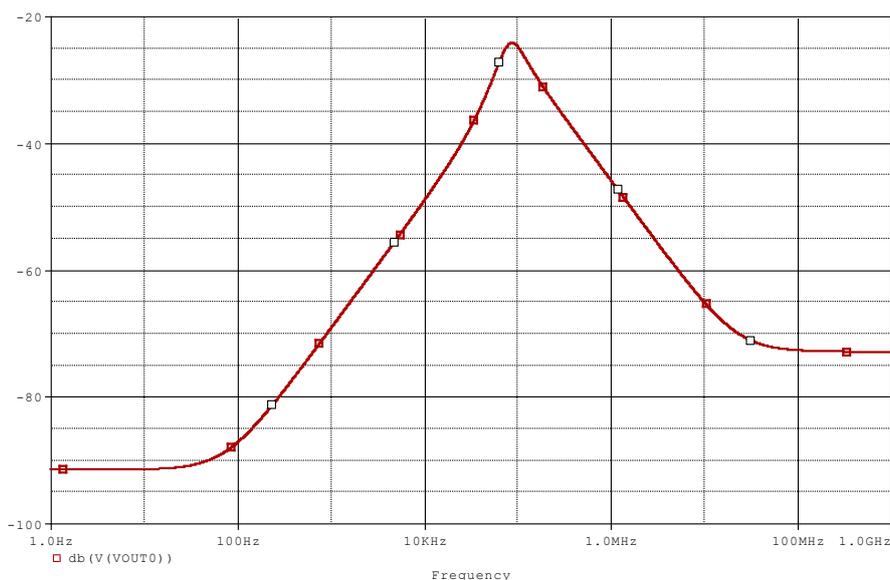


Figura 6.20 PSRR.

Para la frecuencia de trabajo del regulador que es $f = 866\text{MHz}$ el valor obtenido de PSRR es de -72.98dB . En la Tabla se incluyen los valores de PSRR para otras frecuencias de interés.

Tabla 6.7: Valores de PSRR para distintos valores de frecuencia.

FRECUENCIA	PSRR
1kHz	-69.24dB
10kHz	-48.82dB
100kHz	-25.08dB
1MHz	-45.58dB

6.3.7 EFICIENCIA.

El rendimiento del regulador depende de los valores calculados anteriormente y de la intensidad necesaria para alimentar los dispositivos discretos, I_{GND} . Para poder obtener la intensidad a tierra es necesario conocer las diferentes intensidades que se pueden encontrar en el regulador. En la Figura 6.21, se ha realizado un barrido de la intensidad de carga para observar cómo cambian las diferentes intensidades del regulador en función de la variación de la intensidad de carga. La intensidad suministrada por la fuente, en verde, se divide en tres intensidades diferentes, intensidad de carga en rojo, I_{LOAD} , intensidad de la realimentación en azul, I_{FB} e intensidad del amplificador de error en amarillo, I_{OPA} , ecuación

(6.3). Estas intensidades se deben al consumo de cada uno de los bloques que componen el regulador de tensión.

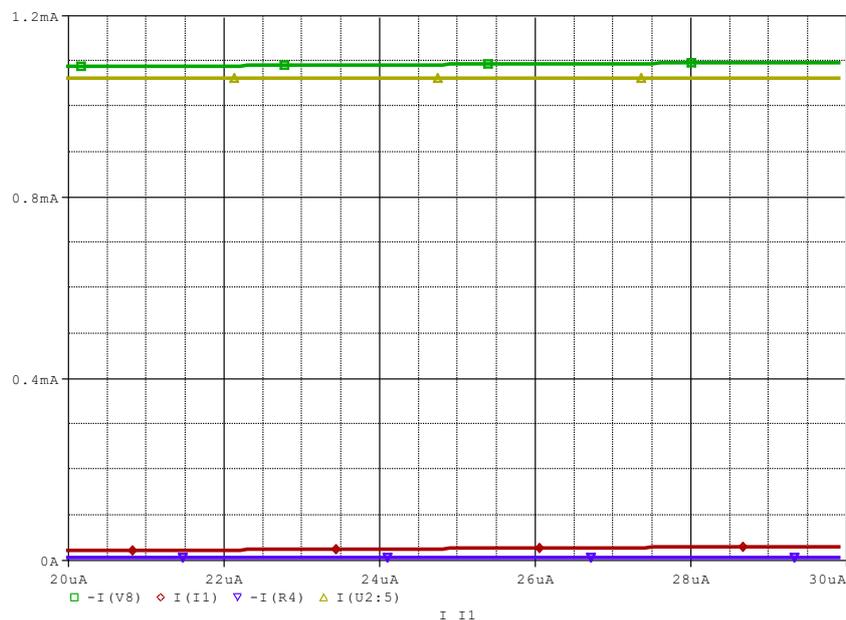


Figura 6.21 Intensidades en el regulador.

$$I_{IN} = I_{FB} + I_{OPA} + I_{LOAD} \quad (6.3)$$

El consumo de intensidad del amplificador de error y de la realimentación es constante mientras que la intensidad de salida se incrementa siguiendo la misma pendiente que la intensidad de entrada. Para el punto de trabajo, $V_{OUT} = 3.997V$ y $V_{IN} = 4.05V$, se han obtenido los valores recogidos en la Tabla 6.8. La intensidad a tierra, I_{GND} , se corresponde a la diferencia entre la intensidad de entrada y la intensidad de salida del regulador de tensión.

Tabla 6.8: Valores de las intensidades en el punto de trabajo.

INTENSIDADES	VALOR
I_{IN}	1.0933mA
I_{OUT}	26.7uA
I_{FB}	51.061uA
I_{OPA}	1.0615mA
I_{GND}	1.0666mA

El rendimiento en el regulador para el punto de trabajo toma el valor de $\eta = 2.41\%$, este resultado se debe a la utilización de dispositivos discretos, los cuales necesitan una corriente

elevada de alimentación para poder funcionar. Como se puede ver, el mayor consumo es el asociado al amplificador de error, de forma que si este no existiera el rendimiento alcanzaría, como máximo un 30-34% por las pérdidas asociadas a la red de realimentación.

6.4 RESUMEN DE RENDIMIENTO.

Los parámetros clave del regulador LDO se incluyen en la Tabla 6.9, estos parámetros se han obtenido mediante diferentes simulaciones del regulador de tensión. El punto de trabajo del regulador se establece en $\hat{V}_{OUT} = 3.9997V$, muy cercano al valor para el que fue diseñado de $\hat{V}_{OUT} = 4V$. La amplitud del rizado de salida es de $\sigma_{V_{OUT}} = 91.8mV$. El valor de la tensión de caída es de $V_{(dropout)} = 51.1mV$, esta tensión de caída se encuentra fuera del rango normal de valores para este parámetro lo cual nos indica que el modelo de nivel 1 del transistor PMOS ALD1105 con el que trabaja el simulador no es suficiente. La tensión mínima que se necesitara para que el regulador comience a trabajar es $V_{IN} = 4.0508V$. El rendimiento máximo que se ha obtenido con este regulador es de $\eta = 2.41\%$, que, aunque los reguladores lineales LDO no tienen un alto rendimiento, es un rendimiento bajo, y se debe al significativo consumo de los dispositivos discretos que componen los diferentes bloques del regulador. El PSRR tiene un valor de $-72.98dB$, para una frecuencia de $f = 866MHz$. Este valor demuestra que el LDO es capaz de rechazar las componentes de alta frecuencia del ruido provenientes de la entrada de tensión del regulador.

Tabla 6.9: Parámetros clave del regulador de tensión LDO simulado para una carga de $150k\Omega$.

PARÁMETRO	VALOR
\hat{V}_{OUT}	3.9997V
$\sigma_{V_{OUT}}$	91.8mV
$V_{(dropout)}$	51.1mV
$V_{IN_{MIN}}$	4.05V
I_{GND}	1.0666mA
Regulación Carga	0.32 V/A
Regulación Línea	$-7.15 * 10^{-05} V/V$
$PSRR_{866MHz}$	-72.98dB
η_{LDO}	2.41%

7 ANALISIS DEL REGULADOR LDO.

Tras haber realizado las simulaciones por ordenador del regulador de tensión con los distintos elementos, ideales y discretos, se ha procedido a realizar un montaje discreto del LDO en una placa de prototipado. Se han realizado los mismos análisis que en el modelo simulado para comprobar el funcionamiento del regulador, su estabilidad y asegurar que se ha realizado un buen diseño de éste.

7.1 REGULADOR DE TENSIÓN LDO REAL.

Al no disponer de un generador capaz de suministrarnos una tensión de *offset* de $V_{DC} = 4.1V$, a la vez que un ruido de AC de amplitud $\sigma = 0.4mV$ a una frecuencia de $f = 866MHz$, se ha optado por bajar la frecuencia, ya que debería regular para frecuencias de ruido bajas. EL regulador esta diseñado para regular tensiones rectificadas a partir de una señal RF de modo que las fluctuaciones están previstas que se produzcan por variaciones en los ángulos de acoplamiento con un dispositivo externo al implante. Se ha utilizado un generador de funciones que genera una onda sinusoidal a $5MHz$ y con un *offset* de $4.1V$. Para la tensión de referencia se ha empleado una fuente tensión continua fija de valor $V_{REF} = 1.6V$. La salida del regulador se ha comparado con las siguientes tensiones: tensión de entrada del regulador, Figura 7.1, tensión de salida del amplificador de error, Figura 7.2 y tensión de comparación, Figura.7.3

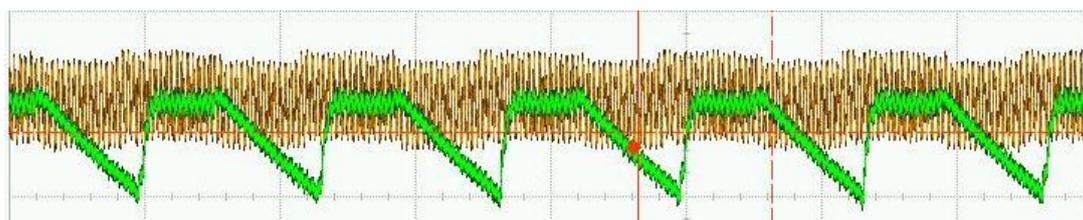


Figura 7.1 Tensión de entrada y tensión de salida 5MHz.

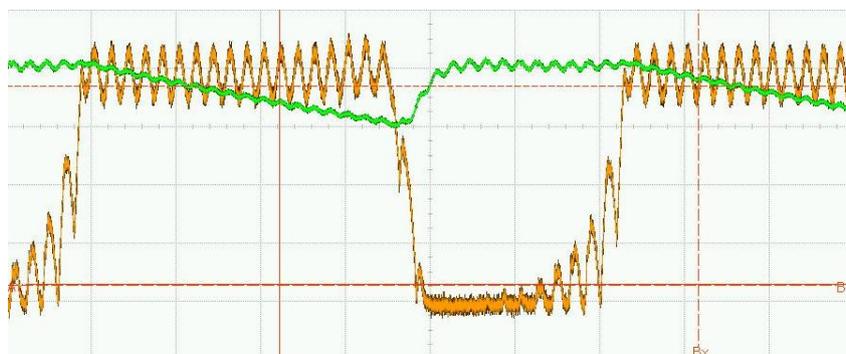


Figura 7.2 Tensión del amplificador de error y tensión de salida 5MHz.

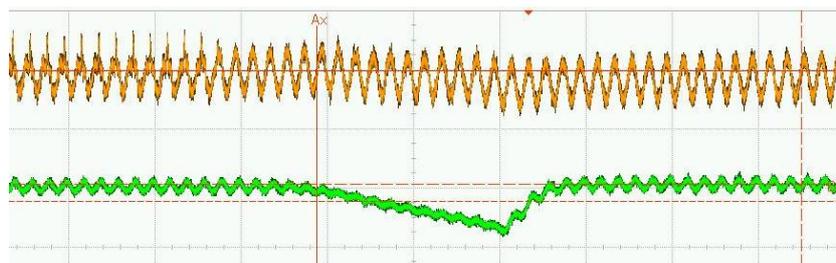


Figura 7.3 Tensión de comparación y tensión de salida para 5MHz.

Para comprobar que es capaz de regular de manera correcta se ha decidido bajar la frecuencia a 1kHz al igual que en simulación y se ha mantenido el diseño, salvo el condensador de salida, que, debido al tiempo de carga, que se rige por la τ del condensador de salida y la resistencia de conducción del transistor PMOS se ha visto modificado su valor. El amplificador de error no es capaz de responder rápidamente a los picos de carga del condensador de salida, por lo que la tensión de salida llega a alcanzar la tensión de entrada, Figura 7.4. Por ello se ha probado con varios condensadores: 1nF , Figura 7.5, y 10nF , Figura 7.6. Este último condensador es el elegido para realizar los análisis, ya que el rizado de salida es menor que con los anteriores y el regulador funciona de la manera esperada.

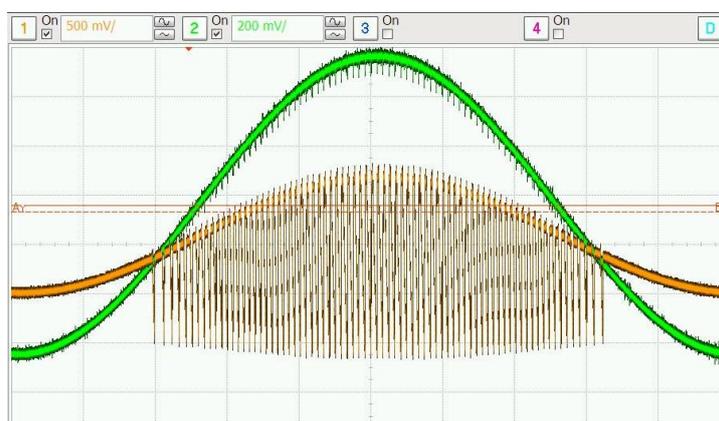


Figura 7.4 Tensión de entrada y tensión de salida para 16pF .



Figura 7.5 Tensión de entrada y tensión de salida para 1nF .

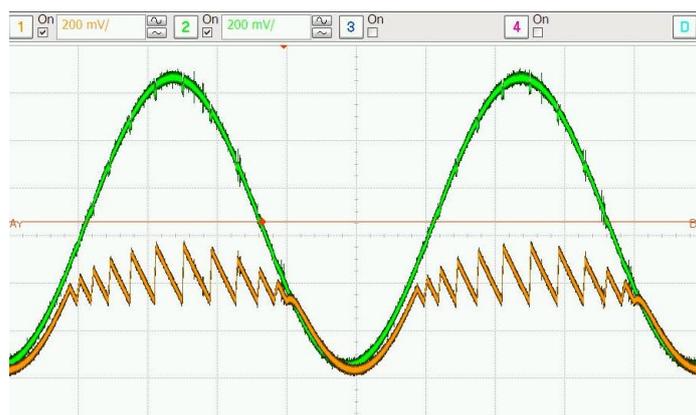


Figura 7.6 Tensión de entrada y tensión de salida para 10nF.

Para comprobar cómo trabaja el regulador de tensión, se han obtenido todas las gráficas del regulador comparando la tensión de salida con cada una de ellas, la tensión de entrada, Figura 7.6, la tensión de salida del amplificador de error, Figura 7.7, y con la tensión de comparación, Figura 7.8. De las gráficas se puede ver que regula correctamente, cortando la tensión de salida cuando supera el valor de la tensión de referencia. Todas estas gráficas se han obtenido con el regulador trabajando con una $\hat{V}_{OUT} = 3.97$, una frecuencia del ruido de $f_{ruido} = 1kHz$ y con un *offset* de la tensión de entrada de 4.18V.

Tras comprobar que el regulador funciona correctamente se ha procedido a calcular los parámetros clave, al igual que en el modelo de simulación. Se ha calculado la tensión de caída, la regulación de carga, la regulación de línea, el PSRR y el rendimiento.

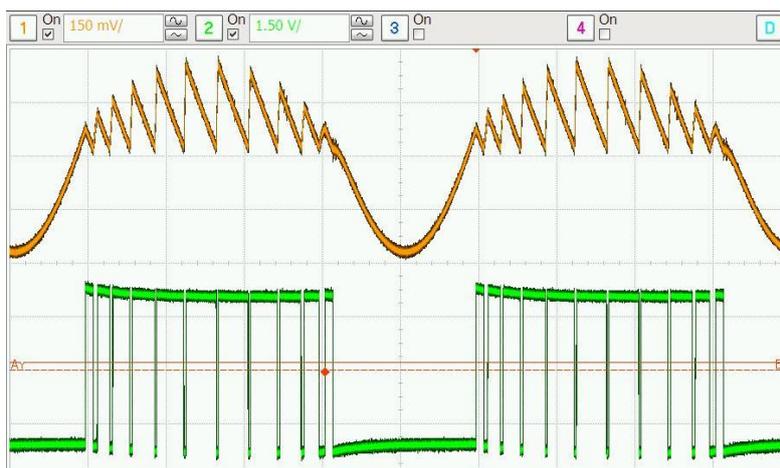


Figura 7.7 Tensión de entrada y tensión de salida del amplificador de error.



Figura 7.8 Tensión de entrada y tensión de comparación.

7.1.1 TENSIÓN DE CAIDA.

La tensión de caída, al igual que en la simulación se ha evaluado haciendo un barrido de tensión continua de la tensión de entrada del regulador, hasta observar el punto en el que el regulador empieza a trabajar. Este parámetro se ha obtenido empleando una fuente de tensión continua como entrada y observando con un multímetro la tensión de salida.

Se ha obtenido que el LDO regula para un valor mínimo de la tensión de entrada de $V_{IN_{MIN}} = 4.176$ para que la tensión de salida tome un valor de $V_{OUT} = 3.98V$. El valor de la tensión de salida es menor debido a la tolerancia de las resistencias de realimentación. También se comprueba que la tensión de caída es mayor $V_{(dropout)} = 196mV$, tal y como se había esperado. A partir estas medias se han calculado los datos que aparecen en la Tabla 7.1, éstos nos ayudarán, a su vez, a hallar otros parámetros.

Tabla 7.1: Datos obtenidos del análisis de la caída de tensión para una carga de nominal de $150k\Omega$ ($148.89 k\Omega$ reales).

PARÁMETRO	VALOR
$V_{IN_{MIN}}$	4.176V
V_{OUT}	3.98V
$V_{(dropout)}$	196mV
I_{OUT}	26.731uA
$R_{DS_{ON}}$	7332.2713 Ω

7.1.2 REGULACIÓN DE LÍNEA.

Para obtener la regulación de línea, al igual que en la simulación, es necesario hacer un barrido de tensión continua sobre la tensión de entrada y observar cómo varía la tensión de salida. Para este análisis es necesario que esté regulando, por lo que hay que establecer como valor inicial del barrido $V_{INMIN} = 4.176V$. Este análisis se ha realizado con una fuente de tensión continua en la entrada del regulador, y se han tomado un serie de puntos para observar la relación de la tensión en la salida y en la entrada del regulador. De la Tabla 7.2 con los puntos tomados en el barrido se ha realizado la gráfica con la variación de tensión, Figura 7.9. La regulación de línea obtenida es la siguiente:

$$\text{Regulación Línea} = \frac{3.999 - 3.987}{4.42 - 4.32} = 0.118 \frac{V}{V}$$

Tabla 7.2: Puntos obtenidos después del barrido para la regulación de línea.

TENSIÓN DE ENTRADA	TENSIÓN DE SALIDA
4.32V	3.987V
4.33V	3.987V
4.34V	3.99V
4.35V	3.991V
4.361V	3.992V
4.371V	3.994V
4.38V	3.996V
4.39V	3.997V
4.4V	3.999V
4.41V	4.001V
4.42V	3.999V

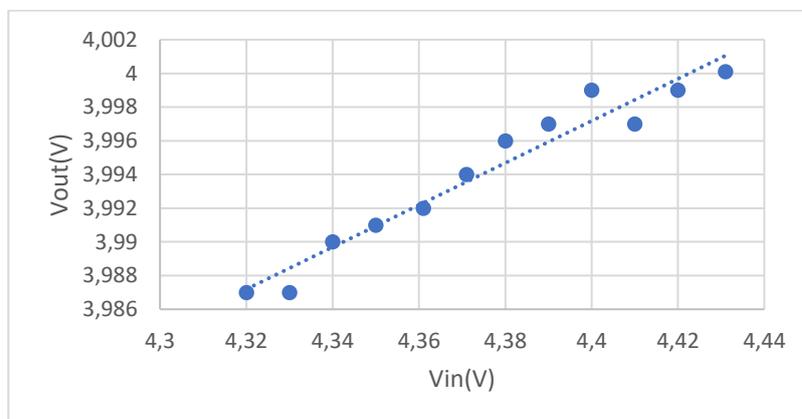


Figura 7.9 Regulación de Línea.

7.1.3 REGULACIÓN DE CARGA.

En el caso de la regulación de carga hay que hacer un barrido de la intensidad de carga y observar cómo afectan las variaciones en la intensidad a la tensión de salida. Al no disponer de una fuente de corriente, el barrido se ha realizado modificando la resistencia de carga del regulador. La corriente de carga se encuentra sobre $26.7\mu A$ para una tensión de entrada de $4.176V$ y una tensión de salida de $3.98V$. Para ello se han escogido las resistencias de la Tabla 7.3, que nos dan una intensidad de carga cercana a la del punto de trabajo, al igual que para la regulación de línea se han representado los puntos en una gráfica, Figura 7.10, y se ha obtenido un valor de relación de carga en valor absoluto de $RC = 216V/A$.

Tabla 7.3: Puntos del barrido para la regulación de carga.

RESISTENCIA	VALOR REAL	TENSIÓN SALIDA	INTENSIDAD SALIDA
$1.5M\Omega$	$1.52M\Omega$	$3.971V$	$2.62112\mu A$
$560k\Omega$	$558k\Omega$	$3.974V$	$7.12186\mu A$
$470k\Omega$	$468k\Omega$	$3.98V$	$8.50973\mu A$
$330k\Omega$	$328k\Omega$	$3.97V$	$12.1098\mu A$
$150k\Omega$	$149k\Omega$	$3.974V$	$26.7\mu A$
$100k\Omega$	$99.2k\Omega$	$3.966V$	$39.9637\mu A$
$80k\Omega$	$80.8k\Omega$	$3.961V$	$49.0223\mu A$

$$|RC| = \left| \frac{3.971 - 3.961}{2.62112 - 49.0223} \right| = 2.16 * 10^{-4} \frac{V}{\mu A}$$

7.1.4 FACTOR DE RECHAZO A LA ALIMENTACIÓN.

El PSRR del regulador es el factor en decibelios, dB , que representa la capacidad del regulador para mantener la tensión de salida estable al introducirse pequeñas variaciones en la tensión de entrada del regulador. El PSRR se ha calculado para tres condensadores de salida diferentes, uno de $16pF$, otro de $1nF$ y el último de $10nF$ y se ha realizado para comprobar que como el rizado de la tensión de salida se ve reducido en función del valor del condensador.

La primera de ellas consiste en medir en el osciloscopio la amplitud de la envolvente de la tensión de salida y compararla con la amplitud de la tensión de entrada aplicando la ecuación (4.5). Para ello se ha utilizado como tensión de entrada una onda generada por un

generador de funciones de $100mV$ de amplitud pico a pico y se ha realizado un barrido de la frecuencia de la tensión de entrada para ver el espectro de frecuencias del PSRR. Durante la toma de medidas surgió un problema para poder ver la tensión de salida, ya que el tiempo de descarga del condensador era mayor que el periodo de la onda generada, por lo que las medidas obtenidas no eran fiables, Figura 7.11. Se optó por reducir el tamaño de los condensadores para reducir la constante de tiempo de la descarga, pero las frecuencias eran aun demasiado bajas como para comprobar cómo actuaba el PSRR; la frecuencia máxima alcanzada ha sido $f = 20kHz$ con el condensador de $16pF$. En la Figura 7.12 se han representado los puntos obtenidos para los tres condensadores utilizados en la obtención del PSRR.

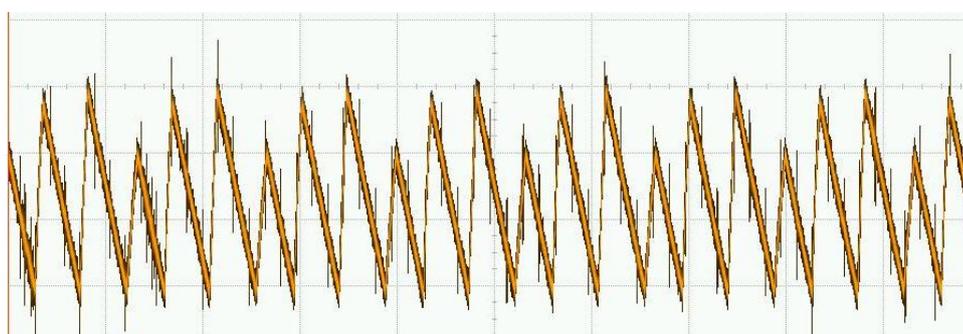


Figura 7.11 Tensión de salida con un condensador de $10nF$ y frecuencia de $10kHz$.

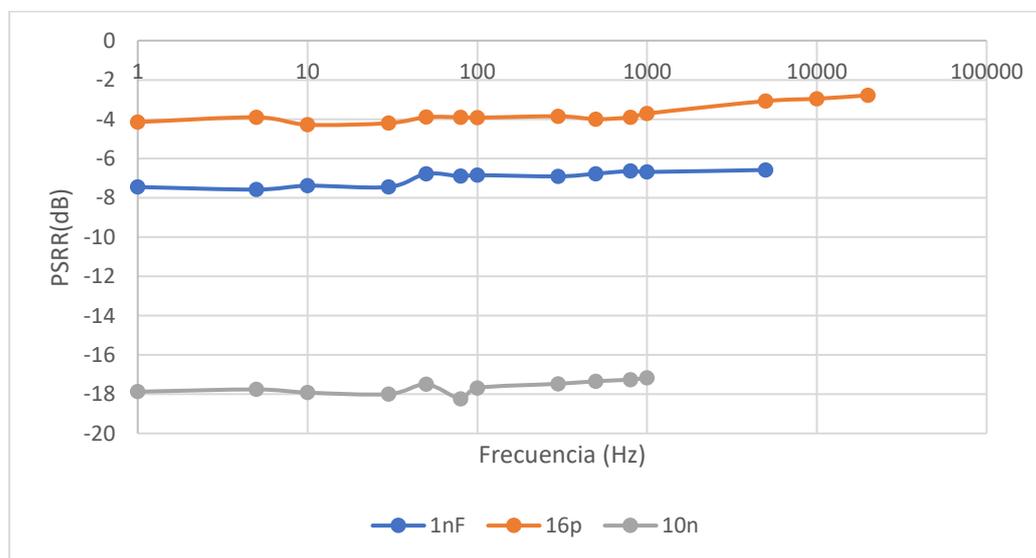


Figura 7.12 PSRR del regulador para los tres condensadores.

El segundo método se ha realizado utilizando un analizador de redes el cual tiene una frecuencia máxima de muestreo de $f = 51.2kHz$ [33], mayor que la máxima alcanzada con el generador de funciones. También se ha realizado para los tres condensadores, Figura 7.13.

A frecuencias bajas el PSRR obtenido con el osciloscopio y con el analizador de redes es similar, los cambios se producen a frecuencias más altas, a las cuales, con el osciloscopio ha resultado imposible tomar medidas.

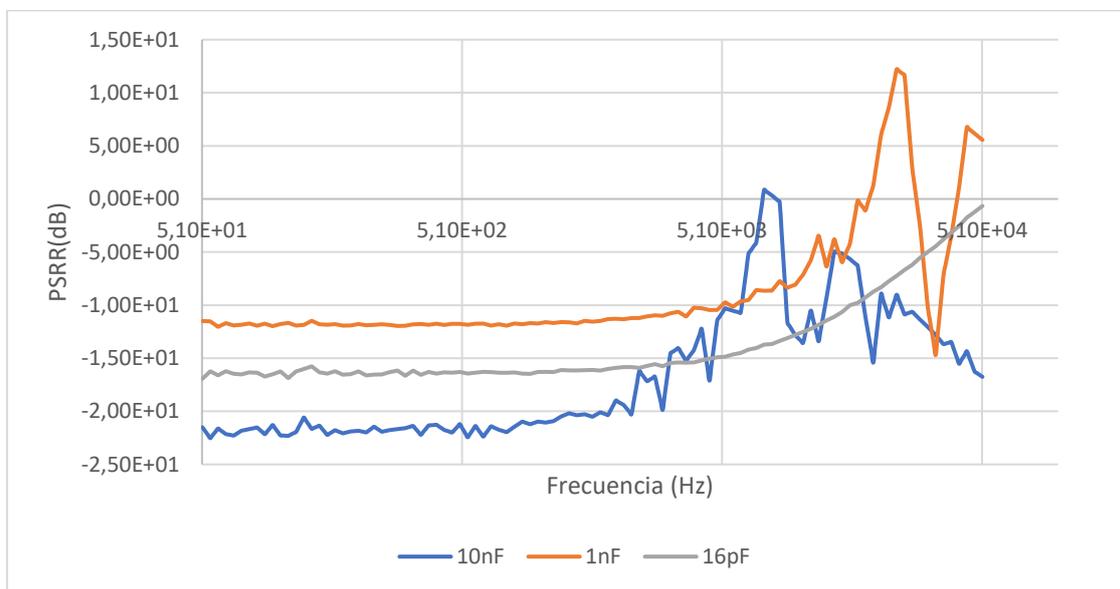


Figura 7.13 PSRR obtenido con el analizador de redes.

7.1.5 RENDIMIENTO.

El rendimiento se ha calculado a partir de la ecuación (4.7) y los valores de los parámetros se han obtenido de manera experimental. Es necesario conocer la intensidad de entrada para el punto de trabajo $V_{IN} = 4.176V$, para lo que se ha colocado una resistencia pequeña entre el generador de funciones y la entrada del regulador. Para medir la intensidad de corriente se ha colocado un cable entre la fuente de tensión de entrada y la fuente del transistor PMOS, cuya resistencia es de $225m\Omega$ y se ha obtenido la caída de tensión en el cable que es de $0.215mV$. Con estos datos se ha obtenido una intensidad de entrada $I_{IN} = 0.955mA$, conociendo la intensidad de carga $I_{LOAD} = 26.7\mu A$, la intensidad de tierra es de $I_{GND} = 0.928mA$. El rendimiento obtenido para el regulador LDO es de $\eta_{LDO} = 2.67\%$. Aunque el rendimiento de un regulador LDO no es alto, suele rondar el 50%, en este caso el rendimiento esta en $\eta_{LDO} = 2.67\%$, y se debe al consumo, alto del amplificador de error, que al tratarse de un circuito integrado necesita una intensidad de alimentación elevada tal y como se comentó en la simulación del modelo.

7.2 REGULADOR LDO IMPLEMENTADO EN PLACA DE PRUEBA.

Después de haber comprobado que el diseño del regulador funciona correctamente en una protoboard, se ha realizado su implementación en una placa de prueba perforada, o *Stripboard*, Figura 7.14. Para esta implementación se han utilizado los mismos componentes que en la implementación en la protoboard con la finalidad de comparar los resultados obtenidos.

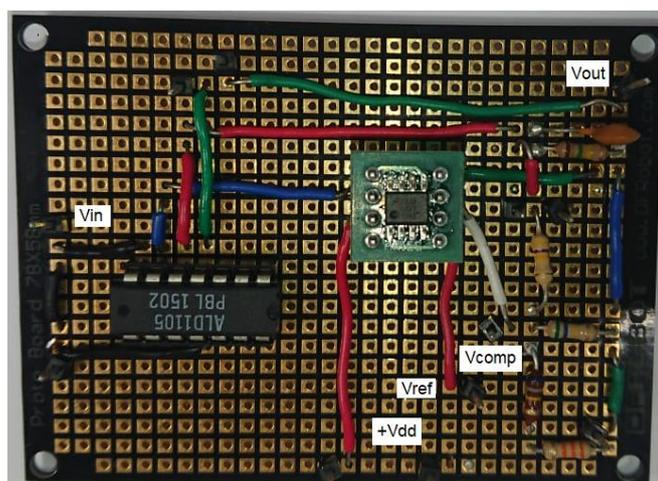


Figura 7.14: Regulación de línea para regulador LDO soldado a una *Stripboard*.

Al igual que en los apartados anteriores, se han realizado los análisis de tensión de caída, regulación de línea, PSRR y rendimiento. La regulación de carga no ha podido realizarse debido a que no es posible modificar la resistencia de carga al estar soldado el regulador.

7.2.1 TENSIÓN DE CAIDA

Se ha realizado siguiendo los mismos pasos que en los casos anteriores, realizando un barrido de tensión continua en la entrada del regulador y observando en qué punto el LDO comienza a regular. Se ha obtenido que esto sucede para una tensión de $V_{OUT} = 3.98V$ y una tensión de entrada mínima de $V_{INMIN} = 4.1V$, por lo que el resultante de la tensión de caída es $V_{(dropout)} = 120mV$. El resultado obtenido es mejor en este caso que en el regulador implementado en la protoboard, esto puede ser debido a la resistencia interna entre conexiones de la protoboard. En la Tabla 7.4 se han recogido todos los parámetros obtenidos en este análisis a modo de resumen y para favorecer la comparación con los obtenidos en los apartados anteriores.

Tabla 7.4: Datos obtenidos del análisis de la caída de tensión para una carga de $148.89k\Omega$ en una *Stripboard*.

PARÁMETRO	VALOR
$V_{IN_{MIN}}$	4.1V
V_{OUT}	3.98V
$V_{(dropout)}$	120mV
I_{OUT}	26.7311 μ A
$R_{DS_{ON}}$	3207.74 Ω

7.2.2 REGULACIÓN DE LÍNEA

Se ha realizado el barrido de la tensión de entrada empezando en $V_{IN} = 4.3V$ y observando cómo cambia la salida para una variación en la entrada. Se han tomado diez puntos, Figura 7.15 y la regulación de línea es la siguiente:

$$RL = \frac{4.016 - 4.006}{4.398 - 4.308} = 0.111 \frac{V}{V}$$

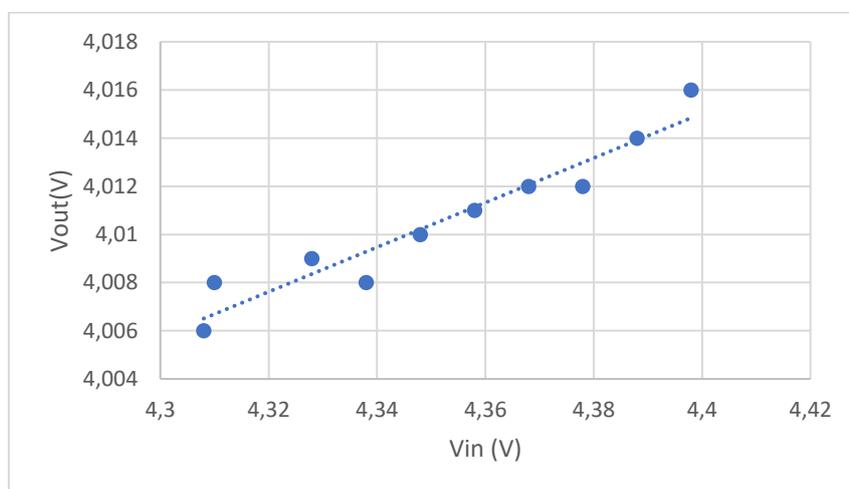


Figura 7.15: Regulación de línea para regulador LDO soldado a una *Stripboard*.

El resultado obtenido es cercano al obtenido en el modelo de regulador implementado en la protoboard, puesto que los componentes utilizados en ambos diseños son los mismos.

7.2.3 FACTOR DE RECHAZO A LA ALIMENTACIÓN

El cálculo del factor de rechazo a la alimentación se ha realizado con el analizador de redes utilizado anteriormente. Se ha empleado este método directamente porque es más preciso y alcanza frecuencias más altas que en el método usando el osciloscopio. La entrada es una onda senoidal con una tensión de offset mayor que la del punto de regulación y una amplitud de $100mV_{pp}$. Los resultados, Figura 7.16, son mejores en este caso, con los componentes soldados, que en la implementación con la protoboard. Esto significa que estando el regulador soldado es más inmune a los ruidos para una frecuencia máxima de $f = 51.2kHz$.

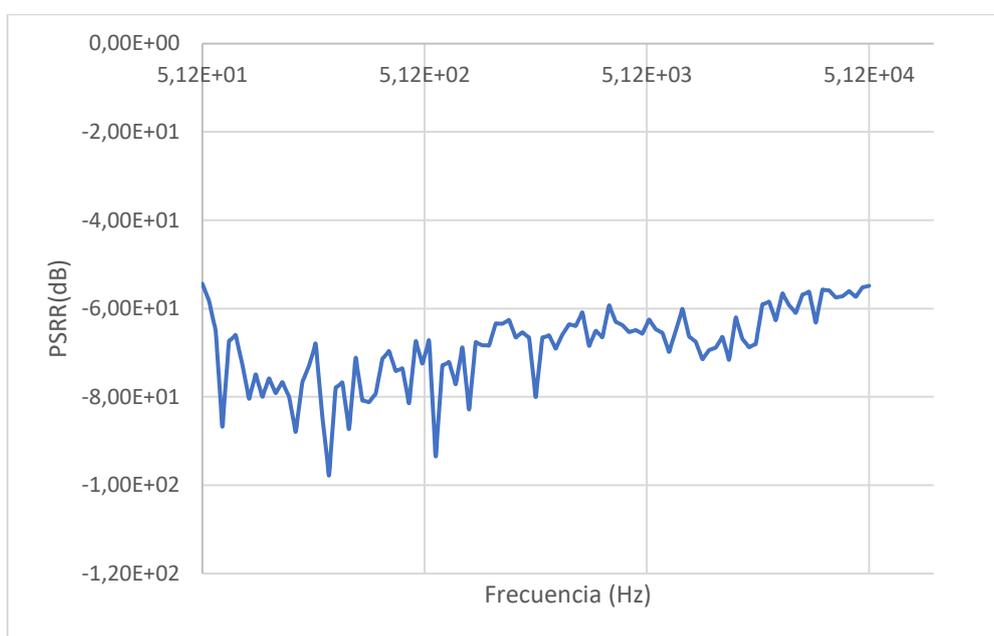


Figura 7.16 PSRR para regulador LDO soldado a placa de prueba.

7.2.4 RENDIMIENTO

El rendimiento del regulador se ha obtenido siguiendo los mismos pasos que para el modelo implementado en la protoboard. Lo primero ha sido obtener la intensidad proporcionada por la fuente de tensión a la entrada $I_{IN} = 1.5mA$ y la intensidad de carga $I_{IN} = 26.731\mu A$ para un valor de $V_{OUT} = 3.98V$ y $V_{IN} = 4.1V$, por lo tanto, la intensidad a tierra es $I_{GND} = 1.4732mA$, mucho mayor que en el análisis del rendimiento del punto anterior, lo que significa que éste es menor al haber más pérdidas. El rendimiento en este caso es de $\eta_{LDO} = 1.73\%$.

7.3 RESULTADOS DEL REGULADOR.

Para comprobar que el regulador implementado en la protoboard es similar al modelo simulado y al modelo soldado en la placa de prueba perforada se han comparado los parámetros clave de ambos análisis. En general los resultados obtenidos son buenos: en el caso de la regulación de línea y regulación de carga, el regulador es capaz de hacer frente a grandes variaciones tanto en la tensión de entrada como en la carga para los tres casos. También tiene una baja caída de tensión en el elemento de paso, lo que minimiza las pérdidas por calor. El PSRR a bajas frecuencias es bueno en los tres casos, a frecuencias altas no se puede realizar la comparación debido a que la frecuencia máxima alcanzada es de $f = 51.2kHz$. Para el modelo de regulador soldado en placa de prueba perforada el PSRR es mejor que en los anteriores casos, por lo que éste es más inmune al ruido, Figura 7.14. Quedaría estudiar como se comporta a altas frecuencias el PSRR cuando se disponga del equipamiento necesario. Con los análisis realizados se llega a la conclusión de que el regulador es capaz de trabajar correctamente a $10kHz$ con componentes discretos. Las Tablas 7.5 y 7.6 muestran un resumen de los resultados obtenidos en ambos prototipos, el montado sobre una protoboard y el realizado sobre una placa de prueba perforada con uniones soldadas.

Tabla 7.5: Resultados del modelo real del regulador LDO para una carga de $148.2k\Omega$ en la protoboard.

PARÁMETRO	VALOR
\hat{V}_{OUT}	3.98V
$\sigma_{V_{OUT}}$	91.8mV
$V_{(dropout)}$	196mV
$V_{IN_{MIN}}$	4.176V
I_{GND}	0.9282mA
Regulación Carga	215 V/A
Regulación Línea	0.118 V/V
$PSRR_{10kHz}$	-13.19dB
η_{LDO}	2.67%

Tabla 7.6: Resultados del modelo real del regulador LDO para una carga de $148.2\text{k}\Omega$ soldado en una placa de prueba.

PARÁMETRO	VALOR
\hat{V}_{OUT}	$3.98V$
$\sigma_{V_{OUT}}$	$105mV$
$V_{(dropout)}$	$120mV$
V_{INMIN}	$4.1V$
I_{GND}	$1.5mA$
<i>Regulación Linea</i>	0.111 V/V
$PSRR_{10kHz}$	$-69.12dB$
η_{LDO}	1.73%

8 SIMULACIÓN DEL LDO PARA CIRCUITO INTEGRADO

Como ya se ha comentado, el diseño realizado es un prototipo de evaluación discreto de un LDO que irá integrado, junto con otros bloques, en un stent inteligente. Para el diseño del circuito integrado (CI) del *front-end* analógico del dispositivo implantable se ha empleado Cadence® Virtuoso® y se ha realizado un diseño a nivel esquemático, Figura 8.1. En este caso, como la potencia acoplada al implante no es alta, se ha diseñado el LDO para que proporcione una tensión regulada de 1V. Al igual que en los modelos anteriores existe una caída de tensión en el elemento de paso por lo que la tensión de entrada tiene que ser mayor de 1V.

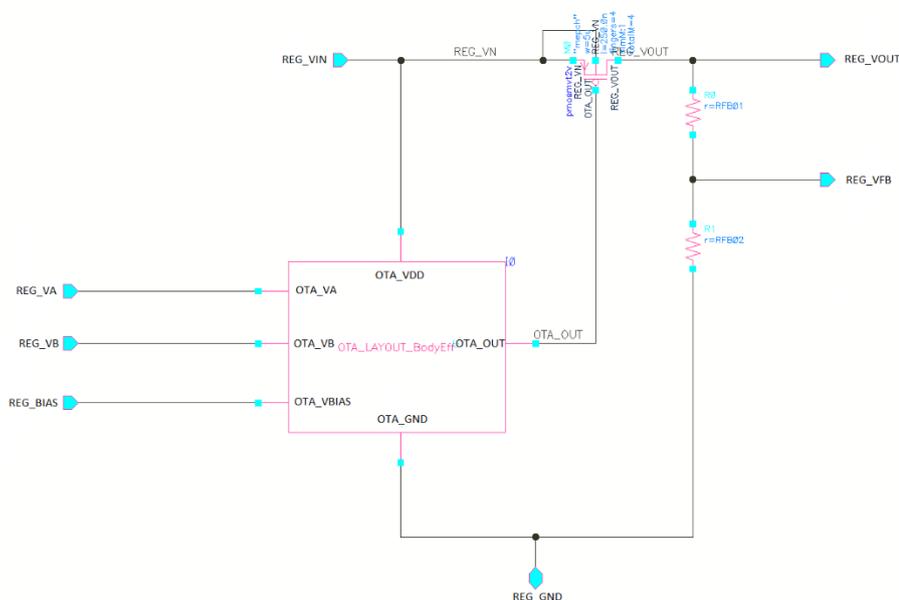


Figura 8.1 Esquemático del regulador LDO del CI.

En un diseño anterior se incluyó un divisor de tensión capacitivo para minimizar las pérdidas, pero para este trabajo se ha sustituido por uno resistivo, y se han llevado a cabo las simulaciones necesarias para caracterizarlo.

La red de realimentación resistiva mantiene su valor escalado de $V_{COMP} = \frac{V_{out}}{4} = 0.4V$. Al tratarse de un circuito integrado las resistencias ocupan un área bastante grande por lo que habrá que intentar reducir el valor de las resistencias del divisor manteniendo constante $V_{COMP} = 0.4V$. Tras realizar el divisor y dejar fija una resistencia de $R_2 = 100k\Omega$, se ha obtenido una resistencia de $R_1 = 66.66k\Omega$.

La tecnología de fabricación empleada para el diseño es la TSMC 0.18 μm . El elemento de paso, M_Paso tiene una anchura de canal $W = 5\mu\text{m}$ y una longitud de canal de $L = 0.25\mu\text{m}$ y con 4 *fingers* que es el número de transistores en formando un solo transistor, de modo que el transistor resultante tiene una anchura total de $20\mu\text{m}$. Se ha seleccionado para este elemento un transistor específico de los proporcionados por la tecnología que tiene una tensión umbral más baja para la caída de tensión en el elemento de paso.

En el caso del amplificado de error, la topología integrada es mucho más sencilla para minimizar área y consumo. Se trata de un amplificador de transconductancia, OTA, con una simple etapa diferencial en lugar del complicado amplificador operacional discreto. Además, los transistores que lo forman se han diseñado para trabajar en inversión débil bajo una alimentación de 1V.

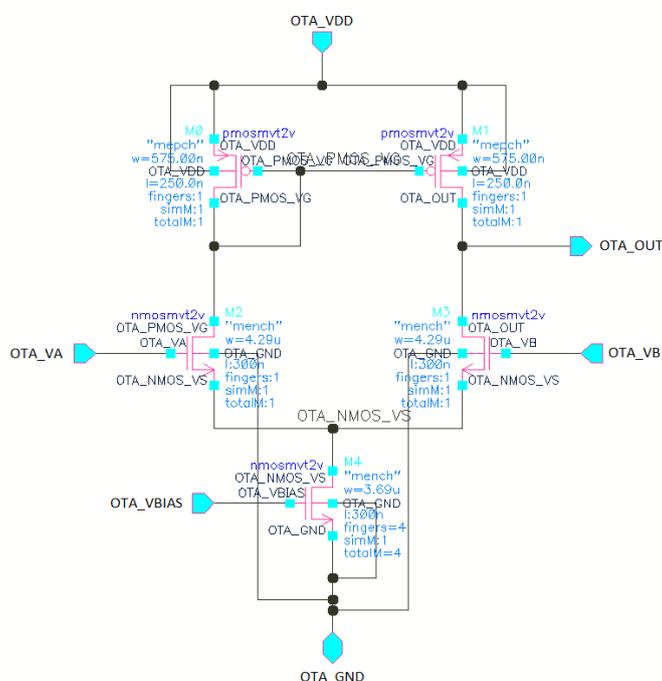


Figura 8.2 Amplificador de transconductancia.

Por último, el condensador de salida de 10nF se cambia por uno de un valor más pequeño, en este caso se ha utilizado un condensador de $C_{OUT} = 10\text{pF}$. El condensador es del tipo metal-aislante-metal, MIM (*Metal-Insulator-Metal*) de los proporcionados por la tecnología TSMC 0.18 μm

Los transistores MOSFET empleados en este diseño de circuito integrado pertenecen a la tecnología TSMC 0.18 μm , pero sus medidas son diferentes. Aunque en la tecnología la longitud de canal mínima para los transistores es de $0.18\mu\text{m}$, al tratarse de unos transistores

específicos de baja tensión umbral, la longitud de canal mínima para los transistores PMOS es de $0.25\mu\text{m}$ y la longitud de canal mínima en los transistores NMOS es de $0.3\mu\text{m}$. En la Tabla 8.1 se indican las medidas, anchura, W , y longitud, L , de cada uno de los transistores utilizados en el diseño.

Tabla 8.1: Medidas de los transistores del circuito integrado.

Dispositivo	ANCHURA(W)	LONGITUD(L)	FINGERS
M_Paso	$5\mu\text{m}$	$0.25\mu\text{m}$	4
M_P01	$0.575\mu\text{m}$	$0.25\mu\text{m}$	1
M_P02	$0.575\mu\text{m}$	$0.25\mu\text{m}$	1
M_N01	$4.29\mu\text{m}$	$0.3\mu\text{m}$	1
M_N02	$4.29\mu\text{m}$	$0.3\mu\text{m}$	1

Se han estudiado los parámetros clave del regulador al igual que en los modelos anteriores. Para ello se han realizado una serie de simulaciones a nivel esquemático variando la fuente de entrada o la resistencia de carga del regulador.

8.1 TENSIÓN DE CAÍDA

Para este análisis se ha definido una fuente de tensión continua a la entrada y una carga a la salida de $R_{LOAD} = 142.9k\Omega$, que es la impedancia equivalente que se observa a la salida del bloque regulador de tensión. La simulación ha realizado un barrido de la tensión de entrada desde 0V hasta 2V observando cómo cambia la salida, Figura 8.3. La caída de tensión en el elemento de paso es de $V_{(dropout)} = 31.7mV$, y la tensión mínima de entrada para que el regulador entre en funcionamiento es de $V_{INMIN} = 1.032V$. Como la carga de salida se trata de un valor fijo, se puede obtener la intensidad que circula por ella, en este caso la intensidad de carga toma un valor de $I_{LOAD} = 7\mu A$.

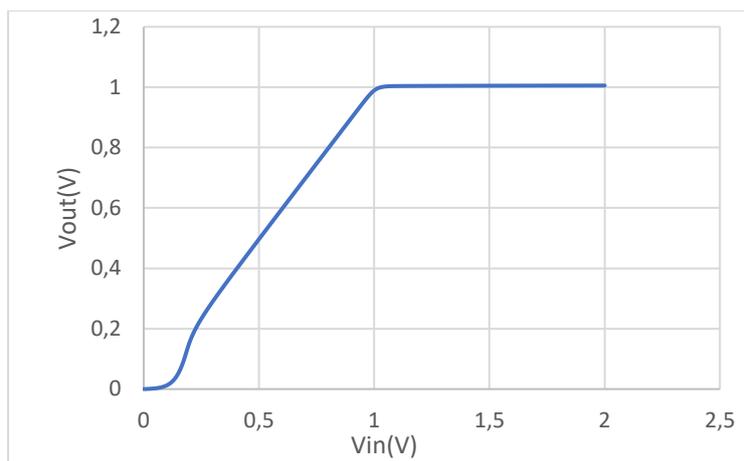


Figura 8.3 Tensión de caída en el regulador como circuito integrado.

8.2 REGULACIÓN DE LÍNEA

La regulación de línea se ha obtenido realizando un barrido con una fuente de tensión de entrada desde 1V hasta 2V y observando cómo las perturbaciones afectan a la tensión de salida del regulador para una carga constante de $R_{LOAD} = 142.9k\Omega$, Figura 8.4. La regulación de línea se debe medir cuando el LDO ya está regulado, no cuando la tensión de salida sigue a la tensión de entrada. Se ha obtenido que la regulación de línea es $RL = 0.00122 \frac{V}{V}$

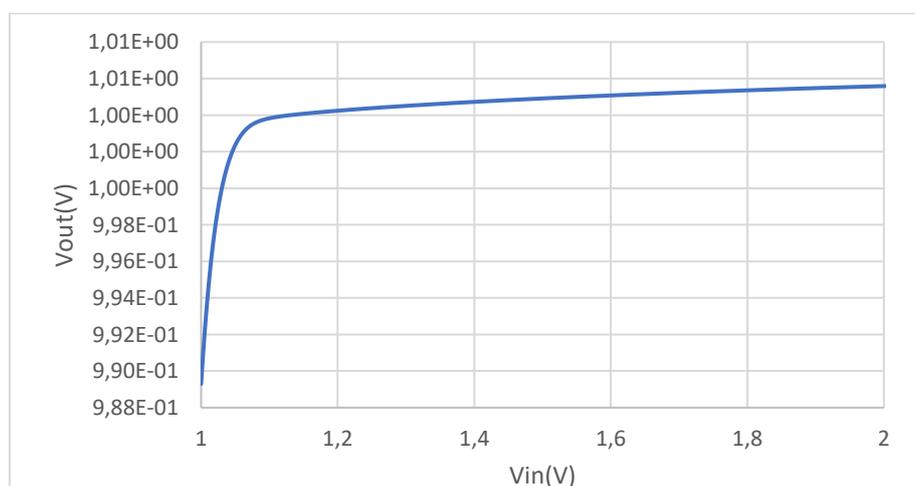


Figura 8.4 Regulación de línea en el regulador como circuito integrado.

8.3 REGULACIÓN DE CARGA

Este parámetro clave se puede obtener modificando la resistencia de carga a la salida del regulador de tensión. Para modificar la carga se ha introducido una fuente de corriente a la salida y se ha realizado un barrido de la corriente de salida del regulador observando como

afectan las variaciones a la tensión de salida Figura 8.5. Se ha obtenido que la regulación de carga en valor absoluto toma un valor de $RC = 7.15 * 10^2 \frac{V}{A}$

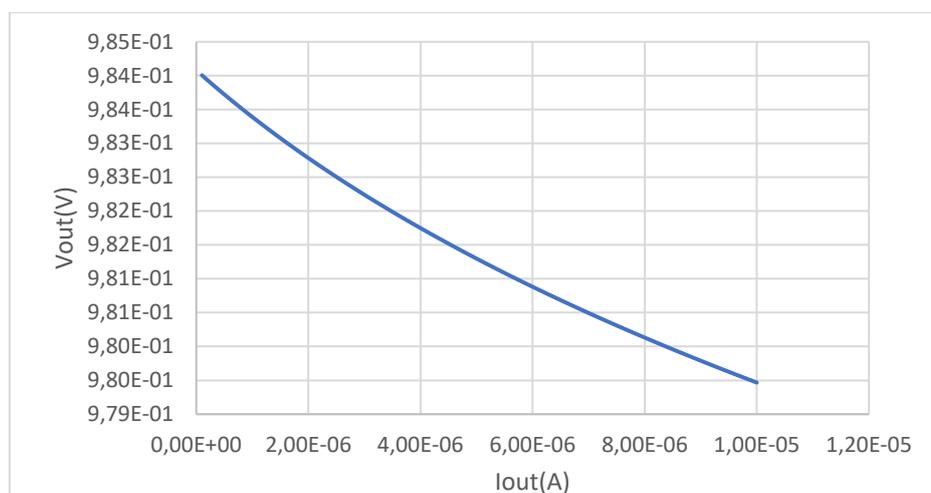


Figura 8.5 Regulación de carga en el LDO integrado.

8.4 RESPUESTA TRANSITORIA

La respuesta transitoria consiste en ver si es capaz de reaccionar y estabilizarse el regulador tras un cambio en la carga o en la tensión de entrada.

La primera de ellas, la respuesta transitoria a la carga del regulador permite apreciar la reacción del mismo a un cambio en la intensidad de carga. Esta simulación se realiza empleando una fuente de pulsos de corriente continua a la salida del regulador. Se puede observar en la Figura 8.6, que tiene una pequeña oscilación en la tensión de salida y que el valor nominal de la tensión de salida disminuye una vez el transitorio ha terminado.

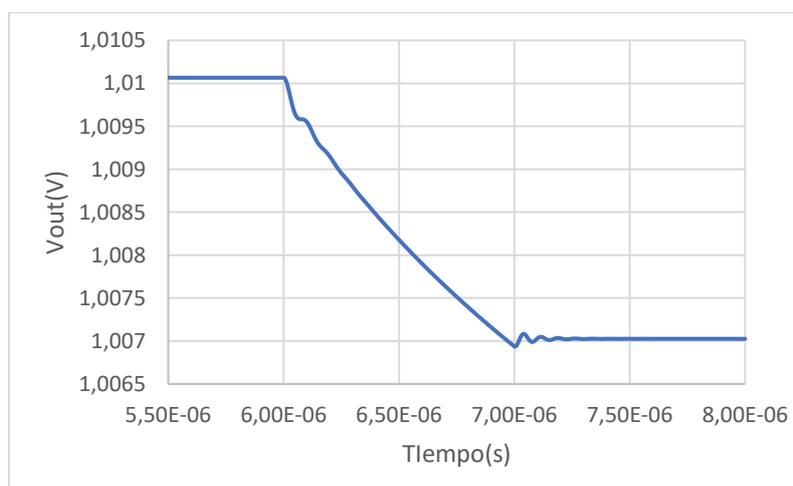


Figura 8.6 Respuesta transitoria a la carga.

La segunda es la respuesta transitoria a la tensión de alimentación y permite apreciar la reacción del regulador de tensión a un cambio en la tensión de entrada. Se ha realizado la simulación empleando una fuente de pulsos de tensión continua a la entrada del regulador. Se observa en la Figura 8.7, que durante el transitorio oscila la tensión de salida, pero una vez terminado se estabiliza y el valor de la tensión de salida aumenta.

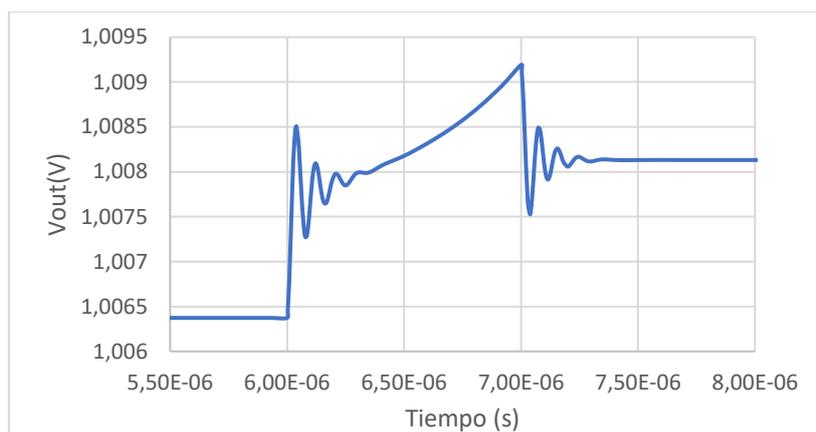


Figura 8.7 Respuesta transitoria a la tensión de entrada.

8.5 FACTOR DE RECHAZO A LA ALIMENTACIÓN

El factor de rechazo a la alimentación es la capacidad del regulador para hacer frente en la tensión de salida al ruido de la tensión de entrada. En este caso si se puede calcular el PSRR para frecuencias altas ya que se trata de una simulación. En la Figura 8.8 se puede observar el PSRR para este diseño, destacando el pico que se encuentra sobre los 10MHz, en el que el ruido afecta a la tensión de salida más que a frecuencias más bajas o altas.

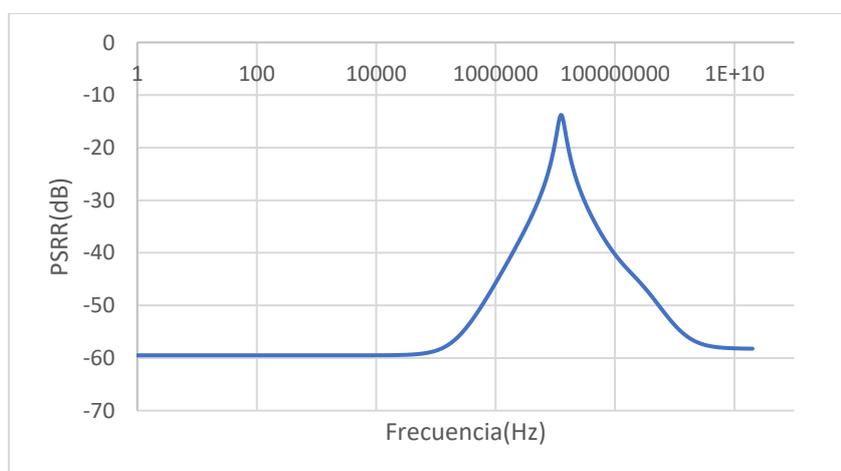


Figura 8.8 PSRR del regulador como circuito integrado.

8.6 RENDIMIENTO

El rendimiento del regulador se puede obtener de los parámetros anteriormente calculados y de la ecuación (4.7). El rendimiento en este diseño de regulador para un circuito integrado se espera que sea mayor que en los casos anteriores, ya que todos los dispositivos consumen significativamente menos potencia que los dispositivos discretos. La corriente a tierra en este modelo es de $I_{GND} = 1.9\mu A$, mucho menor que la obtenida con el regulador discreto, y el rendimiento del regulador LDO para circuito integrado es de $\eta_{LDO} = 76,2\%$, que es un resultado muy bueno para tratarse de un regulador de baja caída de tensión ya que suelen tener rendimientos cercanos al 50%. _Esto se debe a la baja caída de tensión en el elemento de paso y al bajo consumo del amplificador de transconductancia.

Tabla 8.2: Recoge los parámetros que caracterizan el regulado de circuito integrado.

PARÁMETRO	VALOR
\hat{V}_{OUT}	1.0V
$V_{(dropout)}$	31.7mV
V_{INMIN}	1.032V
I_{GND}	1.9 μA
<i>Regulación Linea</i>	0.00122 V/V
<i>Regulación Carga</i>	7.15 * 10 ² V/A
$PSRR_{10kHz}$	-58.60dB
η_{LDO}	76.2%

Se puede llegar a la conclusión a partir de los datos obtenidos anteriormente, Tabla 8.2, que la mejor implementación de un regulador de baja caída de tensión es en un circuito integrado. Esto se debe a que los dispositivos que se van a emplear son diseñados específicamente para la aplicación, en vez de, elegir los dispositivos discretos que más se ajusten de entre los disponibles. La gran diferencia entre los diseños es la potencia consumida por el amplificador de error, que al tratarse de un amplificador de transconductancia con un menor número de etapas y diseñado específicamente para trabajar en inversión débil, permite mejorar el rendimiento del regulador LDO. También contribuye a mejorar el rendimiento del LDO la baja tensión de caída en el elemento de paso, ya que este puede ser diseñado para minimizar los condensadores intrínsecos y la resistencia de conducción, respetando los parámetros impuestos por la tecnología de fabricación.

9 CONCLUSIONES DEL PROYECTO

En este proyecto de investigación sobre el regulador LDO, se ha demostrado que se puede realizar la implementación funcional con componentes discretos. La selección de los dispositivos que se adecuaron a todos los requerimientos ha sido una tarea complicada, pero, finalmente, se ha llegado a implementar un diseño funcional que posteriormente ha sido caracterizado satisfactoriamente. Las medidas experimentales realizadas sobre los dos prototipos desarrollados han demostrado una alta correlación con el comportamiento predicho por las simulaciones en OrCad CADENCE®.

Durante el proceso de caracterización del regulador LDO surgieron dificultades con la frecuencia máxima a la que se podían tomar medidas. En un futuro, cuando se disponga de equipamiento adecuado a medidas de RF, se deberá realizar una caracterización del dispositivo implementado en la placa de pruebas, haciendo hincapié en los parámetros más sensibles a la frecuencia, como puede ser el PSRR, el ancho de banda, la caracterización frecuencial del lazo de realimentación, etc.

Adicionalmente, se ha llegado a la conclusión de que el regulador LDO con red de realimentación resistiva es más eficiente que otros diseños previos en los que se utilizaba una red puramente capacitiva. Además, la respuesta en frecuencia se ve mejorada frente a la red capacitiva al eliminar polos que complicaban su caracterización y comprometían su correcto funcionamiento.

Para concluir, durante el desarrollo del proyecto, se han alcanzado la totalidad de los objetivos marcados a su inicio, obteniéndose un regulador LDO funcional en todos los casos estudiados.

10 BIBLOGRAFÍA

[1] Global Health Estimates 2015: Deaths by Cause, Age, Sex, by Country and by Region, 2000-2015. Geneva, World Health Organization; 2016.

[2] Navadia C., Fundamentals of Cardiology: Concise Review book for USMLE and General Medical Boards. MedRx Education; Ed. 2, 2016.

[3] National Heart, Lung, and Blood Institute. *Ischemic Heart Disease*. <https://www.nhlbi.nih.gov/health-topics/ischemic-heart-disease>

[4] Mayo Clinic. *Coronary bypass surgery*. <https://www.mayoclinic.org/es-es/tests-procedures/coronary-bypass-surgery/about/pac-20384589>

[5] Asociación Española de Enfermería en Cardiología. *Intervención coronaria percutánea*. <https://www.enfermeriaencardiologia.com/des/intervencion-coronaria-percutanea/>

[6] Biblioteca Nacional de Medicina de los EE. UU. *Angioplastia y Colocación de stent en el corazón*. <https://medlineplus.gov/spanish/ency/article/007473.htm>

[7] Q. Ashton Acton. *Restenosis: New Insights for the Healthcare Professional*. Scholarly Editions, Atlanta, Georgia, USA, 2013.

[8] J.A. Gómez-Hospital, A. Cequier, E. Fernandez-Nofrerías, J. Mauri, B. García del Blanco, E. Iráculis, F. Jara y E. Espulgas. *Tratamiento de la reestenosis intra-stent. Situación actual y perspectivas futuras*. Universidad de Barcelona, revista española de cardiología. VOL. 52, NÚM. 12, DICIEMBRE 1999.

[9] Biblioteca Nacional de Medicina de los EE. UU. *Angiografía Coronaria*. <https://medlineplus.gov/spanish/ency/article/003876.htm>

[10] Fundación Española del Corazón. *Ecocardiograma*. <https://fundaciondelcorazon.com/informacion-para-pacientes/metodos-diagnosticos/ecocardiograma.html>

-
- [11] J.A. Miguel Díaz. *Stent Inteligente para la monitorización inalámbrica de la reestenosis cardiovascular*. Universidad de Cantabria, TEISA, 2017.
- [12] J.I. Agbinya. *Wireless Power Transfer*. Melbourne Institute of Technology, Australia, 2012.
- [13] R. Villa. *Reguladores Conmutados*. Universidad de San Luis.
- [14] A. Castaldo. *Switching regulator fundamentals*. Texas Instruments, Application Report SNVA559C, 2012.
- [15] Texas Instruments. *LC Filter Design*. Application Report SLA701, 2016.
- [16] K. Wu. *Power Converters with Digital Filter Feedback Control*. Chapter 5, Academic Press, 2016.
- [17] National Instruments. *What is a Pulse Width Modulation (PWM) Signal and What is it Used For?* <https://knowledge.ni.com/KnowledgeArticleDetails?id=kA00Z0000019OkFSAU>.
- [18] G.A. Rincón-Mora. *Current Efficient, Low Voltage, Low Drop-Out Regulators*. Georgia Institute of Technology, USA, 1996.
- [19] K.G.A. De Gannes. *Design of Analog CMOS Circuits for Batteryless Implantable Telemetry Systems*. University of Western Ontario, 2014.
- [20] Q. Deng. *A LDO Primer – Part I: A Review on Pass Element*. Microchip Technology Inc.
- [21] S. Guinta. *Considerations In Designing Low-Power, Single-Supply Systems*. Analog Dialogue 29-3, 1995.
- [22] W. Jung, W. Kester, J. Bryant. *Voltage References and Dropout Linear Regulators*. ResearchGate, 2001.
- [23] J. Wong. *A Low-Noise Drop-Out Regulator for Portable Equipment*. AN-262, 1990.

[24] B.S. Lee. *Technical Review of Low Dropout Voltage Regulator Operation and Performance*. Application Report SLVA072, Texas Instruments, 1999.

[25] NXP Semiconductors. *LDO voltage regulators: fundamentals, topologies and parameters*. Application note AN11037, 2013.

[26] Renesas Electronics Corporation. *Understanding Linear Regulators and Their Key Performance Parameters*.

[27] G. Morita. *Understand Low-Dropout Regulator (LDO) Concepts to Achieve Optimal Designs*. Analog Dialogue 48-12, 2014.

[28] M. Day. *Understanding Low Drop Out (LDO) Regulators*. Texas Instruments, SLUP239A, 2006.

[29] R.L. Meade. *Foundations of Electronics*. Delmar Learning, Nueva York, USA, 1999.

[30] X. Lai, D. Xu. *An improved CMOS Error Amplifier Design for LDO Regulators in Communication Applications*. 7th WSEAS Int. Conf. on Electronics, Hardware, Wireless and Optical Communications, Cambridge, UK, February 20-22, 2008.

[31] Advanced Linear Devices, Inc. *DUAL N-CHANNEL AND DUAL P-CHANNEL MATCHED MOSFET PAIR*. ALD1105.

[32] Texas Instruments. *LMV793/LMV794 88 MHz, Low Noise, 1.8V CMOS Input, Decompensated Operational Amplifiers*.

[33] S. Pithadia and A. Verma. *LDO PSRR Measurement Simplified*. Texas Instruments, Application Report SLAA414A, 2009.