ESCUELA TÉCNICA SUPERIOR DE INGENIEROS INDUSTRIALES Y DE TELECOMUNICACIÓN

**UNIVERSIDAD DE CANTABRIA** 



### Trabajo Fin de Grado

### AMPLIFICADOR EQUILIBRADO DE MEDIA POTENCIA PARA LA BANDA DE 10 A 14 GHz

(Balanced Medium Power Amplifier for 10 to 14 GHz band)

Para acceder al Titulo de

*Graduado en Ingeniería de Tecnologías de Telecomunicación* 

Autor: David de los Bueis González

Octubre - 2018



E.T.S. DE INGENIEROS INDUSTRIALES Y DE TELECOMUNICACION

#### GRADUADO EN INGENIERÍA DE TECNOLOGÍAS DE TELECOMUNICACIÓN

CALIFICACIÓN DEL TRABAJO FIN DE GRADO

# Realizado por:David de los Bueis GonzálezDirector del TFG:Mª Luisa de la Fuente RodríguezBeatriz Aja Abelán

**Título:** "Amplificador equilibrado de media potencia para la banda de 10 a 14 GHz"

Title: "Balanced Medium Power Amplifier for 10 to 14 GHz band"

Presentado a examen el día:

para acceder al Título de

#### GRADUADO EN INGENIERÍA DE TECNOLOGÍAS DE TELECOMUNICACIÓN

Composición del Tribunal:

Presidente (Apellidos, Nombre): Artal Latorre, Eduardo Secretario (Apellidos, Nombre): de la Fuente Rodríguez, Mª Luisa Vocal (Apellidos, Nombre): Tazon Puente, Antonio

Este Tribunal ha resuelto otorgar la calificación de: .....

Fdo.: El Presidente

Fdo.: El Secretario

Fdo.: El Vocal

Fdo.: El Director del TFG (sólo si es distinto del Secretario)

Vº Bº del Subdirector

Trabajo Fin de Grado N° (a asignar por Secretaría)

Dedicado a mis padres, Elena y José y a mis dos hermanos Jéssica y Daniel

## Agradecimientos

Vamos allá con lo que considero la parte más difícil del trabajo...

Me gustaría agradecer, en primer lugar, a mis padres, porque ellos son el principio de todo. Gracias por su apoyo, su amor incondicional y por dedicar su vida a sus hijos; sin su trabajo nada de esto sería posible. Agradecer también a mis hermanos y demás familia que siempre han creído en mí.

También debo agradecer a las directoras de este TFG, Luisa y Betty, porque me han ayudado mucho y me han guiado para que este camino sea un poco más llano. Gracias también por su paciencia porque cuando comencé mi vida laboral, estuve un tiempo desaparecido y aún así siempre me han apoyado de la mejor manera posible. También agradecer a Eva por la fabricación en tiempo récord del LNA y como no, a todos los profesores que durante el grado han ido transmitiéndome una parte de todo lo que ahora sé.

Gracias a mis amigos, que siempre están ahí para vacilarme y para que yo también les vacile a ellos. Sin todos ellos la vida sería muy aburrida.

Por último, quiero hacer una mención también a mis compañeros de Santander Teleport, por apoyarme y por meterme presión para que terminase de una vez por todas. He tardado en hacerles caso, pero más vale tarde que nunca.

## Índice general

A	gradecimientos	Π
Li	sta de figuras	$\mathbf{V}$
Li	sta de tablas	Х
1.	Introducción1.1. Motivación1.2. Objetivos1.3. Estructura del documento	<b>1</b> 1 2 3
2.	<ul> <li>Tecnología</li> <li>2.1. Transistor BFU910FX (NXP Semiconductors)</li></ul>	4 5 6 10
3.	Topología         3.1.       Topología Equilibrada         3.1.1.       Acopladores Lange         3.1.2.       Acopladores Branch-Line         3.2.       LNA de dos etapas	<b>12</b> 12 13 14 15
4.	<ul> <li>Diseño del LNA equilibrado</li> <li>4.1. Diseño del acoplador</li></ul>	<ol> <li>17</li> <li>17</li> <li>23</li> <li>28</li> <li>28</li> <li>31</li> <li>45</li> <li>54</li> </ol>

5.	Dise	eño del Layout Final	58
	5.1.	Layout completo	58
		5.1.1. Layout de la red de entrada	59
		5.1.2. Layout de la red inter-etapa	61
		5.1.3. Layout de la red de salida	61
		5.1.4. Layout de los componentes del diseño	62
	5.2.	Máscara del diseño	65
6.	Med	lidas del LNA Equilibrado	70
	6.1.	Polarización del transistor	71
	6.2.	Medida de ruido	72
		6.2.1. Linealidad de la potencia de ruido	72
		6.2.2. Fuentes de ruido	73
		6.2.3. Factor Y	74
	6.3.	Medida de parámetros de Scattering	78
	6.4.	Medida de Compresión: P1dB	82
7.	Con	clusiones	84
	7.1.	Líneas futuras	87
Re	eferei	ncias	88

## Índice de figuras

<i>2.</i> 1.	Microstrip	4
2.2.	Encapsulado del transistor	6
2.3.	Esquemático: simulación de parámetros S	7
2.4.	Simulación: parámetros S	8
2.5.	Simulación: coeficientes de reflexión representados en la carta	
	de Smith	8
2.6.	Simulación: ganancia del transistor a la frecuencia central del	
	diseño $(12 \text{ GHz})$	8
2.7.	Simulación: parámetros de ruido a la frecuencia central de di-	
	seño calculados con $ADS$	9
2.8.	Simulación: parámetros de estabilidad a la frecuencia central	
	de diseño calculados con $ADS$	10
2.9.	CLTE-XT: Valores óptimos de espesor y constante dieléctrica	
	para diseños reales	11
2.10	ADS: Sustrato CLTE-XT	11
31	Diagrama de bloques del LNA equilibrado	13
3.1. 3.2.	Diagrama de bloques del LNA equilibrado	13 14
3.1. 3.2. 3.3.	Diagrama de bloques del LNA equilibrado	$13 \\ 14 \\ 15$
<ol> <li>3.1.</li> <li>3.2.</li> <li>3.3.</li> <li>3.4.</li> </ol>	Diagrama de bloques del LNA equilibrado	13 14 15 15
<ol> <li>3.1.</li> <li>3.2.</li> <li>3.3.</li> <li>3.4.</li> <li>3.5.</li> </ol>	Diagrama de bloques del LNA equilibrado	13 14 15 15 16
<ol> <li>3.1.</li> <li>3.2.</li> <li>3.3.</li> <li>3.4.</li> <li>3.5.</li> </ol>	Diagrama de bloques del LNA equilibrado	13 14 15 15 16
<ol> <li>3.1.</li> <li>3.2.</li> <li>3.3.</li> <li>3.4.</li> <li>3.5.</li> <li>4.1.</li> </ol>	Diagrama de bloques del LNA equilibrado	$13 \\ 14 \\ 15 \\ 15 \\ 16 \\ 18$
<ol> <li>3.1.</li> <li>3.2.</li> <li>3.3.</li> <li>3.4.</li> <li>3.5.</li> <li>4.1.</li> <li>4.2.</li> </ol>	Diagrama de bloques del LNA equilibrado	$13 \\ 14 \\ 15 \\ 15 \\ 16 \\ 18 \\ 18 \\ 18$
<ul> <li>3.1.</li> <li>3.2.</li> <li>3.3.</li> <li>3.4.</li> <li>3.5.</li> <li>4.1.</li> <li>4.2.</li> <li>4.3.</li> </ul>	Diagrama de bloques del LNA equilibrado	$13 \\ 14 \\ 15 \\ 15 \\ 16 \\ 18 \\ 18 \\ 19$
<ol> <li>3.1.</li> <li>3.2.</li> <li>3.3.</li> <li>3.4.</li> <li>3.5.</li> <li>4.1.</li> <li>4.2.</li> <li>4.3.</li> <li>4.4.</li> </ol>	Diagrama de bloques del LNA equilibrado	13 14 15 15 16 18 18 18 19 19
$\begin{array}{c} 3.1.\\ 3.2.\\ 3.3.\\ 3.4.\\ 3.5.\\ 4.1.\\ 4.2.\\ 4.3.\\ 4.4.\\ 4.5. \end{array}$	Diagrama de bloques del LNA equilibrado $\dots \dots \dots \dots$ Estructura del acoplador Lange $\dots \dots \dots \dots \dots \dots \dots$ Esquemático de un Branch-Line Single-box ideal $\dots \dots \dots \dots$ Esquemático de un Branch-Line Double-box ideal $\dots \dots \dots \dots$ Diagrama de las dos etapas de un amplificador $\dots \dots \dots \dots \dots \dots$ ADS: Bloque <i>MLANG</i> $\dots \dots \dots \dots \dots \dots \dots \dots \dots \dots \dots$ Ilustración MLANG $\dots \dots \dots$ Esquemático en ADS: MLANG sobre Alumina $\dots \dots \dots \dots \dots \dots \dots$ Simulación: Pérdidas de inserción $\dots \dots \dots \dots \dots \dots \dots \dots \dots \dots \dots$	$13 \\ 14 \\ 15 \\ 15 \\ 16 \\ 18 \\ 18 \\ 19 \\ 19 \\ 19$
$\begin{array}{c} 3.1.\\ 3.2.\\ 3.3.\\ 3.4.\\ 3.5.\\ 4.1.\\ 4.2.\\ 4.3.\\ 4.4.\\ 4.5. \end{array}$	Diagrama de bloques del LNA equilibrado $\dots \dots \dots \dots$ Estructura del acoplador Lange $\dots \dots \dots \dots \dots \dots \dots$ Esquemático de un Branch-Line Single-box ideal $\dots \dots \dots \dots$ Esquemático de un Branch-Line Double-box ideal $\dots \dots \dots \dots$ Diagrama de las dos etapas de un amplificador $\dots \dots \dots \dots \dots \dots$ ADS: Bloque <i>MLANG</i> $\dots \dots \dots \dots \dots \dots \dots \dots \dots \dots \dots$ Ilustración MLANG $\dots \dots \dots$ Esquemático en ADS: MLANG sobre Alumina $\dots \dots \dots \dots \dots \dots \dots$ Simulación: Pérdidas de inserción $\dots \dots \dots \dots \dots \dots \dots \dots \dots \dots \dots$ Simulación: Aislamiento $S_{41}$ y adaptación de entrada $S_{11}$ . Fase entre puertos de salida $\dots \dots \dots$	$     13 \\     14 \\     15 \\     15 \\     16 \\     18 \\     19 \\     19 \\     20 $
$\begin{array}{c} 3.1.\\ 3.2.\\ 3.3.\\ 3.4.\\ 3.5.\\ 4.1.\\ 4.2.\\ 4.3.\\ 4.4.\\ 4.5.\\ 4.6.\\ \end{array}$	Diagrama de bloques del LNA equilibrado $\dots \dots \dots \dots$ Estructura del acoplador Lange $\dots \dots \dots \dots \dots \dots \dots$ Esquemático de un Branch-Line Single-box ideal $\dots \dots \dots \dots$ Esquemático de un Branch-Line Double-box ideal $\dots \dots \dots \dots$ Diagrama de las dos etapas de un amplificador $\dots \dots \dots \dots \dots \dots$ ADS: Bloque <i>MLANG</i> $\dots \dots \dots \dots \dots \dots \dots \dots \dots \dots \dots$ Ilustración MLANG $\dots \dots \dots$ Esquemático en ADS: MLANG sobre Alumina $\dots \dots \dots \dots \dots \dots \dots$ Simulación: Pérdidas de inserción $\dots \dots \dots \dots \dots \dots \dots \dots \dots \dots \dots$ Simulación: Aislamiento $S_{41}$ y adaptación de entrada $S_{11}$ . Fase entre puertos de salida $\dots \dots \dots$	$     13 \\     14 \\     15 \\     15 \\     16 \\     18 \\     19 \\     19 \\     20 \\     20 \\     20 $
$\begin{array}{c} 3.1.\\ 3.2.\\ 3.3.\\ 3.4.\\ 3.5.\\ 4.1.\\ 4.2.\\ 4.3.\\ 4.4.\\ 4.5.\\ 4.6.\\ 4.7.\\ \end{array}$	Diagrama de bloques del LNA equilibrado $\dots$ Estructura del acoplador Lange $\dots$ Esquemático de un Branch-Line Single-box ideal $\dots$ Esquemático de un Branch-Line Double-box ideal $\dots$ Diagrama de las dos etapas de un amplificador $\dots$ Clustración MLANG $\dots$ Esquemático en ADS: MLANG sobre Alumina $\dots$ Simulación: Pérdidas de inserción $\dots$ Simulación de entrada $S_{11}$ . Fase entre puertos de salida $\dots$ Esquemático entre los dedos $\dots$ Simulación Lange $\dots$ Clustración entre los dedos $\dots$ Clustración entre los de	$     13 \\     14 \\     15 \\     15 \\     16 \\     18 \\     19 \\     19 \\     19 \\     20 \\     20 \\     21 \\     $

4.9.	Simulación: Pérdidas de inserción	22
4.10.	Simulación: Adaptación y aislamiento. Fase entre puertos de	
	salida	22
4.11.	Zoom. Medida de la separación entre los dedos	23
4.12.	Esquemático en ADS: Branch-Line single-box con líneas ideales	23
4.13.	Simulación: Salidas del acoplador	24
4.14.	Esquemático en ADS: Branch-Line double-box con líneas ideales	24
4.15.	Simulación: Salidas del acoplador	25
4.16.	Esquemático en ADS: Branch Line Double-box en Microstrip.	26
4.17.	Simulación: Coeficiente de transmisión a la salida de los puer-	
	tos. Coeficiente de reflexión en los puertos de entrada y aislado	26
4.18.	Simulación: Desfase puertos de salida y ancho de banda	27
4.19.	Símbolo: acoplador Branch-Line	27
4.20.	Layout: acoplador Branch-Line	28
4.21.	Esquemático: LNA de una etapa ideal	28
4.22.	Simulación: LNA de una etapa ideal	29
4.23.	Esquemático: LNA de una etapa en microstrip	29
4.24.	Simulación: LNA de una etapa en microstrip. Ruido y Ganancia	30
4.25.	Simulación: LNA de una etapa en microstrip. Estabilidad y	
	adaptación	30
4.26.	Simulación: LNA de una etapa microstrip optimizado. Ruido	
	y ganancia	30
4.27.	Simulación: LNA de una etapa microstrip optimizado. Estabi-	
	lidad y adaptación	31
4.28.	Impedance Maching Utility	32
4.29.	Impedance Maching Utility: Símbolo	32
4.30.	Esquemático: Red de adaptación de entrada ideal + Transistor	33
4.31.	Simulación: Coeficiente de reflexión a la salida de la red de	
	entrada ideal en carta de Smith	33
4.32.	Simulación: Figura de ruido	34
4.33.	Simulación: Ganancia y adaptación	34
4.34.	Esquemático: Red de adaptación de entrada en microstrip	35
4.35.	Simulación: Coeficiente de reflexión a la salida de la red en	
	microstrip y gamma óptimo en carta de Smith	35
4.36.	Esquemático: Transistor + red de entrada en microstrip com-	
	pleta	36
4.37.	Simulación: Ruido y ganancia del circuito con la red de entrada	
	en microstrip + condensador de desacoplo DC $\ldots \ldots \ldots$	36
4.38.	Simulación: Estabilidad y adaptación del circuito con la red	
	de entrada en microstrip $+$ condensador de desacoplo DC	37
4.39.	Simulación: $S_{22}$ de la primera etapa en carta de Smith $\ldots$	37

4 40 Esquemático: Red de adaptación inter-etapa ideal + Transis-	
tor primera etapa + Red de entrada real	38
4 41 Simulación: Coeficiente de reflexión a la salida de la red inter-	00
etana ideal en carta de Smith	39
1 42 Esquemático: Bed inter-etapa en microstrip	30
4.42. Simulación: Cooficiente de reflevión a la salida de la red inter	00
4.45. Simulación. Obenciente de renexión a la sanda de la red inter-	
do Smith	40
4.44 Esquemético: Transistor + Rodes de la primera etapa	40
4.44. Esquematico. Transistor + nedes de la primera etapa	40
4.46. Simulación: Eastar de estabilidad K y coeficientes de reflevión	41
4.40. Simulación: Factor de establidad K y coencientes de renexión 4.47. Simulación: S22 de la primera etapa con la red inter etapa a	41
4.47. Simulación. 522 de la primera etapa con la red inter-etapa a	
su salida. Muestra la impedancia a la que adaptara la feu de	19
4.48 Esquemético: Pod de adaptación de calida	42
4.40. Simulación. Adaptación de la red de calida ideal en canta de	42
4.49. Simulacion: Adaptacion de la red de sanda ideal en carta de	19
51111011	43
4.50. Esquematico: Red de adaptación de sanda real	43
4.51. Esquematico: Circuito de dos etapas completas con sus redes	4.4
	44
4.52. Simulacion: Figura de ruido y Ganancia	44
4.53. Simulation: Factor de estabilidad $K$ y coeficientes de reflexion.	44
4.54. Esquematico: hilos de bonding	45
4.55. Esquematico: vias a tierra	45
4.56. Esquemático: Modelo real del condensador 2 pF de ATC	46
4.57. Layout: $W = L = 0.635mm$	46
4.58. Esquemático: Modelo real del condensador 5.1 pF de ATC	47
4.59. Layout: $W = L = 1, 27mm$	47
4.60. Esquemático: Modelo real del condensador 100 pF de Skyworks	48
4.61. Layout: $W = L = 0.762mm$	48
4.62. Esquemático: Modelo real de la resistencia de $10\Omega$	49
4.63. Layout: $W = 508mm; L = 0.762mm$	49
4.64. Esquemático: Modelo real de la resistencia de 51 $\Omega$	49
4.65. Layout: $W = 508mm$ ; $L = 0.762mm$	50
4.66. Esquemático: Modelo real de la resistencia de 1K $\Omega$	50
4.67. Layout: $W = 508mm$ ; $L = 0.762mm$	50
4.68. Esquemático: Red de polarización de la base	51
4.69. Simulación: coeficiente de reflexión visto desde la base en carta	
$de Smith \ldots \ldots$	52
4.70. Esquemático: Red de polarización del colector	53

4.71. Simulación: coeficiente de carta de Smith	reflexión visto desde el colector en
4.72. Esquemático: Diseño final	del LNA de dos etapas
4.73. Simulación: Ruido v Gana	ncia del LNA
4 74 Simulación: Estabilidad v	adaptación del LNA 55
4 75 Esquemático: Diseño final	del LNA equilibrado 56
4.76 Simulación: Buido y Gana	ncia del LNA equilibrado
4.77 Simulación: Estabilidad y	adaptación del LNA equilibrado 57
4.11. Simulación. Establidad y	adaptación del LIVA equilibrado 57
5.1. Layout: LNA equilibrado o	completo 59
5.2. Layout: Red de entrada.	
5.3. Layout: Red inter-etapa	61
5.4. Layout: Red de salida	62
5.5. Lavout: transistor BFU91(	) de <b>NXP</b>
5.6. Lavout: conexiones del tra	nsistor $\ldots$ $\ldots$ $\ldots$ $\ldots$ $\ldots$ $$
5.7. Lavout: PCB de conexión	DC para las redes de polarización . 64
5.8. Layout: Transición de líne	a coplanar a microstrip
5.9. Máscara del diseño	66
5.10 Acoplador Branch-Line fal	pricado en microstrip
5.11 LNA completo fabricado e	n microstrip
5.12 PCB de polarización del tr	ansistor fabricado en microstrip
5.13 Transición coplanar soldad	a con estaño $60$
o.io. iransielen copianai soluae	
6.1. Foto del LNA equilibrado	fabricado 70
6.2. Puesto de medida	
6.3. Foto del setup utilizado pa	ra polarizar el LNA 71
6.4. Recta de la potencia de sal	ida vs la temperatura característica
de los dispositivos lineales	de dos puertos
6.5. Esquema de calibración de	l analizador N8975A 75
6.6. 'Jitter' del ruido	
6.7. Puesto de medida de ruido	5
6.8. Gráfica Excel con las medi	das de ruido $\ldots$ $\ldots$ $\ldots$ $\ldots$ $.$
6.9. Gráfica Excel comparando	las medidas de ruido con la simulación 78
6.10. Vista 1 del kit de calibraci	ón 85052C de Agilent
6.11. Puesto de medida de Scatt	ering
6.12. Medida proporcionada por	el analizador representada en ADS 80
6.13. Ganancia medida vs simul	ación representada en ADS 80
6 14 Adaptación medida vs sim	ulación representada en ADS 81
6.15 Medidas de compresión de	LNA equilibrado
one of the second of the secon	

#### ÍNDICE DE FIGURAS

7.1.	Simulación: ganancia del LNA con los errores de fabricación	
	introducidos (rojo) y sin ellos (rosa)	85
7.2.	Medida tomada sobre el LNA real con un microscopio	86
7.3.	Medida tomada sobre el LNA real del stub de la red de salida	86

## Índice de tablas

2.1.	Pin-out transistor	5
2.2.	CLTE-XT: Propiedades principales	11
5.1.	Componentes PCB	64
6.1.	Punto de polarización real	72
6.2.	Ruido: comparación entre simulación y medidas	77
6.3.	Ganancia: comparación entre simulación y medidas	81
6.4.	Compresión: comparación entre las medidas realizadas a las	
	diferentes frecuencias	83

## Capítulo 1

## Introducción

#### 1.1. Motivación

Los amplificadores de señal en los sistemas de comunicaciones son una de las partes más importantes de las cadenas tanto en transmisión como en recepción. Son una pieza clave y su **fiabilidad** es muy importante, dado que si en un sistema deja de funcionar alguna de las etapas de amplificación, los servicios se verán degradados o incluso interrumpidos.

Un amplificador aumenta el nivel de potencia de las señales que se transmiten a través de él, pero no solo amplifican las señales que interesan, sino que también aumentan el ruido que rodea siempre todas las comunicaciones. Por eso, es muy importante que la **figura de ruido** de los amplificadores sea lo más baja posible, especialmente crítico en recepción, para que la SNR o C/N de las señales se degrade lo menos posible.

La **adaptación** es un aspecto fundamental para que no se pierda nivel de señal y mucho menos se refleje, pudiendo dar lugar incluso al deterioro de los equipos del sistema y del propio amplificador.

Por todas estas razones, en este proyecto se va a diseñar un **amplificador** equilibrado, de bajo ruido y media potencia para la banda de 10 GHz - 14 GHz. Este tipo de amplificadores cumplen todos los requisitos necesarios dadas sus principales características, que se enumeran a continuación y que se detallarán en profundidad en el capítulo 3. También las explica muy bien Guillermo González en [1].

Este tipo de estructuras destaca por su alta fiabilidad, dado que se compone de dos etapas idénticas en paralelo y, en el caso de que una de ellas dejase de funcionar porque se daña el transistor, el amplificador seguiría funcionando con una pequeña reducción en la ganancia y en la potencia. Además, como resulta complicado diseñar consiguiendo ruido óptimo y adaptación, con los acopladores equilibrados se consigue un alto grado de adaptación aunque el amplificador no se diseñe especialmente teniendo en cuenta esta propiedad, pudiendo enfocar el diseño hacia el ruido óptimo. También mejoran en gran medida la estabilidad del LNA.

#### 1.2. Objetivos

Por todos estos motivos, se fijan los siguientes objetivos:

- 1. Ganancia:  $\geq 20 dB$
- 2. Figura de ruido:  $NF_{min} < 2dB$
- 3. Adaptación de entrada: < -10 dB
- 4. Adaptación de salida: < -10dB
- 5. Banda de funcionamiento: 10GHz 14GHz

Para ello, se utilizarán transistores de SiGe del fabricante NXP. En concreto el modelo **BFU910BFX**, que tiene unas buenas propiedades para el diseño de amplificadores de bajo ruido, bajo consumo y una relación calidadprecio muy interesante.

Las etapas para el montaje del LNA equilibrado se enumeran a continuación:

- 1. Estudio de las propiedades del transistor a utilizar, así como de los sustratos disponibles y de los acopladores -3dB a diseñar.
- 2. Diseño del acoplador Lange y posterior re-diseño con el acoplador Branch-Line.
- 3. Diseño de las redes de adaptación de entrada y salida. Posterior diseño con dos etapas y, por tanto, red de adaptación inter-etapa. La metodología de trabajo incluye un primer diseño con líneas de transmisión ideales para pasar posteriormente al diseño con líneas microstrip.
- 4. Diseño de las redes de polarización del transistor siguiendo la misma metodología: primero ideal, después microstrip.
- 5. Sustitución de los elementos pasivos ideales por modelos reales.
- 6. Generación del layout completo del amplificador con cada uno de sus elementos para su fabricación y montaje.
- 7. Medidas sobre el LNA fabricado.

#### **1.3.** Estructura del documento

En este primer capítulo se ha expuesto la importancia de los amplificadores en los sistemas de comunicaciones y las razones por las que se ha elegido este tipo de amplificador y su topología, mencionando también de manera resumida las etapas que se han seguido para el diseño.

El segundo capítulo explicará en profundidad la tecnología utilizada, esto es, las propiedades del transistor y del sustrato utilizados.

La topología del diseño se describe en el tercer capítulo, así como sus principales ventajas e inconvenientes.

El cuarto capítulo es probablemente el más importante y el más denso, ya que se explica en detalle la parte de diseño y simulación con el software *ADS*, desarrollado por *Keysight Technologies*.

En el quinto capítulo se detalla la metodología de diseño del layout del LNA equilibrado y de cada uno de sus componentes.

A punto de terminar, en el capítulo seis se explican las medidas realizadas sobre el diseño fabricado y se comentará el resultado de las mismas, comparándolo con los resultados obtenidos en la parte de simulación.

Finalmente, en el capítulo siete se realizan las conclusiones, exponiendo si el producto final ha alcanzado o no los objetivos del diseño planteados en esta introducción y por qué. Además, se plantean las líneas futuras de investigación que podrían ser seguidas para mejorar el diseño.

## Capítulo 2 Tecnología

En el mundo del diseño de amplificadores de microondas existen varios tipos de tecnologías de fabricación. Para este diseño se ha utilizado la tecnología MIC, que se describe a continuación:

Tecnología MIC (Microwave Integrated Circuits)

Se basa en la transmisión de ondas a través de líneas impresas. Hay varios tipos de líneas y para este diseño en concreto se van a utilizar líneas **micros-trip.** Éstas consisten en una franja de conducción (metal) separada del plano de masa por un sustrato dieléctrico [Figura 2.1].Se podrían interpretar como una versión planar de una línea bifilar. La impedancia de la línea depende de la anchura de la tira metálica y del espesor y la permitividad relativa del sustrato.

En este proyecto se diseñará un MIC *híbrido*, que es un circuito planar en el que las líneas están impresas sobre un sustrato dieléctrico, en este caso se ha utilizado el *CLTX-TE* (luego se describirá en detalle). En un circuito híbrido, los componentes, tanto activos como pasivos, están soldados sobre



Figura 2.1: Microstrip

el sustrato.

A la hora de diseñar un amplificador de microondas hay dos aspectos fundamentales: el tipo de transistor y el sustrato sobre el que se fabricará el diseño.

Para la elección del transistor adecuado, hay que tener muy claro el objetivo que se quiere alcanzar en cuanto a prestaciones del amplificador final. Puede haber diferentes objetivos en función de la aplicación en la que se vaya a utilizar; no es lo mismo diseñar un amplificador para un sistema de telecomunicaciones terrestre que para un sistema que operará en una estación espacial. Claramente el segundo ha de ser mucho más robusto y fiable. También se deben tener en cuenta otros aspectos, como por ejemplo la figura de ruido, la ganancia necesaria, la banda de frecuencia en la que operará, etc. Lo mismo ocurre a la hora de elegir el tipo de substrato, sólo que además hay que tener muy presente el procedimiento de fabricación de las líneas de transmisión al que se puede acceder, ya que la anchura o longitud de las líneas microstrip puede variar mucho en función del tipo de sustrato. Por lo tanto, hay que tener en cuenta la limitación tecnológica de fabricación, que permitirá hacer líneas de una anchura mínima (en este caso  $50\mu m$ ) y, en consecuencia, una impedancia característica máxima.

Teniendo en cuenta todos los objetivos del diseño y las características de fabricación disponibles, se ha elegido un transistor de SiGe: **BFU910FX de NXP Semiconductors**; y un sustrato que cumple todos los requisitos: **CLTE-XT**.

### 2.1. Transistor BFU910FX (NXP Semiconductors)

Se trata de un transistor NPN de SiGe. Está pensado para aplicaciones de alta velocidad y bajo ruido y viene montado en plástico sobre 4 pines (doble emisor) [2.1]. Este tipo de encapsulado se conoce como SOT343F:

Pin	Descripción	Esquemático	Símbolo
1	Emisor	3 4	4
2	Base		2
3	Emisor		- <b>`</b> `
4	Colector	2 1	1, 3

Tabla 2.1: Pin-out transistor



Figura 2.2: Encapsulado del transistor

Las características más importantes y que más han influido en la elección de este transistor son su alta ganancia combinada con su mínima figura de ruido. Por ello, se ha realizado el diseño con el modelo de pequeña señal cuya corriente de colector  $(I_C)$  es de 6 mA. El transistor polarizado con esta condición, proporciona los siguientes valores para las características que se buscan:

- Mínima figura de ruido  $(NF_{min})$ : 0,65 dB @12GHz
- Máxima ganancia estable: 14,2 dB @12GHz

Se puede apreciar que justamente ofrece ese rendimiento a la frecuencia central del diseño que se pretende realizar. Por lo tanto el transistor se polarizará en el siguiente punto de trabajo:

- Corriente de colector  $(I_c) = 6 \text{ mA}$
- Tensión colector-emisor  $(V_{CE}) = 2 V$

Se pueden revisar éstas y otras muchas propiedades de interés en la hoja de características que facilita del fabricante [2].

#### 2.1.1. Simulación del modelo de pequeña señal de NXP en ADS

NXP facilita un modelo en pequeña señal para la simulación de sus transistores en ADS (Advanced Design System), software propiedad de Keysight Technologies, que se ha utilizado para el diseño de este LNA equilibrado. Los modelos disponibles se basan en las características que ofrece el transistor dependiendo de la corriente de colector que se le aplique. De esta manera, NXP proporciona un modelo ligeramente diferente dependiendo de la corriente de colector que interese, desde 1 mA hasta 12 mA. Como ya se ha mencionado anteriormente, en nuestro caso interesa una  $I_C = 6$  mA por ser la configuración de menor  $NF_{min}$ .

**Parámetros de Scattering:** [3] Se utilizan en RF para caracterizar el comportamiento de los circuitos. Se trata de una matriz calculada a partir de de ondas de potencia incidentes y reflejadas. En un sistema de cuatro puertos (es lo habitual), se definen los siguientes coeficientes de la matriz S:

$$S = \begin{bmatrix} S_{11} & S_{12} \\ S_{21} & S_{22} \end{bmatrix}$$
(2.1)

 $S_{11}$  = Coeficiente de reflexión a la entrada cuando la salida está adaptada.  $S_{12}$  = Ganancia de transmisión directa cuando la salida está adaptada.  $S_{21}$  = Ganancia de transmisión inversa cuando la entrada está adaptada.  $S_{22}$  = Coeficiente de reflexión a la salida cuando la entrada está adaptada.

Para obtener los parámetros S del modelo facilitado por el fabricante en ADS, se ha creado el siguiente esquemático:



Figura 2.3: Esquemático: simulación de parámetros S

Se realiza una simulación de parámetros S a la frecuencia central (12 GHz) y se obtienen los siguientes resultados:

	-			
freq	S(1,1)	S(2,1)	S(1,2)	S(2,2)
12.00 GHz	0.373 / 149.340	4.065 / 8.600	0.092 / 19.680	0.307 / -102.950

Figura	$2.4 \cdot$	Simul	lación	parámetros	S
Iguia	4.4.	omu.	acion.	parametros	$\mathbf{D}$

ADS permite representar los parámetros S en la carta de Smith, que es un método mucho más visual:



Figura 2.5: Simulación: coeficientes de reflexión representados en la carta de Smith

Se observa que, por la propia naturaleza del transistor, está ligeramente mejor adaptado a la salida que a la entrada, ya que el parámetro  $S_{22}$  está mas cerca de los 50 $\Omega$ . En la Figura 2.6 se muestra el valor de la Ganancia en dB con la entrada y la salida cargadas con 50 $\Omega$ .

freq	dB(S(2,1))
12.00 GHz	12.181

Figura 2.6: Simulación: ganancia del transistor a la frecuencia central del diseño (12 GHz)

#### Parámetros de ruido: [4]

Los parámetros de ruido son, junto con la sensibilidad y la tasa de error de bit (BER), los parámetros que caracterizan la habilidad de un sistema para procesar señales débiles o bajas. De estos tres, los parámetros de ruido pueden caracterizar no solamente el sistema completo, sino también cada uno de los elementos. Controlando la figura de ruido y la ganancia de cada componente, se puede controlar la figura de ruido total del sistema. El factor de ruido de una sistema se puede definir como la SNR a la entrada del sistema entre la SNR a la salida:

$$F = \frac{S_i/N_i}{S_o/N_o} \tag{2.2}$$

Además, el factor de ruido se pueden representar también en función de la temperatura equivalente de ruido. Normalmente el fabricante lo define para 290K.

$$T_e = T_o(F-1) \tag{2.3}$$

Con el mismo circuito y simulación de la figura 2.3 se analizan también los parámetros de ruido del transistor para comprobar que, efectivamente, se corresponden con los datos proporcionados por el fabricante:

freq	NFmin	Rn	Sopt	
12.00 GHz	0.700	1.603	0.450 / 173.402	

Figura 2.7: Simulación: parámetros de ruido a la frecuencia central de diseño calculados con ADS

 $NF_{min}$  = Figura de ruido mínimo  $R_n$  = Resistencia equivalente de ruido  $S_{opt}$  = Coeficiente de reflexión óptimo para obtener  $NF_{min}$ 

La figura de ruido se relaciona con el factor de ruido F mediante la siguiente ecuación:

$$NF = 10 \log F \tag{2.4}$$

**Estabilidad del transistor:** [5] La estabilidad del circuito es analizada en la simulación con los parámetros 'K' y 'Mu', que se calculan a partir de los parámetros S mediante las ecuaciones teóricas del teorema de estabilidad incondicional.

#### CAPÍTULO 2. TECNOLOGÍA

Existe estabilidad incondicional si, y sólo si, K>1 y  $\Delta<1,$  donde:

$$K = \frac{(1 - |S_{11}|^2 - |S_{22}|^2 + |\Delta|^2}{2|S_{12}S_{21}|} > 1$$
(2.5)

$$|\Delta| = |S_{11}S_{22} - S_{12}S_{21}| < 1 \tag{2.6}$$

Si se cumplen las condiciones, es decir, si existe estabilidad incondicional, se puede conseguir ganancia máxima con óptima adaptación. Los resultados de la simulación son los siguientes:

freq	K	Mu	Delta
12.00 GHz	1.120	1.113	0.269 / -159.317

Figura 2.8: Simulación: parámetros de estabilidad a la frecuencia central de diseño calculados conADS

El parámetro 'Mu' se calcula teóricamente mediante la ecuación (2.4). SI  $\mu > 1$ , existe estabilidad incondicional.

$$\mu = \frac{(1 - |S_{11}|^2)}{|S_{22} - S_{11} * \Delta| + |S_{21}S_{12}|}$$
(2.7)

#### 2.2. Sustrato CLTE-XT

Como se explicará mas adelante, utilizar un sustrato con alta constante dieléctrica conllevará a dimensiones no realizables con las herramientas de fabricación disponibles.

El CLTE-XT es un sustrato cerámico compuesto de PTFE (lo que comúnmente se denomina teflón) y cubierto por una capa de fibra de vidrio que lo dota de una alta estabilidad dimensional. Destaca sobre el resto de sustratos principalmente en dos características: sus mínimas pérdidas de inserción y su baja tangente de pérdidas. Además de eso, Arlon (creador) se focalizó mucho en reducir al máximo las pérdidas por conductividad.

Propiedades Eléctricas				
h	$9.4 \text{ mils} = 254 \ \mu \text{m}$			
$\epsilon_r$	2.89			
σ	$5.8x10^{-7}$ S/m			
t	$17 \ \mu \mathrm{m}$			
$\tan \delta$	0.0012			

Tabla 2.2: CLTE-XT: Propiedades principales

En la tabla 2.2 se muestran las principales características a la hora de implementarlo en un diseño real.

A tener en cuenta también a la hora de diseñar que tanto los espesores como la constante dieléctrica en el CLTE-XT varían respecto al espesor nominal. En la siguiente figura se muestran los valores óptimos para hacer el diseño teniendo en cuenta ambos parámetros:

Thickness	0.0051	0.0094	0.020	0.025	0.030	0.040	0.045	0.059	0.060
Specification	±0.0005	±0.0007	±0.001	±0.001	±0.001	±0.002	±0.002	±0.002	±0.002
Thickness Mean	0.0051	0.0094	0.020	0.025	0.030	0.040	0.045	0.059	0.060
Dielectric Constant	2.79	2.89	2.92	2.94	2.94	2.94	2.94	2.95	2.94
Specification (10 GHz)	±.03	±.03	±.03	±.03	±.03	±.03	±.03	±.03	±.03

Figura 2.9: CLTE-XT: Valores óptimos de espesor y constante dieléctrica para diseños reales

En ADS, el sustrato se define tal y como se muestra en la figura 2.10.



Figura 2.10: ADS: Sustrato CLTE-XT

Se pueden revisar todas las características en el datasheet del fabricante [6].

## Capítulo 3

## Topología

Hay varias topologías de diseño para los amplificadores. En este caso, se ha elegido una topología equilibrada por las ventajas que supone [2]:

- 1. Mejor control sobre la potencia, obteniendo dos veces la potencia que se obtendría con un único amplificador.
- 2. Aunque uno de los dos amplificadores no funcionara, el sistema seguiría desempeñando su función aunque reduciendo su ganancia (entorno a 6 dB), lo cual proporciona robustez al diseño.
- 3. Mejor adaptación si los dos amplificadores son idénticos (aunque la adaptación de los dos amplificadores que lo forman no sea perfecta).
- 4. Alto grado de estabilidad.

Para ello, hay que introducir dos bloques de amplificación idénticos en paralelo e incluir en el diseño algún tipo de acoplador para mejorar la adaptación.

Las desventajas son dos principalmente: mayor coste y consumo por la utilización de dos ramas amplificadoras y, por tanto, de más transistores.

#### 3.1. Topología Equilibrada

El diseño se basa en el diagrama de bloques de la siguiente figura:

Se pueden observar las dos ramas de amplificación en paralelo y los acopladores 3 dB tanto a la entrada como a la salida del sistema. En un amplificador equilibrado, los parámetros de Scattering quedan definidos a partir de los de cada amplificador que lo forman de la siguiente manera:



Figura 3.1: Diagrama de bloques del LNA equilibrado

$$|S_{11}| = 0.5|S_{11a} - S_{11b}| \tag{3.1}$$

$$|S_{21}| = 0.5|S_{21a} + S_{21b}| \tag{3.2}$$

$$|S_{12}| = 0.5|S_{12a} + S_{12b}| \tag{3.3}$$

$$|S_{22}| = 0.5|S_{22a} - S_{22b}| \tag{3.4}$$

Si las dos ramas son idénticas, entonces  $|S_{11}| = 0$  y  $|S_{22}| = 0$ 

#### 3.1.1. Acopladores Lange

[7] El acoplador Lange, que debe su nombre a su creador, el doctor Julius Lange, es una estructura de cuatro puertos que suele ser utilizada como combinador/divisor en los amplificadores. El acoplamiento se consigue con las líneas de transmisión estrechamente espaciadas. Estas lineas, que habitualmente se conocen como "dedos", suelen ser un número par. En la Figura 3.2 se muestra un acoplador Lange de cuatro dedos:

La longitud de los dedos (L) viene dada por la frecuencia central del diseño  $(f_0)$ , mostrando una respuesta en frecuencia plana alrededor de la frecuencia central y con muy buenas prestaciones en cuanto a ancho de banda se refiere. L viene dada por la siguiente ecuación:

$$L = \frac{\lambda_s}{4} = \frac{c}{4f_0\sqrt{\epsilon_{eff}}} \tag{3.5}$$



Figura 3.2: Estructura del acoplador Lange

donde,

 $c=3x10^8$  m/s (velocidad de la luz)  $\epsilon_{eff}=$ constante dieléctrica efectiva

La constante dieléctrica efectiva es función de la constante dieléctrica del sustrato( $\epsilon$ ), de su espesor (h) y del ancho del conductor (w).

#### 3.1.2. Acopladores Branch-Line

[8] El acoplador Branch-Line es el tipo de acoplador de cuadratura más sencillo de diseñar. El esquemático ideal más simple (una sola etapa) se muestra a continuación:

Tal y como se puede ver en la figura 3.3, todas las líneas de transmisión de este acoplador tienen una longitud de  $\lambda/4$ . No obstante, se pueden implementar también longitudes de onda diferentes con la penalización de perder ancho de banda. La ventaja de este acoplador, es que se pueden implementar



Figura 3.3: Esquemático de un Branch-Line Single-box ideal

varios en cascada, mejorando el ancho de banda. En la figura 3.4 se puede ver el esquemático de un *Double-box*, que no son más que dos etapas para mejorar el ancho de banda utilizando diferentes valores de longitud de las líneas.



Figura 3.4: Esquemático de un Branch-Line Double-box ideal

#### 3.2. LNA de dos etapas

[2] Como se comentó en la introducción, el objetivo es conseguir una ganancia  $\geq 20dB$  con ruido mínimo. Es por eso que se han tenido que diseñar dos etapas de amplificación ya que, como se verá en el Capítulo 4, con una sola etapa solo se alcanzan (ver figura 4.26). Además, lo importante durante el diseño será siempre buscar un compromiso en el que se consiga el ruido mínimo, priorizándolo sobre la adaptación que ya será buena gracias a la topología equilibrada. En la figura 3.5 se muestra el diagrama de bloques de un amplificador de dos etapas en el que se puede apreciar el objetivo principal de la primera etapa es adaptar para obtener el menor ruido posible. Esto es clave hacerlo en la primera etapa porque según la fórmula de Friis (Eq: 3.2), el ruido de la primera etapa se suma directamente al ruido total del sistema y por lo tanto es la etapa que más afecta al ruido, permitiéndose un poco más de libertad en este aspecto para la segunda etapa.



Figura 3.5: Diagrama de las dos etapas de un amplificador

$$F_{TOTAL} = F_1 + \frac{F_2 - 1}{G_1} + \frac{F_3 - 1}{G_1 G_2} + \frac{F_4 - 1}{G_1 G_2 G_3} \dots$$
(3.6)

Por lo tanto, para la primera etapa se adaptará buscando  $NF_{min}$ , la etapa intermedia adaptará el  $S_{22}$  de la primera etapa a la misma impedancia que se adaptó en la primera etapa para volver a buscar el mínimo ruido y la etapa de salida ya adaptará a los 50 $\Omega$  de la salida, como se verá más adelante en la explicación detallada del diseño (Capítulo 4.2).

### Capítulo 4

## Diseño del LNA equilibrado

Tras la explicación de la tecnología que se utiliza (Capítulo 2) y la topología (Capítulo 3), en este caso se explicarán los pasos seguidos para el diseño y simulación del LNA equilibrado. Recordando los objetivos del diseño enumerados en la Introducción de este informe, se quiere conseguir:

- 1. Ganancia:  $\geq 20 dB$
- 2. Figura de ruido:  $NF_{min} < 2dB$
- 3. Adaptación de entrada: < -10dB
- 4. Adaptación de salida: < -10dB
- 5. Banda de funcionamiento: 10GHz 14GHz

#### 4.1. Diseño del acoplador

Primero se hablará del diseño del acoplador. Tras describir teóricamente dos de los acopladores más utilizados, ahora se pasa a su diseño y simulación, eligiendo al final el más óptimo para este caso concreto.

#### 4.1.1. Acoplador Lange

[7] Se diseña el acoplador en *ADS*. Para ello, el software de simulación ofrece la implementación directa mediante el bloque '*MALNG*':

Modificando los parámetros  $W, S \ge L$  se obtiene una aproximación bastante real del comportamiento del acoplador Lange. En la figura 4.2 se muestra



Figura 4.1: ADS: Bloque MLANG



Figura 4.2: Ilustración MLANG

una ilustración explicativa de *ADS*. Estos parámetros se han calculado con la funcionalidad de ADS '*LineCalc*', que proporciona los datos óptimos en base a las propiedades del sustrato (Capítulo 2.2) y la frecuencia central del diseño. A continuación se explican los diferentes sustratos que se han probado con sus correspondientes simulaciones.

Simulación ADS sobre Alumina: La primera simulación se hace sobre uno de los diferentes tipos de alumina porque se suponía que necesitaríamos implementar líneas muy estrechas y en el sustrato de Alumina, la metalización es de sólo  $3\mu m$  de grosor, con lo que la fabricación es más sencilla para conseguir estos valores. Además funciona muy bien en estas frecuencias. Los parámetros del sustrato definidos en ADS se pueden ver en la figura 4.3.



Figura 4.3: Esquemático en ADS: MLANG sobre Alumina

La simulación ofrece unos resultados cuasi perfectos, ya que no se tienen en cuenta las pérdidas sel sustrato (Tan  $\delta = 0$ ). Se realiza un barrido amplio para ver el comportamiento del acoplador en una banda ancha.



Figura 4.4: Simulación: Pérdidas de inserción

Se puede observar como a la frecuencia central de diseño  $f_0$  se cumple el valor teórico de 3 dB de pérdidas de inserción. También se representa el factor aislamiento del puerto aislado  $S_{41}$  y la adaptación de entrada o pérdidas de retorno  $S_{11}$  en la figura 4.5, además de la diferencia de fase entre los puertos de salida, que se corresponde con el valor teórico de 90°.



Figura 4.5: Simulación: Aislamiento  $S_{41}$  y adaptación de entrada  $S_{11}$ . Fase entre puertos de salida

**Layout:** El problema de la implementación del diseño sobre Alumina viene al generar el layout, ya que las medidas necesarias no se pueden cumplir con la tecnología de fabricación disponible (ver Capítulo 2). En las figuras 4.6 y 4.7 se muestra el layout generado con ADS y un zoom en el que se realiza una medida de la separación necesaria en la implementación.



Figura 4.6: Layout: acoplador Lange

 $1,159mil = 28,35\mu m$ . No cumple con la restricción de 50 micras.



Figura 4.7: Zoom. Medida de la separación entre los dedos

Simulación ADS sobre CLTE-XT: Se cambia el sustrato por el CLTE-XT para estudiar si se cumple la restricción en las dimensiones para su posible fabricación. El esquemático diseñado en ADS es similar, pero en este caso se utiliza un bloque de ADS que, por debajo, no es más que el mismo bloque MLANG utilizado en el apartado anterior. En este caso se va a implementar el diseño del acoplador con 6 "dedos", en vez de con 4, buscando mejorar el ancho de banda.

S-PARA	METERS MeasEqn	· · · · · · · · · · · · · · · · · · ·	· MSub · · · ·
· S <u>·</u> Param · S₽1	Ratio=S(2,1)/S(3,1)		MSUB CLTE-XT
Start=6 GHz Stop=20.0 GHz			H=254 um Er=2.89 Mur=1
Step=			Cond=1.0E+50 Hu=1.0e+036 um
TermG		TermG2	TanD=0.013 Rough=0 um
Num=1 Z=50 Ohm	DA_LACoupler1_S_Param_Lange_Utility_	Num=2 Z=50 Ohm	· · · · · · · · · · · ·
	TermG Subst="CLTE-XT" TermG TermG4 F=12 GHz TermG3		
	Second		
	Delta=0 mil		

Figura 4.8: Esquemático: MLANG sobre CLTE-XT

donde,  $F=F_0$  C= Factor de acoplo N= Número de dedos Delta= Longitud añadida a los dedos para afinar

Los resultados son bastante buenos, aunque no tan perfectos como en el caso anterior en el que no se tuvieron en cuenta las pérdidas del sustrato

(Figuras 4.9 y 4.10).



Figura 4.9: Simulación: Pérdidas de inserción

Para el error de acoplo, que se define como la diferencia de magnitud entre los dos puertos de salida, suele darse por bueno un valor  $\leq 1dB$ . El rango de frecuencias para el que se cumple esta afirmación es lo que determina el ancho de banda (BW) del acoplador. En este caso **BW=9 GHz**, desde 7 GHz hasta 16 GHz aproximadamente. Para el caso anterior, sin embargo, se obtuvo únicamente BW=6 GHz (9 GHz - 15 GHz).



Figura 4.10: Simulación: Adaptación y aislamiento. Fase entre puertos de salida

Se obtienen unos valores muy aceptables, así que se procede a diseñar el Layout para la fabricación.

**Layout:** Nuevamente, los problemas aparecen a la hora de intentar una implementación real. Se genera el Layout del diseño a través de ADS y se toman medidas:

 $1,2276mil = 31,181\mu m$ . No cumple con la restricción de 50 micras.



Figura 4.11: Zoom. Medida de la separación entre los dedos

Por esta razón, se decide implementar el diseño con acopladores Branchline, lo cuales se describen en el siguiente apartado.

#### 4.1.2. Acoplador Branch-Line

[8] NOTA: ADS no cuenta con un bloque ya diseñado para este acoplador.

**Diseño con líneas ideales:** El primer diseño se realiza con líneas ideales para comprobar el mejor comportamiento posible del acoplador. El esquemático simulado en el software de *Keysight Technologies* es el siguiente (configuración single-box):



Figura 4.12: Esquemático en ADS: Branch-Line single-box con líneas ideales

Se realiza una simulación de parámetros S con un barrido de frecuencias muy amplio y se obtienen los siguientes resultados:

Figura 4.13: Simulación: Salidas del acoplador

En este caso, el ancho de banda para el  $S_{21}$  está entorno a los 3 GHz, lo cual demuestra que en el caso del Branch-Line es mucho menor al Lange. A pesar de intentar realizar el diseño con líneas microstrip y tratado de optimizarlo, no se consigue mejorar todo lo deseado el BW, por lo que se pasa a la configuración **double-box**:



Figura 4.14: Esquemático en ADS: Branch-Line double-box con líneas ideales

Se obtiene un ancho de banda mayor que con la configuración "single", pero no todo lo que se pretende porque cubre de manera demasiado justa el ancho de banda del diseño. Se van probando diferentes valores de impedancia de las líneas ideales hasta que se obtiene el mejor ancho de banda posible. Los valores de impedancia de las líneas de entrada y salida, TL1, TL3, TL4y TL6, no se cambian (tienen que ser 50 $\Omega$ ), así que se varían los demás. La
longitud eléctrica tampoco se modifica (todas las líneas son  $\lambda/4$ ). Una de las combinaciones de impedancias que se simularon fueron en concordancia con la figura 3.4, vista en el Capítulo 2.

El resultado de la simulación se muestra en la siguiente figura y se comentan los resultados:



Figura 4.15: Simulación: Salidas del acoplador

Se consigue un ancho de banda de 4 GHz, el cuál se intentará mejorar en el diseño real con líneas microstrip, pero que ya es suficiente para el objetivo de diseño.

**Diseño con líneas Microstrip:** Tomando como base el diseño con líneas ideales realizado con la configuración "double-box", éstas se cambian por líneas reales sobre sustrato CLTE-XT y que simulan pérdidas reales. El esquemático diseñado en ADS para este fin se muestra a continuación: **NOTA:** Para el cálculo de las anchuras y longitudes equivalentes de las líneas

microstrip, se ha utilizado la herramienta 'LineCalc' que proporciona ADS.

Se puede observar que prácticamente todas las dimensiones se almacenan en el simulador como variables con vistas a una optimización. ADS tiene varias funcionalidades para optimizar los diseños y para este caso concreto se ha utilizado un *Tuning*, mediante el cual se cambian ligeramente las medidas de las líneas que interesan hasta conseguir unos resultados mejores a los obtenidos inicialmente. En esta ocasión, se sintonizaron los valores de longitud de todas las líneas excepto de las inmediatamente conectadas a cada uno de los cuatro puertos, ya que para el diseño del layout interesa que el valor de esas dimensiones sea de 2 mm para poder conectar las líneas de acceso que conectarán el circuito con el exterior para su interconexión y medida.

Los mejores resultados de la simulación tras el tuning con ADS se muestran en las figuras 4.17 y 4.18. En la primera de ellas se ve que se obtienen



Figura 4.16: Esquemático en ADS: Branch Line Double-box en Microstrip

en los puertos de salida los 3 dB teóricos de acoplo en el ancho de banda del diseño. Además, se muestra el coeficiente de reflexión en dB para los puertos de entrada y aislado, consiguiendo unos valores cercanos a -40 dB a la frecuencia central del diseño. Estos valores serán muy importantes a la hora de introducir el LNA equilibrado en un sistema manteniendo la adaptación en RF. Por otro lado, en la segunda figura 4.18, se representa el desfase de 90° que se cumple en toda la banda de funcionamiento y el BW, que cumple con las especificaciones pa utilizarlo en el amplificador equilibrado.



Figura 4.17: Simulación: Coeficiente de transmisión a la salida de los puertos. Coeficiente de reflexión en los puertos de entrada y aislado



Figura 4.18: Simulación: Desfase puertos de salida y ancho de banda

**Símbolo:** Una vez los resultados de las simulaciones son satisfactorios, hay que generar un símbolo, de manera que se introduzca el acoplador en el esquemático final de una forma más ortodoxa que introduciendo el esquemático con todas las líneas. Esta función también la realiza ADS de forma automática y lo único que hay que hacer es elegir un símbolo que identifique adecuadamente el circuito. Éste se muestra en la siguiente figura:



Figura 4.19: Símbolo: acoplador Branch-Line

En caso de no encontrar uno que encaje, también se puede diseñar de forma manual.

**Layout:** Finalmente se genera el layout de forma automática con ADS para incluirlo también en el layout final que se enviará a fabricar. Se muestra en la figura 4.20.



Figura 4.20: Layout: acoplador Branch-Line

Las dimensiones del layout del acoplador son: 12.5 mm de largo por 6 mm de ancho.

# 4.2. Diseño del LNA de dos etapas

[9] Una vez diseñado el acoplador, se pasa al diseño del LNA. Como ya se mencionó en el Capítulo 3, se han realizado dos etapas de amplificación para obtener unas mejores prestaciones, ya que con una sola etapa se quedaba con una ganancia un tanto insuficiente como se puede observar en el siguiente apartado.

# 4.2.1. LNA de una etapa

**Ideal:** En la figura 4.21 se muestra el esquemático ideal con las redes de adaptación de entrada y salida utilizando el modelo del transistor. Como se explicó en el Capítulo3.2, el objetivo es diseñar la red de adaptación de entrada para mínimo ruido ya que es la red más crítica para este parámetro. La adaptación no hay que descuidarla pero no es lo más importante. En la siguiente figura se representan los resultados de la simulación.



Figura 4.21: Esquemático: LNA de una etapa ideal



Figura 4.22: Simulación: LNA de una etapa ideal

Se observa que la ganancia, además de presentar un valor bastante bajo, se cae al superar los 12 GHz (y eso que la simulación es con componentes ideales...).

**Microstrip:** A pesar de que los resultados ideales no son suficientes y ya se tiene decidido realizar dos etapas, se realiza el diseño con líneas microstrip sobre CLTE-XT para observar la variación en el comportamiento:



Figura 4.23: Esquemático: LNA de una etapa en microstrip



Figura 4.24: Simulación: LNA de una etapa en microstrip. Ruido y Ganancia



Figura 4.25: Simulación: LNA de una etapa en microstrip. Estabilidad y adaptación

Realizando una pequeña optimización del circuito para aumentar la ganancia en la banda baja del diseño:



Figura 4.26: Simulación: LNA de una etapa microstrip optimizado. Ruido y ganancia



Figura 4.27: Simulación: LNA de una etapa microstrip optimizado. Estabilidad y adaptación

Se ve que además mejora bastante la adaptación y el ruido de entrada.

## 4.2.2. LNA de dos etapas

Se pasa entonces al diseño de dos etapas. En este caso, se entrará a analizar en mayor profundidad el diseño de cada una de las redes de adaptación, de polarización, etc.

#### 4.2.2.1. Red de adaptación de entrada

Para el diseño de la red de adaptación de entrada, el objetivo es adaptar los 50 Ohmios que se tendrán a la entrada a la impedancia gamma óptimo que se obtuvo en la simulación de parámetros S del transistor (explicado en el Capítulo 2: Tecnología [ver figura 2.7]). De esta manera, el transistor en lugar de "ver"50 Ohmios a su entrada, verá la mejor impedancia posible para obtener el ruido mínimo  $(NF_{min})$ .

**Líneas ideales:** Para el diseño de las redes de adaptación se utiliza la utilidad de ADS *Impedance Maching Utility*, la cual genera automáticamente la red de adaptación con líneas ideales a la frecuencia central indicada (figura 4.28).

La aplicación proporciona la red bajo el símbolo de la figura 4.29.

Se introduce a la entrada del transistor en el esquemático de la figura 4.30y se realiza la simulación:

Impedance Matching Utility								_		×	
<u>F</u> ile <u>T</u> ools <u>V</u> iew <u>H</u> elp											
<i>√ 🐏 🖏 ⊡</i> ÷•• 🗙 ∄											
Current Schematic						SmartComponent					
Red_Entrada [BFU910_D1_2V_06mA_lib:Red_ 🔻						DA_SingleStubMatch1					
Current Design						SmartComponent Capability					
schematic						Design, Simulate, Display					
Overview Matching Assistant Simulation A						ssistant Vield Assistant Display Assistant					
Specifications											
Response Type Line Impedance (Ohm) F											
Maxim	Maximally Flat					50 12 GHz 🔻					
Synthe	Synthesis Technique					ub Impedance (Ohm) Fp2					
Analyt	Analytic				50 2				GHz	~	
Terminations											
Source Impedance						Load Impedance					
Resistive 🔻					Comple	x Impedan	œ	•			
R =	50	Ohm	•		Z =	(18.996+j	Ohm	•			
L =	1	nH	$\overline{\mathbf{v}}$		L =	1	nH	$\mathbf{v}$			
C =	1	рF	$\overline{\mathbf{v}}$		C =	1	pF	-			
File =	ZSource.sr	S(1,1)	Ŧ	Browse	File =	ZLoad.snp	S(1,1)	-	Browse		
Interpret as Input Impedance Interpret as Output Impedance											
Design				Select New Network			Help				

Figura 4.28: Impedance Maching Utility



Figura 4.29: Impedance Maching Utility: Símbolo





Se muestra entre las terminaciones (TermG3 y TermG4) la red de entrada. En la simulación se muestra cómo la red adapta perfectamente a gamma óptimo a la frecuencia central especificada en la herramienta:



Figura 4.31: Simulación: Coeficiente de reflexión a la salida de la red de entrada ideal en carta de Smith



Además se representa también la figura de ruido del circuito:

Figura 4.32: Simulación: Figura de ruido

Como el ruido a 10 GHz es demasiado alto, se optimizará un poco la red variando las dimensiones de las líneas microstrip buscando mejorar a esa frecuencia aunque se pierda un poco a 12 GHz. Se verá en el siguiente apartado.



Figura 4.33: Simulación: Ganancia y adaptación

Se muestra también cómo ha variado la ganancia con la red de entrada. Se puede apreciar que la adaptación todavía no es buena sobre todo a la salida.

**Líneas Microstrip:** Se calculan las líneas microstrip sobre CLTE-XT con '*Linecalc*' obteniendo el siguiente esquemático (la línea *MLEF* sirve para simular una línea real terminada en abierto. Se añade *MTEE* como unión de las líneas).



Figura 4.34: Esquemático: Red de adaptación de entrada en microstrip



Figura 4.35: Simulación: Coeficiente de reflexión a la salida de la red en microstrip y gamma óptimo en carta de Smith

A continuación se simula la red de entrada real con el transistor en todo el ancho de banda del diseño y se optimiza buscando mejorar la ganancia, figura de ruido... Cabe mencionar que es imposible adaptar al gamma óptimo en todas las frecuencias con una sola red de adaptación, ya que el gamma óptimo es diferente dependiendo de la frecuencia a la que se esté trabajando; lo que se busca es un compromiso para adaptar lo máximo posible en cada frecuencia. Se añade un condensador de desacoplo DC de 2 pF a la entrada del circuito que, desde el punto de vista de RF, no debería afectar y no lo hace en absoluto.



Figura 4.36: Esquemático: Transistor + red de entrada en microstrip completa



Figura 4.37: Simulación: Ruido y ganancia del circuito con la red de entrada en microstrip + condensador de desacoplo DC

Se muestra también la estabilidad y la adaptación:



Figura 4.38: Simulación: Estabilidad y adaptación del circuito con la red de entrada en microstrip + condensador de desacoplo DC

Por lo tanto, ya se tiene diseñada la red de entrada que será de esta forma aunque, finalmente, variarán las dimensiones cuando se optimice todo el circuito en conjunto.

#### 4.2.2.2. Red de adaptación inter-etapa

Para el diseño de la red de adaptación inter-etapa, habrá que adaptar la segunda etapa al mismo gamma óptimo que para la red de entrada, ya que las etapas son idénticas, colocadas una detrás de otra en cascada. La diferencia en esta ocasión se encuentra a la entrada de la red, ya que ahora ya no hay 50 Ohmios, sino el valor de impedancia caracterizado por el coeficiente de reflexión a la salida del transistor con la red de entrada conectada, o lo que es lo mismo, el  $S_{22}$  de la última simulación del apartado anterior.



Figura 4.39: Simulación:  $S_{22}$  de la primera etapa en carta de Smith

Aquí es un buen ejemplo de lo explicado anteriormente, cuando se dijo que el gamma óptimo cambiaba en función de la frecuencia.

Además, se puede observar que en esta ocasión el coeficiente de reflexión a la salida en el ancho de banda del diseño no tiene una forma tan suavizada. Esto se debe al rizado introducido por los elementos reales utilizados en la primera etapa. La impedancia de entrada de la red inter-etapa, la cual habrá que adaptar al mismo gamma óptimo que en la etapa anterior, es la que muestra el marker 4 (m4) en la figura 4.39, centrado en 12 GHz. Se escoge ese valor porque es la frecuencia central del diseño, pero después se volvera a optimizar la red buscando el mejor comportamiento posible en toda la banda.

**Líneas ideales:** Así pues, se realiza el diseño de la red inter-etapa siguiendo los mismos pasos que en el caso anterior: diseño de la red con *Impedance Maching Utility*, se obtiene la red formada por líneas ideales y se simula para comprobar que adapta a las impedancias que se necesita:



Figura 4.40: Esquemático: Red de adaptación inter-etapa ideal + Transistor primera etapa + Red de entrada real

Al igual que en el caso anterior, se coloca la red inter-etapa entre dos terminaciones diferentes para comprobar la adaptación.



Figura 4.41: Simulación: Coeficiente de reflexión a la salida de la red interetapa ideal en carta de Smith

**Líneas Microstrip:** Se realiza el cambio hacia las líneas reales con *Line-Calc* y se simula para comprobar que no se ha degradado la adaptación:



Figura 4.42: Esquemático: Red inter-etapa en microstrip



Figura 4.43: Simulación: Coeficiente de reflexión a la salida de la red interetapa en microstrip y gamma óptimo (se superponen) en carta de Smith

Se añade un condensador de desacoplo de 2 pF entre etapas y se simula comprobando el parámetro de ruido y la ganancia:

**NOTA:**Se ha realizado una optimización para mejorar la ganancia y el ruido en la banda de funcionamiento.



Figura 4.44: Esquemático: Transistor + Redes de la primera etapa



Figura 4.45: Simulación: Parámetros de ruido y ganancia de la primera etapa

También se comprueba que la adaptación a la entrada y a la salida del circuito es adecuada y que es incondicionalmente estable (sin darle demasiada importancia ya que el acoplador Branch ayudará en gran medida al final):



Figura 4.46: Simulación: Factor de estabilidad K y coeficientes de reflexión

#### 4.2.2.3. Red de adaptación de salida

Una vez que se han diseñado las redes de entrada e inter-etapa, se procede a diseñar la red de salida. Para ello, se añade el segundo transistor en cascada con la red de entrada diseñada anteriormente y se representa el  $S_{22}$  para conocer la impedancia a la que debe adaptar la red de salida.



Figura 4.47: Simulación: S22 de la primera etapa con la red inter-etapa a su salida. Muestra la impedancia a la que adaptará la red de salida en carta de Smith

Líneas ideales: Siguiendo el mismo procedimiento, se realiza el diseño:



Figura 4.48: Esquemático: Red de adaptación de salida



Figura 4.49: Simulación: Adaptación de la red de salida ideal en carta de Smith

Líneas Microstrip: Se realiza el diseño en microstrip:



Figura 4.50: Esquemático: Red de adaptación de salida real

Al igual que en anteriores ocasiones, se ha realizado un tuning de las

dimensiones de las líneas para optimizar el comportamiento en toda la banda.

Aunque no se muestra en ese esquemático, también se colocará un condensador de 2pF para desacoplar la DC a la salida.

#### 4.2.2.4. Circuito completo

Finalmente, se juntan todas las redes en el diseño del LNA de dos etapas:



Figura 4.51: Esquemático: Circuito de dos etapas completas con sus redes de adaptación

Los resultados de la simulación son muy satisfactorios:



Figura 4.52: Simulación: Figura de ruido y Ganancia



Figura 4.53: Simulación: Factor de estabilidad K y coeficientes de reflexión.

#### 4.2.3. LNA de dos etapas: componentes no ideales

Hasta este momento, a excepción de las líneas de transmisión que se han ido introduciendo sobre un sustrato real, el resto de componentes del circuito son modelos cuyo funcionamiento en RF no se corresponde del todo con la realidad. Estos elementos son Condensadores, Resistencias, pasos a tierra, etc.

En este apartado se van a ir sustituyendo los modelos por otros más reales, ya que contienen elementos parásitos, que son los que se utilizarán al final en la fabricación. Además de eso, también habrá que ir introduciendo tramos de línea que se ajusten a las medidas de estos componentes reales (los pines del transistor, el tamaño de los condensadores que irán pegados sobre las líneas...). También se diseñarán las redes de polarización del transistor.

#### 4.2.3.1. Diseño de los componentes no ideales

Además de los condensadores y resistencias que se van a detallar a continuación, se han utilizado otros en la placa PCB, que se detallarán cuando hablemos de ella, para la conexión de las fuentes de alimentación.

También se han incluido dos hilos de bonding en paralelo, que son unos hilos muy finos de oro que sirven como interconexiones entre las líneas de transmisión y los elementos pasivos (ver figura 4.54). Estos hilos se decidió que fueran todos de las mismas dimensiones para normalizar el diseño:  $diametro(D) = 25\mu m$  y  $longitud(L) = 500\mu m$ .

Por último, antes de dar paso al detalle de los componentes pasivos, se han incluido unas vías a tierra en el emisor de los transistores para sustituirlas por las tierras ideales (ver figura 4.55).



Figura 4.54: Esquemático: hilos de bonding



Figura 4.55: Esquemático: vías a tierra

**Condensadores:** se han utilizado condensadores de tres capacidades diferentes para el diseño. Algunos de ellos todavía no se han mostrado en ningún esquemático, ya que pertenecen a las redes de polarización que se explicarán en la sección 4.2.3.2.

**2 pF:** este condensador es el que se ha utilizado para desacoplar la DC en cada una de las etapas de las redes de adaptación. El modelo real que se va a utilizar en la fabricación es el *ATC116TCA2R0B100*,

del fabricante ATC (American Technical Ceramics).



• Esquemático:

Figura 4.56: Esquemático: Modelo real del condensador 2 pF de ATC

• Layout:



Figura 4.57: Layout: W = L = 0.635mm

**5.1 pF:** este es el condensador de bypass de las redes de polarización, utilizado tanto en las de la base como en las del colector. El modelo real que se va a utilizar en la fabricación es el *ATC111XCA5R1*, también de **ATC**.



#### Esquemático:

Figura 4.58: Esquemático: Modelo real del condensador 5.1 pF de ATC

### • Layout:



Figura 4.59: Layout: W = L = 1,27mm

100 pF: este condensador se ha incluido tanto en las redes de polarización de la base como en las del colector para hacer la función de filtro a bajas frecuencias, desviándolas a masa.

El modelo real que se va a utilizar en la fabricación es el *SC10002430*, del fabricante **Skyworks Solutions**.



## Esquemático:

Figura 4.60: Esquemático: Modelo real del condensador 100 pF de Skyworks

#### • Layout:



Figura 4.61: Layout: W = L = 0.762mm

**Resistencias:** se han utilizado resistencias de tres valores diferentes para el diseño.

En este caso, todos los modelos son del fabricante State of the Art Inc.

10 Ohm: esta resistencia se ha utilizado en las dos redes de polarización de colector que lleva el circuito. Sirve como filtro de RF. El modelo real que se va a utilizar en la fabricación es el S0302APG100J20.

#### • Esquemático:



Figura 4.62: Esquemático: Modelo real de la resistencia de 10 $\Omega$ 

#### • Layout:



Figura 4.63: Layout: W = 508mm; L = 0.762mm

51 Ohm: esta resistencia se ha utilizado también en las dos redes de polarización de colector que lleva el circuito. Concretamente, forma parte de un filtro RF que va antes que el anterior. El motivo por el que se pone una resistencia es para evitar que al poner dos condensadores en paralelo resuenen.

El modelo real que se va a utilizar en la fabricación es el S0302APG510J20.

#### Esquemático:



Figura 4.64: Esquemático: Modelo real de la resistencia de  $51\Omega$ 

## • Layout:



Figura 4.65: Layout: W = 508mm; L = 0.762mm

**1 kOhm:** esta resistencia se ha utilizado en las dos redes de polarización de la base que lleva el circuito. Concretamente, forma parte del filtro de RF para bajas frecuencias que va en paralelo con el condensador de 100 pF El modelo real que se va a utilizar en la fabricación es el S0302APG102J20.

#### Esquemático:



Figura 4.66: Esquemático: Modelo real de la resistencia de 1K $\Omega$ 

## • Layout:



Figura 4.67: Layout: W = 508mm; L = 0.762mm

#### 4.2.3.2. Redes de polarización del transistor

Aunque durante el diseño y simulación del LNA de dos etapas se está utilizando un modelo de pequeña señal del transistor, el cuál viene caracterizado para un punto de polarización muy concreto, también hay que diseñar las redes de polarización para ver cómo afectan al diseño en RF, ya que habrá que introducirlas en la fabricación para polarizar los transistores.

Las redes de polarización, además de permitir polarizar el transistor en el punto de trabajo que se desea, también son las encargadas de estabilizar el circuito evitando, sobretodo, inestabilidades en frecuencias bajas. De hecho, el objetivo es que desde el punto de vista de RF, estas impedancias tengan impedancia infinita a la frecuencia del diseño  $(Z = \infty)$ .

**Red de polarización de la base:** Se muestra directamente el esquemático y simulación con todos los componentes reales, a excepción de las tierras que son ideales porque no son críticas para el diseño a nivel de RF en las redes de polarización.



Figura 4.68: Esquemático: Red de polarización de la base

Se representa el coeficiente de reflexión desde bajas frecuencias hasta un poco por encima de la frecuencia de diseño. En la figura 4.69 se observa que a bajas frecuencias, la red se comporta como un corto, permitiendo filtrarlas desviándolas a tierra.



Figura 4.69: Simulación: coeficiente de reflexión visto desde la base en carta de Smith

**Red de polarización del colector:** Al igual que en el caso anterior, se muestra directamente el esquemático y simulación con todos los componentes reales:



Figura 4.70: Esquemático: Red de polarización del colector



Figura 4.71: Simulación: coeficiente de reflexión visto des<br/>de el colector en carta de Smith $% \left( {{{\rm{S}}_{{\rm{s}}}}} \right)$ 

Como en el caso de la red de polarización de la base, a bajas frecuencias también se busca filtrar. Aunque en este caso no se consigue un efecto de corto tan bueno, también presenta una impedancia baja que filtrará correctamente.

# 4.2.4. Diseño final: LNA de dos etapas + acopladores Branch-Line

Finalmente, tras ir sustituyendo todos los elementos del diseño por sus modelos reales y después de añadir todos los tramos de línea necesarios para colocar los elementos pensando en el layout, se obtiene el circuito completo. Hay que mencionar que se han ido añadiendo los elementos de uno en uno y simulando cada vez para ir controlando en todo momento los cambios. Además, a parte de las optimizaciones realizadas de manera independiente en cada una de las redes de adaptación y polarización, se han realizado varias en el circuito completo.

El resultado final que se ha obtenido y el circuito del cuál se realizará la máscara y el layout que se enviará a fabricar se mostrará en este apartado.

**LNA de dos etapas real:** Aunque en la imagen es difícil verlo, sirve para hacerse una idea de la cantidad de elementos que habrá que integrar a la hora de fabricar.



Figura 4.72: Esquemático: Diseño final del LNA de dos etapas

Lo que más puede interesar son los resultados de la simulación, que se muestran atendiendo principalmente a la banda de funcionamiento del LNA:



Figura 4.73: Simulación: Ruido y Ganancia del LNA



Figura 4.74: Simulación: Estabilidad y adaptación del LNA

En la figura 4.73, se observa que el ruido conseguido cumple el objetivo de estar por debajo de 2 dB y también se obtiene una ganancia bastante plana.

En cuanto a la estabilidad, el diseño es incondicionalmente estable. Aunque la adaptación de salida que se muestra en la figura 4.74 no está de momento por debajo de -10 dB, mejorará con el acoplador Branch como se va a poder ver en el siguiente apartado, en el que se simulará ya el circuito con toda la estructura equilibrada al completo.

**LNA equilibrado final:** Finalmente se juntan todas las partes en la estrutura equilibrada como se muestra a continuación:



Figura 4.75: Esquemático: Diseño final del LNA equilibrado

En cuanto a los resultados finales se tiene lo siguiente:



Figura 4.76: Simulación: Ruido y Ganancia del LNA equilibrado



Figura 4.77: Simulación: Estabilidad y adaptación del LNA equilibrado

Se observa como tanto la estabilidad como la adaptación a la salida han mejorado enormemente respecto al diseño sin acopladores y ahora sí se consigue el objetivo inicial, estando por debajo de -10 dB de adaptación tanto a la entrada como a la salida.

La ganancia no ha variado al introducir los acopladores y se mantiene estable entorno a 22 dB.

En cuanto al ruido, se ha visto un poco degradado @10 GHz (entorno a 0,1) como consecuencia de las inductancias introducidas por los modelos de resistencia con elementos parásitos que van conectadas a los puertos acoplado y aislado de los acopladores.

Por último, el factor de estabilidad K ha mejorado al y como se esperaba, sobre todo en la parte más baja de la banda del diseño.

# Capítulo 5 Diseño del Layout Final

El último paso del diseño del LNA equilibrado es la realización del Layout y la máscara. El layout y la máscara son básicamente la misma cosa, solo que la máscara se compone únicamente de la capa conductora sobre el sustrato, que son las líneas de transmisión diseñadas, las vías o agujeros a tierra y los cortes del sustrato. El resto de elementos (pasivos, transistores, bonding...) se colocan para formar el layout completo del diseño.

Así pues, para la creación del layout se ha utilizado *ADS*, que tiene una funcionalidad para generar el autolayout de los esquemáticos. Visto así parece muy sencillo, pero no se trata de hacer el auto-layout del circuito completo y ya está, sino que hay que hacer el layout de cada uno de los componentes pasivos reales uno a uno, atendiendo a las dimensiones especificadas por el fabricante en los datasheets, porque se han utilizado modelos que ADS no incluye en sus librerías y no es capaz de reconocerlos y generar el layout. También hubo que hacer el layout del transistor del mismo modo e ir encajando todos los elementos cuidadosamente de manera que la fabricación sea posible, ya que si hay algo que no está exhaustivamente colocado e indicado correctamente, el LNA no funcionaría. De este modo, se mostrará en primer lugar el resultado final, con el LNA de dos etapas equilibrado y se irá desgranando explicando poco a poco cada una de sus partes.

# 5.1. Layout completo

En la figura 5.1 se muestra el layout final que se ha utilizado para la fabricación del LNA.



Figura 5.1: Layout: LNA equilibrado completo

Se pueden ver que tiene la estructura equilibrada que se explicó en 3.1, con dos ramas idénticas contrapuestas y dos acopladores Branch-Line, además de dos transiciones coplanares para conectorizar el circuito y que se irán explicando a lo largo de este capítulo. Es muy importante que las ramas sean idénticas exactamente para que se mantenga la estructura equilibrada; una mínima diferencia podría deteriorar por completo el funcionamiento del LNA.

## 5.1.1. Layout de la red de entrada

Observando la figura se pueden distinguir las líneas de transmisión generadas para el diseño de esta red:



Figura 5.2: Layout: Red de entrada

Las líneas marrones son el conductor que forma las líneas de transmisión sobre el sustrato. Destacar las dos líneas unidas por un codo que hay a la izquierda de la figura, que se añadieron para poder conectar la red al acoplador. También se observa el condensador de 2pF pegado a la línea de transmisión y una separación de  $200\mu m$  con la línea adyacente. Esto es porque en ese punto se conecta el condensador de desacoplo con un par de hilos de bonding.

También se muestra la red de polarización de entrada con su Stub y los
elementos pasivos también separados  $200 \mu m$  entre sí, por la misma razón que en el caso del condensador de 2pF.

### 5.1.2. Layout de la red inter-etapa

El layout de la red inter-etapa se muestra debajo:



Figura 5.3: Layout: Red inter-etapa

Tanto esta red como la de salida tienen elementos muy similares a los de la red de entrada no hay mucho más que destacar. Las medidas entre elementos y líneas también son de  $200 \mu m$  con la intención de normalizar lo máximo posible.

### 5.1.3. Layout de la red de salida

La red de salida, cuyo layout se sitúa a continuación, ha planteado más dificultades, dada la longitud de una de las líneas de la red de adaptación de salida (algo más de 7 mm).



Figura 5.4: Layout: Red de salida

Como se aprecia en la figura, se tubo que sustituir esa línea tan larga por dos más cortas unidas por un codo y ponerlo de tal forma que entrase todo sin tener que poner líneas demasiado cerca, provocando acoplo a altas frecuencias.

### 5.1.4. Layout de los componentes del diseño

En este apartado no se van a mostrar todos los componentes, ya que durante todo el informe se han ido mostrando muchos de ellos y sería redundante. Concretamente se referencian los siguientes por si se desea echar un vistazo antes de continuar:

- Acopladores
  - ACOPLADOR LANGE: apartado 4.1.1, figura 4.6
  - ACOPLADOR BRANCH-LINE: apartado 4.1.2, figura 4.20

### Condensadores

- 2 pF: apartado 4.2.3.1, figura 4.57
- 5.1 pF: apartado 4.2.3.1, figura 4.59
- 100 pF: apartado 4.2.3.1, figura 4.61
- Resistencias
  - 10  $\Omega$ : apartado 4.2.3.1, figura 4.63
  - 51  $\Omega$ : apartado 4.2.3.1, figura 4.65
  - 1 K $\Omega$ : apartado 4.2.3.1, figura 4.67

#### 5.1.4.1. Layout del Transistor

A continuación se muestra el Layout del transistor diseñado con ADS:



Figura 5.5: Layout: transistor *BFU910* de **NXP** 

Como se explicó en el apartado 2.1, tabla 2.1, este transistor tiene dos contactos para el emisor, que irán conectados a masa, la cual se creará en la primera capa y cada vez que se vaya a conectar algún elemento a ella habrá que hacer un corte en el sustrato. Esto viene indicado en el layout con esa línea blanca. Los contactos de base y colector irán soldados a las líneas de transmisión diseñadas para sus respectivas redes de polarización y a la rama principal del circuito RF, tal y como se observa en la figura 5.6.

El encapsulado tiene unas medidas de 2,2 mm de alto por 2,35 mm de ancho (de contacto a contacto). Todas las dimensiones del transistor están en [2].



Figura 5.6: Layout: conexiones del transistor

#### 5.1.4.2. Layout PCB: conexión DC

En la siguiente figura se verá el layout de la placa PCB al cuál se conectan las redes de polarización para ser alimentadas con DC:



Figura 5.7: Layout: PCB de conexión DC para las redes de polarización

Esta pequeña placa está compuesta, además de las líneas de transmisión que van directamente conectadas a las redes de polarización (capa marrón), diferentes resistencias y condensadores. En concreto, resistencias de  $10\Omega y$ condensadores de 10nF para los colectores y un divisor de tensión x10 con condensadores también de 10nF para las bases. En la tabla 5.1 se enumeran todos los componentes reales que se incluyen en este PCB.

Esta placa, ademas de ser la encargada de alimentar los transistores, también se encarga de protegerlos frente a posibles descargas (de ahí el divisor de tensión).

Componentes reales del PCB					
Función	Encapsulado	Valor	Modelo	Fabricante	
Base voltage divider	Resistor 0402 SMD	$33K\Omega$	CPF0402B10RE1	Multicomp	
Base voltage divider	Resistor 0402 SMD	$270K\Omega$	0402WGF2703TCE	Multicomp	
Collector DC	Resistor 0402 SMD	$10\Omega$	0402WGF3302TCE	Multicomp	
Collector, Base DC	Capacitor 0603 SMD	10nF	C0603C103J3GACTU	Kemet	

Tabla 5.1: Componentes PCB

### 5.1.4.3. Transición de conexión RF

En la figura que se observa a continuación, se representa la transición de línea coplanar a microstrip que conecta la placa con el LNA equilibrado con el exterior.



Figura 5.8: Layout: Transición de línea coplanar a microstrip

Está compuesta básicamente de conductor sobre el sustrato y vías a tierra (círculos azules). Su impedancia características es de  $50\Omega$  y va conectada entre los acopladores Branch-Line y un conector coaxial SMA; una a la entrada y otra a la salida. De esta manera se puede incluir el LNA en los sistemas de comunicaciones para amplificar las señales.

### 5.2. Máscara del diseño

Como se ha explicado en la introducción de este capítulo, la máscara no es más que el layout sin componentes pasivos, transistores ni bonding. Se incluye una imagen a continuación:



Figura 5.9: Máscara del diseño

En el proceso de fabricación, lo primero que se hace es la máscara cortando el sustrato con un láser, eliminando las partes donde no hay conductor y dejando el conductor con la forma de las líneas de transmisión que indica la máscara. Después se hacen las vías y los cortes que se conectan a masa.

Finalmente, para soldar los transistores, los componentes pasivos y los bonding, se necesita el layout completo.

Las dimensiones totales del diseño son: 57,4 mm de ancho por 39,3 mm de alto.

A continuación se muestra la lista completa de todos los componentes utilizados para la fabricación:

# LNA 10 – 14 GHz equilibrado

### Condensadores

Cantidad	Capacidad	Modelo	L = W (mm)
8	5.1 pF	ATC111XCA5R1	1.27
6	2 pF	ATC116TCA2R0B100	0.635
8	100 pF	SC10002430	0.762 = 30 mil

### Resistencias

Cantidad	Resistencia	Modelo	L (mm)	W (mm)
4	10 Ohm	S0302APG100J20	0.762	0.508
6	51 Ohm	S0302APG510J20	0.762	0.508
4	1 kOhm	S0302APG102J20	0.762	0.508

### PCB

Cantidad		Etapa		Valor	Modelo	Fabricante
4	Base voltage divider	1,2	Resistor 0402 SMD	33 kOhm	CPF0402B10RE1	Multicomp
4	Base voltage divider	1,2	Resistor 0402 SMD	270 kOhm	0402WGF2703TCE	Multicomp
4	Drain DC	1,2	Resistor 0402 SMD	10 Ohm	0402WGF3302TCE	Multicomp
8	Collector DC / Base DC	1,2	Capacitor 0603 SMD	10 nF	C0603C103J3GACTU	Kemet

### Transistores

Cantidad	Modelo	Fabricante
4	BFU910	NXP

### **DC Connector**

The DC connector is a multipin D-subminiature (male) -



Frontal view



Rear view



PIN	SIGNAL
1	GND (negro)
2	Vc1-up (marrón)
3	Vb1-up (rojo)
4	Vc2-up (naranja)
5	Vb2-up (amarillo)
6	Vc1-down (verde)
7	Vb1-down (azul)
8	Vc2-down (morado)
9	Vb2-down (gris)



Se muestran algunas fotos del LNA equilibrado fabricado a vista de microscopio:

Figura 5.10: Acoplador Branch-Line fabricado en microstrip



Figura 5.11: LNA completo fabricado en microstrip



Figura 5.12: PCB de polarización del transistor fabricado en microstrip



Figura 5.13: Transición coplanar soldada con estaño

# Capítulo 6 Medidas del LNA Equilibrado

Después del diseño y simulación del LNA equilibrado, se fabrica y se procede a realizar las medidas pertinentes para comprobar el correcto funcionamiento del circuito. En la figura 6.2 se pude observar el puesto de medida en el laboratorio. A lo largo de este capítulo, se detallarán los pasos a seguir para realizar las medidas del amplificador y se compararán con las simulaciones previas. En la figura 6.1 se muestra la imágen del LNA fabricado.



Figura 6.1: Foto del LNA equilibrado fabricado



Figura 6.2: Puesto de medida

# 6.1. Polarización del transistor

Lo primero que se debe hacer es polarizar el transistor para que trabaje en el punto deseado. En el capítulo 2.1, se comentó el punto de polarización óptimo del transistor para conseguir el mínimo ruido:

- Corriente de colector  $(I_c) = 6 \text{ mA}$
- Tensión colector-emisor  $(V_{CE}) = 2$  V

Para ello, se monta el siguiente setup de polarización:



Figura 6.3: Foto del setup utilizado para polarizar el LNA

Los dos equipos de arriba son medidores de corriente que se conectan a los colectores; una a la rama superior (dos transistores) y otra a la inferior (otros dos). De esta manera, cuando se tengan 12 mA de corriente en cada rama (6 mA de un transistor y 6 mA del otro), se tendrá el LNA polarizado en el punto deseado. La doble fuente de tensión tiene dos salidas y se conecta una a los dos colectores de la rama 1 y la otra a los dos colectores de la rama 2. Finalmente, las otras dos fuentes de tensión se encargarán de dar tensión a las bases de los transistores.

En la siguiente tabla se puede ver el valor elegido en cada una de las fuentes de tensión para lograr la corriente de colector deseada:

	Etapa sup.	Etapa inf.
$V_B$	8,4 V	8,18 V
$V_C$	2,77 V	2,77 V
$I_C$	12 mA	12 mA

Tabla 6.1: Punto de polarización real

Se ha polarizado con  $V_C = 2,77V$  para conseguir la especificación que daba el fabricante de  $V_C = 2V$ . Esto se debe al consumo añadido de los elementos pasivos.

Una vez que se ha polarizado el transistor y se comprueba que no hay ninguna inestabilidad que lo haga oscilar, se procede a realizar la medida de ruido.

## 6.2. Medida de ruido

En este apartado se detallarán las medidas de ruido y ganancia realizadas con un analizador de ruido: **NFA Series Noise Figure Analyzer N8975A** de *Agilent* el cuál funciona en el siguiente rango de frecuencias: 10 MHz - 26,5 GHz.

Para entender cómo el analizador realiza la medida de ruido, se explican algunos conceptos en los apartados sucesivos.

### 6.2.1. Linealidad de la potencia de ruido

La medida de la figura de ruido con este tipo de analizadores depende de una característica fundamental en los dispositivos de dos puertos: la linealidad del ruido. La potencia de ruido a la salida depende de manera lineal de la potencia de ruido a la entrada o de la temperatura de ruido (ver figura 6.4). Si se conoce la pendiente de esta recta y un punto de referencia  $(N_a)$  que se toma al calibrar, se puede encontrar la potencia de salida correspondiente.



Figura 6.4: Recta de la potencia de salida vs la temperatura característica de los dispositivos lineales de dos puertos

### 6.2.2. Fuentes de ruido

Una manera de determinar la pendiente de ruido es aplicando dos niveles diferentes de ruido a la entrada y medir el cambio de potencia a la salida (ver ecuación 2.3). Una fuente de ruido es un dispositivo que proporciona estos dos niveles de ruido conocidos. Las más comunes consisten en un diodo que cuando está polarizado inyecta ruido en el sistema y cuando no lo está se comporta como una carga a temperatura ambiente.

La fuente de ruido que se utiliza es la N4000A, también de Agilent. Tiene una **ENR** nominal de 6 dB y funciona desde 10 MHz hasta 18 GHz. ENR significa 'Excess Noise Ratio' (relación de exceso de ruido) y en dB es la diferencia entre  $T^{ON}$  y  $T^{OFF}$  dividido entre 290K:

$$ENR_{dB} = 10\log\left(\frac{T^{ON} - T^{OFF}}{T_0}\right) \tag{6.1}$$

Cuando se van a realizar medidas de ruido pequeñas (como es el caso de un LNA) interesa que el ENR sea lo más pequeño posible, para que los dos puntos conocidos que se generan con la fuente estén más cerca entre sí en la recta de la figura 6.4, aumentando la precisión en la medida. Además, la ventaja de este tipo de fuentes es que son 'inteligentes' y traspasan su valor de ENR al NFA directamente. En las fuentes más antiguas hay que introducir una tabla con parámetros de ruido externamente.

### 6.2.3. Factor Y

Este analizador realiza la medida de ruido y de ganancia, aunque lo que interesa en este caso es el ruido, ya que la ganancia se medirá de manera más precisa con la medida de Scattering. Para ello se basa en el **factor Y**, el cuál se explicará a continuación. No obstante se puede encontrar una explicación más detallada en [4].

El factor Y es el método que utiliza internamente el analizador de ruido para realizar la medida y viene dado por la siguiente expresión:

$$Y = \frac{N^{ON}}{N^{OFF}} = T^{ON} T^{OFF}$$
(6.2)

 $N^{ON}$  = Potencia de ruido con la fuente de ruido encendida  $N^{OFF}$  = Potencia de ruido con la fuente de ruido apagada  $T^{ON}$  = Temperatura de ruido con la fuente de ruido encendida  $T^{OFF}$  = Temperatura de ruido con la fuente de ruido apagada

**Calibración:** se realiza la calibración y se configura el equipo para la medida. En la calibración, el equipo internamente está aplicando la fórmula de Friis de la siguiente manera:

$$F = \frac{S_i/N_i}{S_o/N_o} = \frac{S_i/N_i}{GS_i/(N_a + GN_i)} = \frac{N_a + GN_i}{GN_i}$$
(6.3)

Donde,

 $S_i/N_i$ : Señal a ruido a la entrada  $S_o/N_o$ : Señal a ruido a la salida G: Ganancia del DUT (en este caso el LNA)  $N_a$ : Ruido añadido por el DUT.

Como se vio en la figura 6.4,  $N_i = kT_0B$ . Entonces:

$$F = \frac{N_a + GkT_0B}{GkT_0B} \tag{6.4}$$

Teniendo en cuenta que Friis define la figura de ruido del sistema como:

$$F_{sys} = F_1 + \frac{F_2 - 1}{G_1} \tag{6.5}$$

Υ,

$$F_{sys} = \frac{P_{gen}}{kT_0B} = \frac{N_o}{kT_0BG} \tag{6.6}$$

Se llega a:

$$F_1 = F_{sys} - \frac{F_2 - 1}{G_1} \tag{6.7}$$

Donde,

 $F_1$ : Potencia de ruido del DUT  $F_{sys}$ : Medida del ruido total  $F_2$ : Medida de ruido sin el DUT (en la **calibración**)  $G_1$ : La calcula el sistema durante la medida como:

$$G_1 = \frac{N_2' - N_1'}{N_2 - N_1} \tag{6.8}$$

Con,

 $N_1$ : Fuente de ruido OFF sin el DUT (calibración)

 $N_2$ : Fuente de ruido ON sin el DUT

 $N'_1$ : Fuente de ruido OFF con el DUT

 $N_1^\prime:$ Fuente de ruido ON con el DUT



Figura 6.5: Esquema de calibración del analizador N8975A

En este punto es importante activar unos atenuadores internos que tiene el equipo para que, en caso de que la potencia de las señales medidas sea muy alta, no se sature. El analizador incluye estos atenuadores automáticamente a medida que detecta la potencia de las señales de entrada. Al incluir estos atenuadores, durante la calibración el equipo realiza dos barridos extra: uno con ATT = 0 dB y otro con ATT = 15 dB.

También se debe tener en cuenta la fluctuación o *jitter* del ruido (ver figura 6.6). Por eso se configura en el equipo un promedio: Average = 16, que lo que hace es tomar muestras durante un periodo de tiempo y calcular la media. Esto introduce un error de medida pero para nuestro caso es despreciable.



Figura 6.6: 'Jitter' del ruido

Medida: en la figura 6.7 se observa el setup de medida de ruido utilizado.



Figura 6.7: Puesto de medida de ruido

La medida de ruido realizada para el punto de polarización descrito en la tabla 6.1 se muestra en la figura 6.8. Con este analizador, las medidas que se

realizan se guardan en un archivo .csv que se abre desde Excel. Una vez se obtiene el Excel, se crea la gráfica con todos los datos.



Figura 6.8: Gráfica Excel con las medidas de ruido

Se han elegido ejes verticales con escalas diferentes para poder apreciar bien la forma de la representación de las medidas. Se comparan los valores de ruido obtenidos al medir con los que se obtenían en la simulación en la tabla 6.2.

	Simulación	Medidas
10GHz	1,220	2,318
12GHz	1,271	1,820
14GHz	1,203	2,55

Tabla 6.2: Ruido: comparación entre simulación y medidas

Se observa una diferencia bastante significativa entre la simulación y el circuito real, obteniendo incluso el doble de ruido a las frecuencias de 10 y 14 GHz. A 12 GHz se obtiene la menor diferencia. En la siguiente figura se muestra una gráfica en la que se representan las medidas de ruido y la simulación en ADS:



Figura 6.9: Gráfica Excel comparando las medidas de ruido con la simulación

La diferencia se debe a que el modelo del transistor proporcionado por el fabricante para simulación es muy optimista, teniendo un peor rendimiento real que simulado (lo cuál es bastante habitual, por otra parte). Seguramente, a parte del modelo del transistor, también tendrán que ver algunos modelos de resistencias, condensadores, etc. Y no se debe olvidar que durante el proceso de fabricación también hay un error de precisión que penaliza el funcionamiento.

Los resultados de la medida se intentaron mejorar variando el punto de polarización del transistor, pero no resultó determinante.

## 6.3. Medida de parámetros de Scattering

La siguiente medida que se ha realizado ha sido la de parámetros de Scattering del LNA equilibrado. Para ello, se ha utilizado un analizador de redes: **PNA-X Network Analyzer N5242A** también de *Agilent*. Para esta medida se ha elegido la siguiente configuración:

- Stymulus/Sweep/Sweep type: 1GHz 25GHz, 251puntos
- Potencia de entrada: -25dBm
- IF Bandwidth: 100MHz

**Calibración:** al igual que en la medida de ruido, en este caso también hay que realizar una calibración para establecer los planos de medida en los extremos de los cables de RF que se conectarán directamente al amplificador. Hay diferentes métodos pero el más utilizado es el **SOLT**, que son unas siglas que significan: Short, Open, Load y Thru. Es decir, se calibra conectando en los puertos 1 y 2 del analizador diferentes estándares desarrollados por el propio fabricante que son: un cortocircuito, un abierto, una carga adaptada y conexión directa (thru) de la entrada a la salida. Además, el cable utilizado es un coaxial estable en fase con conectores 3,5 mm.

El kit de calibración proporcionado por Agilent es el 85052Cy se muestra a continuación:



Figura 6.10: Vista 1 del kit de calibración 85052C de Agilent

**Medida:** una vez realizada la calibración se conecta el LNA para medirlo. En la figura 6.11 se observa el setup preparado para esta medida:



Figura 6.11: Puesto de medida de Scattering

Los resultados de las medidas se generan en un fichero .S2P que se introduce en un esquemático de ADS y se realiza una simulación de la medida del analizador, obteniéndose lo siguiente:



Figura 6.12: Medida proporcionada por el analizador representada en ADS

Se ve claramente que el diseño se ha desplazado -1.5 GHz en frecuencia. Entrando en un poco más de nivel de detalle, se compara el  $S_{21}$  de las medidas con el de la simulación.



Figura 6.13: Ganancia medida vs simulación representada en ADS

Se observa que la ganancia medida es entorno a 2 dB más baja y además en 14 GHz se ca. El ancho de banda de funcionamiento del LNA es mucho menor que lo simulado.



Figura 6.14: Adaptación medida vs simulación representada en ADS

Comparando la adaptación simulada con la medida se aprecia que cumple el objetivo inicial de ser menor que -10 dB, pero empeora más que en la simulación a medida que aumenta la frecuencia.

En la siguiente tabla se muestra una comparación de la ganancia:

	Simulación	Medidas
10GHz	$19{,}968~\mathrm{dB}$	$21,\!967~\mathrm{dB}$
12GHz	$19,338 \mathrm{~dB}$	$22{,}737~\mathrm{dB}$
14GHz	$15,201 \mathrm{~dB}$	$21{,}620~\mathrm{dB}$

Tabla 6.3: Ganancia: comparación entre simulación y medidas

Al igual que en el caso del ruido, se probaron diferentes puntos de polarización de los transistores sin obtener una mejora sustancial, por lo que no se detallan en la memoria.

### 6.4. Medida de Compresión: P1dB

El punto de compresión a 1 dB se define como el punto en la curva de ganancia del dispositivo tal que la potencia aplicada a la entrada, hace que a la salida se tenga una potencia que es 1 dB inferior a la que habría si el dispositivo fuese "infinitamente lineal". Dicho de otra manera, si la ganancia del dispositivo en pequeña señal (en zona lineal) es de X dB, la ganancia cuando se alcanza el punto de compresión a 1 dB será de (X-1) dB. Este parámetro aporta información sobre cómo de lineal es el dispositivo.

Para la medida de compresión o  $P_{1dB}$  del LNA equilibrado se ha utilizado el analizador de redes N5442A de Agilent utilizado también para la medida de Scattering, por lo que no ha sido necesario re-calibrar el equipo.

En este caso la configuración del equipo ha sido la siguiente:

- Stymulus/Sweep/Power sweep: -40dBm 0dBm
- Frecuencia:

 $f_1 : 10GHz$  $f_2 : 12GHz$  $f_3 : 14GHz$ 

• IF Bandwidth: 100MHz

Se muestran las medidas en la siguiente figura:



Figura 6.15: Medidas de compresión del LNA equilibrado

En primer lugar, destaca la medida a 12 GHz, ya que es a la frecuancia en la que el LNA muestra un comportamiento más lineal.

En segundo lugar, la medida a 10 GHz es muy similar a la anterior, aunque con un comportamiento un poco menos lineal, cayendo la frecuencia rápidamente una vez alcanzado el punto de compresión.

Por último se observa que la medida de ganancia más baja se mide a 14 GHz. No obstante, en la medida realizada a esa frecuencia el LNA comprime antes que a 12 GHz pero ligeramente más tarde que a 10 GHz.

A continuación se muestra una tabla resumen del punto de compresión medido a cada una de las frecuencias:

	$P_{1dB}$
10GHz	-15,013 dBm
12GHz	-11,931 dBm
14GHz	-14,880 dBm

Tabla 6.4: Compresión: comparación entre las medidas realizadas a las diferentes frecuencias

# Capítulo 7 Conclusiones

En este trabajo se presenta el diseño, simulación y fabricación de un LNA equilibrado para la banda de 10 a 14 GHz.

Tras la elección del transistor y del sustrato, se ha diseñado el acoplador y un LNA de dos etapas en tecnología MIC. El LNA se ha optimizado para su fabricación de manera individual y después se ha optimizado la estructura equilibrada completa, incluyendo los dos acopladores (uno a la entrada y otro a la salida) y las dos ramas de amplificación en paralelo.

Siguiendo las etapas de diseño planteadas en la introducción de este informe (capítulo 1) y teniendo en cuenta los objetivos de diseño y los resultados obtenidos, se concluye que:

- Las medidas realizadas con el LNA equilibrado fabricado en el departamento indican que el LNA funciona razonablemente bien, pero su banda de frecuencias se ha visto desplazada algo más de 1 GHz. El funcionamiento es el esperado en la banda de 9 GHz - 13 GHz, donde se cumplen en mayor o menor medida los objetivos planteados. No obstante, las prestaciones del amplificador se ven deterioradas en la banda de 13 GHz - 14 GHz.
- Se pierde ancho de banda de funcionamiento, empeorando en alta frecuencia respecto a la simulación.
- En la banda de 9 GHz a 13 GHz se ha conseguido una **ganancia** media de 19, 5*dB*, llegando a superar los 20*dB* objetivo @10,5 GHz.
- En cuanto a la **figura de ruido**, también se ha visto desplazada de la misma manera y además es bastante peor de lo simulado, llegando a ser el doble en algunas frecuencias determinadas. Solamente se cumple el objetivo (< 2dB) en la banda 12GHz 13 GHz.

### CAPÍTULO 7. CONCLUSIONES

• La adaptación tanto de entrada como de salida ha sido sin duda el objetivo que más fácilmente se ha alcanzado, a pesar del desplazamiento en frecuencia, llegando a cumplirse el objetivo de -10dB en prácticamente toda la banda de trabajo. Solamente se queda sin cumplirse la adaptación de salida @14 GHz, donde toma el valor de -9, 2dB.

Tratando de buscar una explicación al desplazamiento en frecuencia del diseño, se han realizado medidas sobre el LNA equilibrado real con la ayuda de un microscopio (ver figuras 7.2 y 7.3), donde se ha visto que:

- Los hilos de bonding tienen un error de medida en la fabricación bastante grande, llegando incluso a una longitud mayor de  $300\mu m$  que los simulados (medida aproximada ya que los hilos tienen curva y se han medido como si fueran una recta, ver figura 7.2), lo cual introduce un comportamiento inductivo mayor del deseado en el circuito.
- Las dimensiones de las líneas también tienen un pequeño error debido a las herramientas de diseño, pero se ha simulado y se ha visto que es despreciable.
- En esta topología, es muy importante que las ramas superior e inferior sean idénticas, pero con las herramientas de fabricación disponibles es algo muy difícil de conseguir.

Se ha repetido la simulación introduciendo los errores inherentes a las herramientas de fabricación y se ha visto que la ganancia también cae a una frecuencia más baja como ha pasado en las medidas (ver figura 6.13).



Figura 7.1: Simulación: ganancia del LNA con los errores de fabricación introducidos (rojo) y sin ellos (rosa)

### CAPÍTULO 7. CONCLUSIONES

El modelo del transistor que facilita el fabricante es demasiado optimista, ofreciendo un comportamiento real anómalo a medida que se aumenta la frecuencia. Se han visto en el departamento más proyectos con este transistor en los que se ha visto que el comportamiento real no es tan bueno como el modelo de ADS, pero en este caso no se ha podido demostrar.



Figura 7.2: Medida tomada sobre el LNA real con un microscopio



Figura 7.3: Medida tomada sobre el LNA real del stub de la red de salida

# 7.1. Líneas futuras

En cuanto a las líneas futuras de investigación, la primera de ellas se tratará de corregir el desplazamiento de frecuencia que se ha producido en el circuito real. Para ello, se podrían realizar hilos más cortos o, incluso, varios en paralelo, reduciendo así la inductancia. No se ha realizado por falta de tiempo.

Una vez corregido el desplazamiento en frecuencia, otra de las líneas futuras de investigación podría ser el diseño del LNA equilibrado con tres etapas de amplificación, mejorando los resultados de ganancia, aunque aumentando el coste y el consumo.

Otra posible vía de investigación sería intentar aumentar el ancho de banda del diseño. Para ello es posible que hubiera que modificar el acoplador.

# Referencias

- G. GONZÁLEZ. Microwave transistor amplifiers. Analysis and Design, 2nd. Ed. Pearson, August 1996.
- [2] Catalog No. BFU910F, NPN wideband silicon germanium RF transistor, NXP Semiconductors, Eindhoven, NLD.
- [3] 'Parámetros de Scattering' class notes for G833, Department of Communications Engineering, University of Cantabria, 1st quarter 2016-17.
- [4] AGILENT, Appl. Note AP 57-1, pp. 13-15.
- [5] 'Diseño de amplificadores de microondas a transistor. Estabilidad.' class notes for G1482, Department of Communications Engineering, University of Cantabria, 2nd quarter 2016-17.
- [6] Catalog No. CLTE-XT, *CLTE-XT Laminates Data Sheet*, Rogers Corporation, Chandler, Arizona, USA.
- [7] Microwaves101 Encyclopedia, https://www.microwaves101.com/encyclopedias/lange-couplers
- [8] Microwaves101 Encyclopedia, https://www.microwaves101.com/encyclopedias/branchline-couplers
- [9] I. A. GLOVER, S. R. PENNOCK AND P. R. SHEPHERD. Microwave devices, circuits and subsystems for communications engineering, 1st. Ed. John Wiley and Sons, Ltd, December 10, 2007.