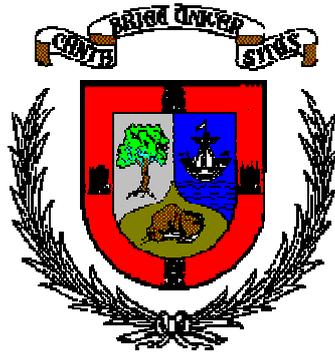


UNIVERSIDAD DE CANTABRIA

Departamento de Ingeniería de Comunicaciones



TESIS DOCTORAL

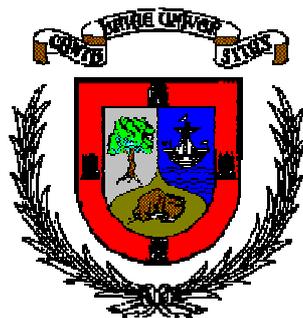
Estudio, Caracterización y Modelado Avanzado
de los Efectos Térmicos y Trampa en los
Transistores MESFET y HEMT de Microondas

Mohamed Chaibi

Santander, Octubre de 2009

UNIVERSIDAD DE CANTABRIA

Departamento de Ingeniería de Comunicaciones



TESIS DOCTORAL

Estudio, Caracterización y Modelado Avanzado
de los Efectos Térmicos y Trampa en los
Transistores MESFET y HEMT de Microondas

Tesis doctoral presentada por Mohamed Chaibi
para optar al título de Doctor por la Universidad de Cantabria, Doctorado
en Tecnologías de la Información y Comunicaciones en Redes Móviles

Autor: Mohamed Chaibi

Director: Tomás Fernández Ibáñez

Santander, Octubre de 2009

Certificado del Director de la Tesis

D. Tomás Fernández Ibáñez, Profesor Titular de Universidad del Departamento de Ingeniería de Comunicaciones de la Universidad de Cantabria

HACE CONSTAR:

Que el trabajo titulado “*Estudio, Caracterización y Modelado Avanzado de los Efectos Térmicos y Trampa en los Transistores MESFET y HEMT de Microondas*” presentado por D. Mohamed Chaibi, para optar al título de Doctor por la Universidad de Cantabria, Doctorado en Tecnologías de la Información y Comunicaciones en Redes Móviles, ha sido realizado en el Departamento de Ingeniería de Comunicaciones de la Universidad de Cantabria bajo su dirección y que reúne las condiciones exigidas a los trabajos de Doctorado.

Santander, Octubre de 2009

Fdo. : Tomás Fernández Ibáñez

A mi familia.

A mi querida Hala.

Agradecimientos

Esta tesis ha sido el fruto de mucho trabajo y mucho tiempo pero solo ha sido posible gracias a la invaluable ayuda de muchas personas, y sea éste mi reconocimiento hacia ellas.

En primer lugar me gustaría expresar mi más profundo agradecimiento a los profesores Ángel Mediavilla, Antonio Tazón y Tomás Fernández por brindarme en su día la oportunidad de entrar a formar parte del Departamento de Ingeniería de Comunicaciones, así como por su ayuda y buenos consejos desde el primer día de contacto con la Universidad Abdelmalek Essaadi de Tetuán hasta este momento. Siempre he sentido que cuento con su confianza y apoyo. Durante todas mis estancias en Santander se han preocupado en todo momento por mi mantención aquí en excelentes condiciones y por mis interminables papeleos y trámites administrativos, y por eso vuelvo de nuevo a expresarles mi más sincero agradecimiento. Al mismo tiempo mi más sincero agradecimiento a los profesores Mohamed Bousouis y Mohamed Aghoutane por ofrecerme la oportunidad de estar en esta universidad, por su ayuda y confianza.

En segundo lugar quiero agradecer otra vez a Tomás Fernández, ahora como mi director de tesis, por prestarme toda la ayuda y atención del mundo, siempre rebosante de buen humor y de generosidad. Me deja el recuerdo de haber conocido a una gran persona que destaca por su brillantez científica y profesional y una gran calidad humana. Muchas gracias por todo.

Mis agradecimientos a Joe Rodríguez-Tellez por su ayuda y consejos.

También un agradecimiento especial a todos los miembros del departamento, especialmente a José Angel García, José M^a Zamanillo, Alicia Casanueva, Constantino Pérez, Eduardo Artal, Oscar, Lorena, Juan Luís, Sandra, Eva, Santiago, Yolanda, Justo y Guillermina por sus ayudas.

Gracias a todos mis amigos y compañeros de Santander, especialmente, Tribak, Serroukh, Khalid, Fouad, Alberto, Naima, Asmae, Kaoutar, Latifa, Teofilo, Reinel, Enrique, Beatriz y a todos los que no puedo nombrar uno a uno. Ha sido un placer de pasar con todos vosotros momentos inolvidables.

Gracias a todos mis amigos y compañeros de Marruecos que han sido siempre como mis hermanos, sois tantos y todos tan buena gente que no os puedo nombrar uno a uno. Siempre recordaré los momentos que hemos pasado juntos.

Un agradecimiento especial a mis amigos Jose Antonio y Juana por su infinita amabilidad, por sus apoyos y ayudas, por considerarnos a mí y a mi mujer miembros de su familia. Siempre recordaré los viajes compartidos, y digo que han sido momentos muy divertidos.

Quiero dar mis profundas gracias a toda mi familia por el apoyo moral y logístico. A mis padres por su continuo esfuerzo, apoyo y educación. Ellos son el auténtico origen de este trabajo porque si estoy aquí es gracias a ellos. No me quiero olvidar de mis hermanos y hermanas y mis abuelos que han estado y siguen estando siempre a mi lado.

Mis especiales agradecimientos a Hala, mi mujer mi amiga y mi compañera. Siempre conté con su apoyo y su comprensión. Gracias cariño por todo. Sé que siempre estarás a mi lado, y puedo contar contigo para todo.

Resumen

En este trabajo se presenta un nuevo modelo no lineal para transistores MESFET y HEMT que es capaz de tener en cuenta los efectos térmicos y trampa presentes en estos dispositivos. El modelo, junto con una topología circuital adecuada y un proceso específico de extracción, permite reproducir el comportamiento del dispositivo a un rango determinado de temperatura externa bajo las siguientes condiciones de funcionamiento: régimen estático (DC), régimen pulsado desde cualquier punto de polarización y régimen dinámico RF pequeña y gran señal. Una de las aportaciones originales de este modelo, y quizá más novedosa, es la forma en la que se lleva a cabo el modelado de la fuente de corriente I_{ds} puesto que en el mismo se reflejan en gran parte las deficiencias debidas a los efectos térmicos y trampa. La ecuación del modelo propuesto de esta fuente de corriente toma como base cualquier modelo DC existente sin alterar su comportamiento en este régimen de funcionamiento, obteniéndose los valores de sus parámetros a partir de las características I/V DC y pulsadas llevadas a cabo en unos puntos determinados de polarización. Por otro lado se presenta una estrategia para la extracción de los valores de los elementos del modelo lineal (la versión lineal del modelo no lineal propuesto). Este proceso conocido como extracción lineal multibias es muy importante para el estudio y el modelado de la variación de los elementos del modelo tanto con la polarización como con la temperatura.

Previamente a la presentación del modelo propuesto, se lleva a cabo un estudio cuyo objetivo es poner en evidencia los efectos térmicos y trampa así como su caracterización lo que, de un lado, permite conocer la influencia de estos efectos sobre el comportamiento del transistor y, de otro lado, obtener toda la información útil y necesaria para su modelado.

Como validación de la nueva aproximación de modelado presentada se han llevado a cabo simulaciones en ADS (Advanced Design System) que mediante comparaciones con resultados experimentales (medidas DC, medidas pulsadas, medidas de parámetros de Scattering, medidas Pin/Pout) ponen de manifiesto la precisión del modelo obtenido. Las comparaciones se han llevado a cabo para diferentes dispositivos de distintas tecnologías (GaAs MESFET/HEMT, GaN HEMT).

Abstract

“Study, Characterisation and Advanced Modelling of Trapping and Thermal Effects in MESFET and HEMT Microwave Transistors”

In this thesis, a new nonlinear model of MESFET and HEMT transistors able to take into account thermal and traps effects shown in this kind of devices has been presented. The model, along with an electric equivalent circuit and an especial extraction process strategy, can accurately predict the DC, pulsed (for different bias point) as well as the small and large signal behaviour of the device over a large range of ambient temperature. To model drain to source I_{ds} current source we start with a known DC equation but the approach can be applied to any other existing classical model without altering its behaviour. The model parameters values are extracted from the DC and pulsed I/V characteristics carried out just at a few bias points. In addition, an extraction technique of the model small signal version, using a multi-bias extraction technique has been presented too. This technique is very important for the study and the modelling of the variation of the model elements with bias and temperature.

In the other hand, and previously to the presentation of the model, the characterization of thermal and traps effects is presented. This allows us to know the influence of these effects on the transistor behaviour, and to obtain all the necessary information for the modelling.

The described model has been easily implemented into the ADS (Advanced Design System) nonlinear simulator without any convergence problem. The approach validity is verified through comparisons between simulations and measurements of DC and pulsed I/V characteristics, Scattering parameters, and Harmonic balance. The good agreement between measurements and simulations, for different devices and technologies (GaAs MESFET/HEMT, GaN HEMT), verifies the high quality of the proposed approach.

Índice General

Certificado del Director de la Tesis.....	ii
Agradecimientos	iv
Resumen	vi
Abstract	vii
Índice General.....	viii
Capítulo I: Introducción y Objetivos.....	1
I. Introducción general.....	2
II. Estructura general de la tesis.....	5
Referencias	8
Capítulo II: Transistores MESFET y HEMT: Funcionamiento y Modelado.....	9
I. Introducción	10
II. El transistor GaAs MESFET/HEMT	13
III. El transistor GaN HEMT	16
IV. Modelado de los transistores MESFET y HEMT	18
IV.1 Modelado eléctrico de los transistores MESFET y HEMT.....	20
IV.1.1 Modelo lineal “pequeña señal”	21
IV.1.2 Modelo no lineal “gran señal”	22
V. Conclusiones.....	24
Referencias	26
Capítulo III: Caracterización de los Efectos Térmicos y Trampa en los Transistores MESFET y HEMT	29
I. Introducción	30
II. Sistema de medida pulsada	32
II.1 Principio de medida pulsada.....	32
II.2 Gestión de los efectos térmicos en la medida pulsada.....	36

II.3 Problema del auto-calentamiento dentro de los pulsos.....	39
III. Caracterización de los efectos trampa en los transistores MESFET y HEMT	40
III.1 Concepto de trampa.....	40
III.2 Efecto gate-lag.....	41
III.3 Efecto drain-lag	43
III.4 Colapso de corriente	45
IV. Interpretación física de los efectos trampa	49
IV.1 Mecanismo físico del fenómeno gate-lag.....	49
IV.2 Mecanismo físico del fenómeno drain-lag.....	50
IV.3 Fenómeno de “self-backgating”	50
V. Dependencia de los estados trampa con la iluminación y la temperatura	51
VI. Reducción de los efectos trampa	55
VII. Impacto de la temperatura sobre el comportamiento del transistor	57
VIII. Conclusiones.....	63
Referencias	64

Capítulo IV: Modelado de los Efectos Térmicos y Trampa en los Transistores MESFET y HEMT

I. Introducción	74
II. Técnicas de modelado de los efectos trampa.....	74
II.1 Técnica de backgate (self-backgating)	74
II.2 Modelado utilizando la medida pulsada	77
II.2.1 Modelado con doble fuente	77
II.2.2 Modelado con una fuente única.....	79
III. El nuevo modelo propuesto	82
III.1 Topología circuital.....	82
III.2 Descripción del modelo.....	83
III.2.1 Modelado de la fuente de corriente I_{ds}	83
III.2.1.1 Modelado de los efectos trampa	83
III.2.1.2 Modelado de los efectos térmicos	86
III.2.1.3 Extracción de los parámetros del modelo.....	87
III.2.1.4 Validación del modelo.....	90
III.2.1.5 Mejora del modelo presentado	97
III.2.1.6 Generalización del modelo	103

III.2.2 Modelado de las fuentes de corriente I_{gs} e I_{gd}	110
III.2.3 Modelado de las capacidades no lineales C_{gs} y C_{gd}	112
III.3 Modelo pequeña señal	115
III.3.1 Determinación de los valores de los elementos del modelo	116
III.3.1.1 Los elementos intrínsecos.....	116
III.3.1.2 Los elementos extrínsecos	119
A. Las resistencias: R_g , R_s y R_d	121
B. Las inductancias: L_g , L_s y L_d	121
C. Las capacidades: C_{pg} y C_{pd}	121
D. Extracción de los elementos del encapsulado: L_{pg} , L_{pd} y C_{pgd}	122
III.3.1.3 Determinación de los valores óptimos de los elementos extrínsecos.....	123
III.3.2 Validación del modelo.....	125
III.3.3 Dependencia del modelo con la temperatura.....	132
IV. Conclusiones	135
Referencias	137
Capítulo V: Simulaciones y Resultados Experimentales	140
I. Introducción	141
II. Validación del modelo para el transistor MGF1923.....	142
II.1 Simulación en régimen de DC	146
II.2 Simulación en régimen de pulsada	147
II.3 Simulación en RF pequeña señal	149
II.4 Validación gran señal.....	153
III. Validación para el transistor 8x75 μ m GaN HEMT.....	155
III.1 Simulación en régimen de DC.....	156
III.2 Simulación en régimen pulsado.....	158
IV. Conclusiones	160
Referencias	162
Capítulo VI: Conclusiones y Perspectivas Futuras	163
I. Conclusiones	164
II. Perspectivas futuras	167
Publicaciones del Autor	168

Capítulo I

Introducción y Objetivos

I. Introducción general

Los sistemas de telecomunicaciones modernos han sufrido desde hace varios años un avance importante. En un principio, las necesidades militares fueron el motor fundamental del auge de la investigación y el desarrollo pero, en la actualidad, las aplicaciones civiles (telefonía móvil, Internet, sistemas de posicionamiento y seguimiento, comunicación por satélite, etc.) han tomado el relevo. La industria de las tecnologías de hiperfrecuencia siempre ha acompañado este desarrollo. Por ello, los circuitos electrónicos de radiofrecuencia (RF) y microondas (amplificadores de bajo ruido, amplificadores de potencia, mezcladores, osciladores, etc.) responden a las exigencias de integración, coste y fiabilidad. Estas calidades se basan en gran parte en la utilización de circuitos integrados monolíticos de microondas (MMIC). Si esto es cierto, la situación hoy en día ha llegado a un momento crítico porque tanto las aplicaciones civiles como militares abarcan una amplia banda frecuencial de operación, debido al uso intenso de las bandas habituales, desde cientos de MHz a decenas de GHz que requieren amplificadores de alta potencia basados en materiales que trabajan a altas frecuencias y que entregan una densidad de potencia muy importante.

Un material apropiado para aplicaciones de alta potencia debe poseer buenas propiedades térmicas y de transporte eléctrico, un voltaje de ruptura elevado, así como gran estabilidad térmica y química. En el campo de los transistores de efecto campo (Field Effect Transistor: FET), MESFET (Metal Semiconductor Field Effect Transistor) y HEMT (High Electron Mobility Transistor), el material que ha sido y sigue siendo aún predominante es el arseniuro de galio (GaAs); sin embargo, este material con banda prohibida (*gap*) estrecha presenta una importante limitación para trabajar con altas densidades de potencia y altas temperaturas, por lo que se buscan nuevas soluciones en semiconductores con *gap* más ancho, como el diamante, carburo de silicio SiC y el nitruro de galio GaN. Estos semiconductores tienen mayor estabilidad térmica y tensión de ruptura, lo que les hace muy atractivos como posibles candidatos para dichas aplicaciones. En la tabla I.1 se presenta una comparación de los distintos valores de los parámetros clave entre distintos semiconductores, como son la movilidad (μ), la

velocidad de saturación (V_{sat}), el campo eléctrico de ruptura (E_{BD}), la constante dieléctrica (ϵ), la conductividad térmica (K) y la energía del *gap* (E_g). Como se puede observar en esta tabla, los competidores del GaAs son el GaN y el SiC [1,2].

	E_g (eV)	μ ($cm^2/V.s$)	V_{sat} ($10^7 cm/s$)	E_{BD} (MV/cm)	ϵ	K (W/K.cm)
<i>GaAs</i>	1.43	5000	2	0.4	13.1	0.54
<i>GaN</i>	3.42	900	2.5	3.3	9	1.3
<i>4H-SiC</i>	3.26	700	2	2	10	4.5

Tabla I.1: *Propiedades básicas de los semiconductores utilizados en la fabricación de transistores de potencia.*

El SiC fue uno de los primeros semiconductores de *gap* ancho estudiado, sobre todo para aplicaciones de alto voltaje [3]. La estabilidad térmica y química, campo de ruptura y anchura del *gap* del SiC son similares a los del GaN, sin embargo, el hecho de que el GaN permita una tecnología de heterounión (con sus ternarios AlGaIn e InGaIn), hace de este material semiconductor la opción más atractiva para el desarrollo de transistores HEMT que operen a altas potencias, temperaturas y frecuencias. Otra de las ventajas del GaN frente al SiC reside en las características de transporte de los electrones (la movilidad de electrones típica en SiC a 300K es de $700 cm^2/V.s$ frente a los $1000-2000 cm^2/V.s$ obtenidos en AlGaIn/GaN [4]).

Teóricamente el GaN cubre todas las necesidades anteriormente citadas; ésto se consigue gracias a la combinación de un *gap* ancho y la capacidad de obtener simultáneamente en heteroestructuras AlGaIn/GaN alto voltaje de operación y alta densidad de corriente. Además hay que señalar que la elevada estabilidad química y térmica de los nitruros permite a estos dispositivos trabajar en ambientes agresivos, y a mayores temperaturas que otros semiconductores clásicos. Sin embargo, a pesar de los valores récord obtenidos, éstos distan mucho aún a los predichos mediante cálculos teóricos. Dos son las razones principales de esta discrepancia. Por un lado, la calidad del

material, debido fundamentalmente a la falta de un sustrato adecuado para el crecimiento de GaN. La falta de sustrato de GaN hace necesario el crecimiento utilizando sustratos (zafiro, SiC o Si) lo que hace introducir concentración residual de impurezas. Por otro lado, la poca madurez del procesado tecnológico (contactos óhmicos, barreras Schottky, limpiezas de superficies,...) hace que parámetros tan importantes como resistencias de contactos y corrientes de fugas estén limitando las características potenciales de estos dispositivos.

Los transistores MESFET y HEMT, tanto los basados en GaAs como en GaN, presentan una serie de limitaciones que deberían ser superadas, sobre todo en lo referente a los efectos térmicos y trampa. Además, en el caso de los dispositivos GaN es necesario aun más un estudio más profundo de la fiabilidad a largo plazo, y mejora del control térmico del dispositivo.

Los efectos trampa son unos de los desafíos más importantes para alcanzar la madurez de estos dispositivos; estos efectos se manifiestan como una diferencia entre sus características corriente-tensión (I/V) dinámicas y continuas (DC). Esta diferencia se traduce en dispersión o colapso de la corriente que conduce a una diferencia importante entre la potencia estimada bajo condiciones de DC y la que luego se obtiene experimentalmente cuando el dispositivo está operando en radio frecuencia. El origen de esa diferencia se encuentra en los estados energéticos trampa existentes tanto en los niveles profundos como superficiales que puedan capturar y librar electrones. De hecho, al aplicar una señal RF al transistor, el canal del mismo responde a la variación de dicha señal, sin embargo, las constantes de tiempo de las trampas son lo suficientemente altas como para que los electrones atrapados no puedan seguir la señal RF y, por lo tanto, sin participar en la conducción limitándose la corriente del transistor. También las trampas afectan a la respuesta instantánea del transistor cuando se cambian bruscamente las tensiones de control del mismo, con la aparición de fenómenos transitorios (retrasos) en esa respuesta. Estos retrasos son conocidos como *gate-lag* y *drain-lag*. Además de los efectos trampa, las características I/V de estos transistores se ven afectados también por los efectos térmicos debido al auto-calentamiento y a la temperatura externa, hecho que pone difícil la separación de dichos efectos.

Como se verá en los próximos capítulos, la medida pulsada de las características I/V del transistor aparece como una herramienta indispensable para la caracterización y la puesta en evidencia de los efectos trampa ya que permite evitar en gran parte los problemas del auto-calentamiento y comparar estas características I/V para diferentes estados de trampas elegidos, sobre todo de poder separar los dos fenómenos con el fin de poder analizarlos finamente. Sin embargo, esta medida debe satisfacer, generalmente, unos criterios impuestos por las condiciones de funcionamiento del transistor que son un estado térmico constante durante toda la caracterización y un estado de trampas bien definido.

El principal objetivo de esta tesis es, en primer lugar, el estudio y la caracterización de los efectos térmicos y trampa en los transistores MESFET y HEMT de las tecnologías GaAs y GaN. En segundo lugar, y basándose en esta caracterización, el desarrollo de un nuevo modelo no lineal que sea capaz de tener en cuenta todos estos efectos dispersivos. Para ello se ha dedicado un gran esfuerzo a la realización de medidas que han sido necesarias para tal caracterización y modelado.

II. Estructura general de la tesis

La estructura de la presente tesis comienza con una introducción general, en la que se hace una pequeña presentación del estado del arte de los transistores MESFET y HEMT. Después se introducen las propiedades del GaN que hacen de este material el más prometedor en el campo de la amplificación de potencia. Seguidamente se mencionan los efectos dispersivos que presentan dichos transistores. Estas deficiencias se reflejan en las prestaciones de los mismos a través de efectos de auto-calentamiento y dispersión en RF o colapso. A continuación, en el capítulo II, se hace una pequeña reseña histórica de los transistores FET y se describe de forma breve el principio de funcionamiento de los mismos. En este capítulo también se presentan nociones básicas sobre las diferentes aproximaciones de modelado de este tipo de dispositivos, especialmente los modelos eléctricos lineales y no lineales que van a ser nuestro enfoque en este trabajo.

El tercer capítulo se centra en la puesta en evidencia de los efectos térmicos y trampa que presentan los dispositivos en cuestión así como su caracterización lo que, de un lado, permite conocer la influencia de estos efectos sobre sus comportamientos y, de otro lado, obtener todas las informaciones útiles y necesarias para su modelado. En este capítulo se presentan las medidas típicas (gate-lag, drain-lag, auto-calentamiento, medidas a diferentes temperaturas externas) que se han llevado a cabo para dos transistores basados en dos tecnologías diferentes, que son un MESFET de GaAs y un HEMT de GaN, así como los requisitos que tienen que cumplir los bancos de la medida pulsada para una caracterización precisa. El estado de las trampas depende mucho del estado térmico del dispositivo debido a que este factor puede ser un proveedor de la energía necesaria a los electrones atrapados para que participen en la conducción. Este hecho se pondrá en evidencia presentando un estudio del efecto de la temperatura sobre los efectos trampa.

En el capítulo IV se introduce un modelo no lineal del transistor que, junto con una topología circuital adecuada y un proceso determinado de extracción, permite reproducir su comportamiento en regímenes DC, Pulsado, RF pequeña señal y RF gran señal a un rango amplio de temperatura. Así, el modelo desarrollado es capaz de tener en cuenta, a la vez, los efectos térmicos (auto-calentamiento y temperatura exterior) y los efectos trampa (colapso de corriente debido a los efectos gate-lag y drain-lag). En primer lugar, se hace un breve resumen de las importantes técnicas usadas para el modelado de dichos efectos. En segundo lugar, se presenta y se discute, etapa por etapa, tanto el desarrollo del nuevo modelo como el proceso de extracción de los valores de sus elementos y de sus parámetros. La bondad del método de modelado presentado se pondrá de manifiesto mediante la presentación de los resultados obtenidos aplicando la técnica de modelado propuesta a distintos tipos de dispositivos de distintas tecnologías (MESFET y HEMT de GaAs, y un HEMT de GaN).

Una de las aportaciones originales de este modelo, y quizá más novedosa, es la forma en la que se lleva a cabo el modelado de la fuente de corriente I_{ds} puesto que en el mismo se reflejan en gran parte las deficiencias debidas a los efectos térmicos y trampa.

El capítulo V confirma la validez de todo lo realizado durante todo este trabajo para la caracterización y el modelado de los dichos efectos dispersivos. En este capítulo se comparan los resultados obtenidos con el simulador ADS (Advanced Design System) y los datos experimentales para distintos regímenes de funcionamiento y a un amplio rango de temperatura externa, poniéndose de manifiesto la bondad del modelo obtenido y el carácter general de los resultados que es posible obtener con el mismo.

El sexto y último capítulo recopila las conclusiones parciales a las que se ha llegado a lo largo de este trabajo, finalizando con una propuesta de trabajo futuro.

Referencias

- [1] O. Ambachar, “Growth and applications of group III-nitrides” *Journal of Physics D: Applied Physics*, vol. 31, pp. 2653-2710, 1998.
- [2] U. K. Mishra, P. Parikh and Y. –F. Wu, “AlGaIn/GaN HEMTs-an overview of device operation and applications” *Proceedings of the IEEE*, vol. 90, no. 6, pp. 1022-1031, June 2002.
- [3] M. Bhatnagar and B. J. Baliga, “Comparison of 6H-SiC, 3C-SiC, and Si for power devices” *IEEE Trans. Electron Devices*, vol. 40, no. 3, pp. 645-655, Mar. 1993.
- [4] L. F. Eastman and U. K. Mishra, “The toughest transistor yet [GaN transistors]” *IEEE Spectrum*, vol. 39, no. 5, pp. 28-33, May 2002.

Capítulo II

Transistores MESFET y HEMT: Funcionamiento y Modelado

I. Introducción

Aunque este trabajo no está enfocado hacia el estudio físico de los transistores MESFET y HEMT, que serán en los que se centre fundamentalmente el tema de esta tesis, conviene definir brevemente, en primer lugar, sus principios básicos de funcionamiento, así como sus estructuras físicas básicas. Un estudio más detallado y riguroso puede encontrarse en [1-6]. En segundo lugar se hará, de una manera breve, una presentación de las diferentes aproximaciones de modelado de estos dispositivos donde se centrará más sobre el modelado eléctrico que es el tema principal que nos ocupa.

Los transistores de efecto campo (Field Effect Transistor: FET) son dispositivos de estado sólido en los que el campo eléctrico aplicado controla el flujo de los portadores mayoritarios en un canal de conducción. Hay distintos tipos de transistores FET; siendo algunos de ellos: el de homounión (Junction Field Effect Transistor: JFET) basado en una unión P-N para controlar los portadores; el basado en una unión metal-semiconductor (Metal Semiconductor Field Effect Transistor: MESFET); el que se caracteriza por la deposición de una capa aislante de óxido entre el metal y el semiconductor (Metal Oxide Semiconductor Field Effect Transistor: MOSFET); y lo de alta movilidad de electrones (High Electron Mobility Transistor: HEMT) basado en una heterounión. Este último presenta la característica por el hecho de que el canal de conducción es bidimensional, en vez de ser un área extensa del material en volumen como ocurre en los JFET, MESFET y MOSFET. Dicho canal bidimensional está localizado en la interfase de la heterounión que lo constituye, concretamente entre la barrera y la capa del canal. Esto permite que los electrones alcancen mayores movilidades.

Los FET son dispositivos de tres terminales, en los que la magnitud de la corriente que circule entre dos de los contactos (contactos óhmicos de fuente “source” y drenador “drain”) es controlada por el tercero (barrera schottky de puerta “gate”). El flujo de corriente tiene lugar entre los contactos óhmicos del drenador y la fuente, situados a ambos lados de la metalización de la puerta, y paralelos a ésta.

Los parámetros geométricos que suelen definir el transistor son la longitud (L_G) y la anchura (W_G) de la puerta. Al aplicar una tensión entre las metalizaciones de puerta y de fuente ésta controla el flujo de carga en el canal, mientras que al aplicar una tensión entre las metalizaciones del drenador y de la fuente ésta controla la magnitud de la corriente que fluye entre los mismos.

La corriente total en el canal se debe únicamente a portadores mayoritarios, que generalmente son electrones (canal tipo-n) debido a la más alta movilidad que presentan frente a los huecos [1]. En estos dispositivos se puede distinguir entre dos tipos: los dispositivos denominados “*normally-on*” donde los electrones están confinados en el canal, incluso bajo una tensión de puerta-fuente (V_{gs}) nula y, así, existe una densidad de corriente entre la fuente y el drenador sin necesidad de aplicar ninguna tensión puerta-fuente ($V_{gs}=0V$). Por lo tanto, la modulación de la carga se realiza aplicando tensiones negativas entre la puerta y la fuente que hacen que se vaya vaciando el canal por extensión de la zona de carga espacial, llegando a una tensión de corte, o umbral (*pinch-off*, V_p), para el cual la corriente entre drenador y fuente (I_{ds}) se hace nula. El dispositivo es estable hasta una tensión entre drenador y fuente (V_{ds}) máxima, que se define como tensión de ruptura (*breakdown*, V_{BD}). En cambio, en los otros tipos dispositivos denominados “*normally-off*” el canal se encuentra cortado cuando no se aplica ninguna tensión entre la puerta y la fuente ($V_{gs}=0V$), por lo tanto, se obtiene corriente entre drenador y fuente solamente cuando se aplica una tensión V_{gs} positiva y superior a la tensión de pinch-off ($V_{gs}>V_p>0$).

Haciendo variar la tensión V_{ds} para varias tensiones V_{gs} fijas (superiores a la tensión de pinch-off, V_p), se generan las curvas llamadas “características corriente-tensión I/V ” dando lugar a una evolución de la corriente de salida I_{ds} del dispositivo. Estas características presentan dos zonas de funcionamiento como muestra la figura II.1. A bajos valores de V_{ds} se observa un comportamiento lineal, óhmico, hasta alcanzar un valor característico (V_k), denominado tensión de codo (*knee*), para el cual I_{ds} se satura. Para valores de V_{ds} superiores a V_k (hasta la tensión de ruptura, V_{BD}), entramos en la zona de saturación. Esta zona se caracteriza porque aunque se produzcan variaciones importantes de la tensión V_{ds} , la corriente I_{ds} permanece casi constante. Para valores de

V_{ds} superiores a V_{BD} , entramos en la zona de ruptura (*breakdown*). Esta zona se caracteriza por el aumento brusco e irreversible de la corriente I_{ds} y, por lo tanto, la destrucción del dispositivo.

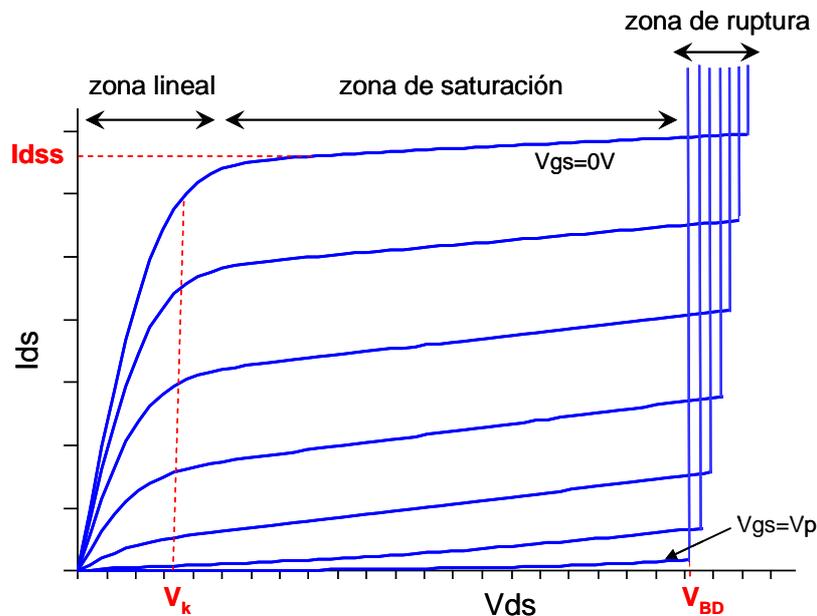


Figura II.1: Curvas I/V típicas en régimen de DC de un transistor FET.

Los parámetros característicos de estos dispositivos trabajando en régimen de continua (DC) son la corriente máxima de saturación (I_{dss}) y la transconductancia extrínseca (g_m), los cuales conviene que sean lo mayor posible. El valor de esta corriente máxima considerada generalmente es para $V_{gs}=0V$ para los dispositivos denominados normally-on. Su magnitud está determinada principalmente por la cantidad de portadores en el dispositivo y la movilidad y velocidad de saturación de éstos. La densidad de carga en el canal convencionalmente se ajusta a través del dopaje. La densidad de potencia estimada en DC del dispositivo está relacionada directamente con la dicha corriente de saturación y con la tensión de ruptura V_{BD} . De esta forma, se necesita disponer altas densidades de carga y altos voltajes de ruptura para obtener altas potencias.

Sin embargo, esta potencia estimada bajo condiciones de DC no siempre coincide con la que luego se obtiene experimentalmente operando en radio frecuencia; esto se debe a la presencia de fenómenos de dispersión o colapso cuyo origen se encuentra en trampas existentes tanto en los niveles profundos como en la superficie. También el estado térmico del dispositivo influye sobre la potencia que el mismo puede ofrecer aunque operando en el mismo régimen de funcionamiento. Estas diferencias son especialmente importantes en los dispositivos basados en GaN. Así se hará un estudio detallado de la caracterización y modelado de estos efectos dispersivos como se verá en los próximos capítulos.

II. El transistor GaAs MESFET/HEMT

El primer dispositivo basado en GaAs apareció en el año 1966 y se fabricó utilizando una capa epitaxial de GaAs sobre un sustrato semi-aislante de GaAs [7]. Actualmente los dispositivos basados en esta tecnología son unos de los principales componentes de RF y microondas.

La tecnología de GaAs fue desbancando la de silicio, ya que el uso de este tipo de semiconductores con alta movilidad permitía, además de trabajar a elevadas frecuencias, acceder a ventajas de carácter tecnológico como su alta resistividad intrínseca, su facilidad para realizar contactos metal-semiconductor y su fácil implementación monolítica. Hoy en día también es común utilizar la tecnología de Fosforo de Indio (InP) para la fabricación de transistores MESFET/HEMT, debido a que los materiales de InP tienen incluso mayor movilidad que el GaAs, sin embargo, al ser bastante más caro y al no estar tan desarrollada esta tecnología, el material más común es el GaAs. Así, en los últimos años, el desarrollo de los MESFET/HEMT sobre GaAs ha sufrido una evolución considerable, de hecho, estos componentes se usan dentro de la mayoría de las aplicaciones microondas existentes, como por ejemplo, amplificadores, osciladores, mezcladores, etc.

En la figura II.2 puede verse la sección transversal esquemática de un GaAs MESFET. El transistor consta de un sustrato semi-aislante de GaAs de alta resistividad, sobre el que se construye una capa dopada tipo-n que constituye el canal del dispositivo. Sobre

esta capa, se crean las metalizaciones de fuente, puerta y drenador. Bajo los contactos de fuente y drenador se introduce una difusión N^+ , región altamente dopada, que los convierte en contactos óhmicos, disminuyendo la resistencia de los mismos. El contacto entre la metalización de puerta y la capa activa constituye una unión de barrera Schottky. De esta forma, se pueden construir longitudes de puerta del orden de las décimas de micra, lo que minimiza la capacidad de este contacto y el tiempo de tránsito de los portadores, aumentando la velocidad de respuesta del transistor y evitando fenómenos de propagación transversal.

Bajo polarización inversa, esta unión Schottky provoca la aparición de una región de depleción bajo la puerta, cuya anchura puede modificarse variando la polarización de dicha unión. De esta manera se consigue modular tanto la altura del canal como la corriente que circula entre sus terminales. Alternativamente, también se puede incorporar una capa intrínseca de semiconductor, llamada buffer, entre el sustrato y el canal activo, para reducir las imperfecciones de esta interfaz y la difusión de impurezas en la capa activa procedentes del sustrato.

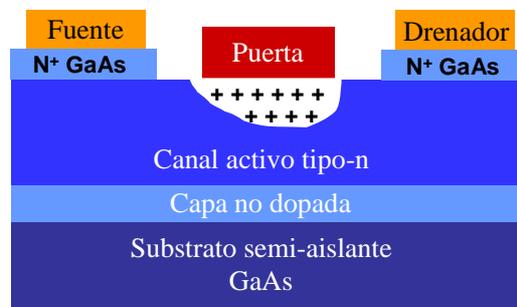


Figura II.2: Estructura física convencional de un MESFET basado en GaAs.

Para comprender su funcionamiento, se ha de considerar el canal como una zona de anchura no uniforme, donde el efecto resistivo de la conducción de canal se ve modelado por la aplicación de una tensión V_{gs} entre puerta y fuente del dispositivo. Con esta diferencia de potencial se controla la anchura de canal, y por tanto, el flujo de electrones que lo atraviesan. Al aplicar una determinada tensión entre drenador y fuente,

aparece un campo eléctrico longitudinal según la dirección del canal que posibilita el flujo de electrones a través del mismo desde el terminal de fuente hacia el drenador, produciéndose por lo tanto, una corriente en sentido contrario.

Como se ha mencionado antes, el transistor GaAs HEMT es un dispositivo de efecto de campo con heteroestructura. El término “High Electron Mobility Transistor” viene de que su estructura tiene la ventaja de aprovechar las propiedades superiores de transporte (alta movilidad y velocidad) de los electrones en un pozo de potencial de un material semiconductor ligeramente dopado. En esta estructura donde el dopado no es tan alto como en el caso del MESFET, los portadores móviles (electrones) se encuentran constreñidos a moverse en una zona de muy alta movilidad, de hecho, esta zona recibe el nombre de gas de electrones bidimensional (2DEG: 2 dimension electron gas). Algunos autores denominan al HEMT con las siglas TEGFET (Two-dimensional Electron Gas FET). Otras nomenclaturas que se pueden encontrar en la literatura para designar a los transistores HEMT son: HFET (Heterostructure FET), SDHT (Selectively Doped Heterostructure Transistor) y MODFET (Modulation Doped FET). Todos estos nombres hacen referencia a algún aspecto sobre el comportamiento del dispositivo, bien relativo a su tecnología de construcción, o bien a su funcionamiento eléctrico.

La figura II.3 representa la estructura convencional de un transistor HEMT crecido sobre GaAs. Como en el caso del transistor MESFET, puede observarse la existencia de tres electrodos (fuente, puerta y drenador) en la superficie de la estructura del semiconductor. Los contactos de fuente y drenador son contactos óhmicos, mientras que el contacto de puerta es una barrera Schottky. La estructura de un HEMT es mucho más compleja si se compara con la del MESFET, esta complejidad está asociada a las dificultades de fabricación, ya que se necesita utilizar tecnología más avanzada que en el otro caso.

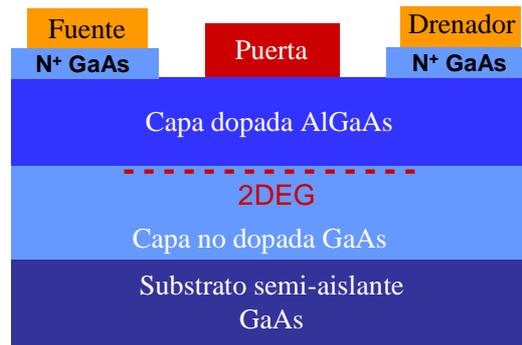


Figura II.3: Estructura física convencional de un HEMT basado en GaAs.

La densidad del gas bidireccional de electrones está controlada por la tensión aplicada entre puerta y fuente, mientras que la aplicación de una tensión entre el drenador y fuente genera un campo eléctrico que acelera los electrones desde la fuente hacia el drenador produciéndose, por lo tanto, una corriente drenador-fuente I_{ds} . En la medida que dicha tensión aumenta, la velocidad de los electrones lo hace también, y por supuesto la corriente, hasta que se alcance el nivel de saturación.

III. El transistor GaN HEMT

El primer transistor FET basado en GaN fue un MESFET fabricado en 1993 [8]. Se obtuvieron densidades de corriente de 175 mA/mm con una transconductancia máxima de 23 mS/mm y con características de salida de RF que son f_T de 11GHz y f_{max} de 35 GHz, lo que confirmó las hipótesis acerca del gran potencial de los FET de GaN. Posteriormente se introdujo una barrera $Al_xGa_{1-x}N$ para la obtención de dispositivos HEMT de AlGaIn/GaN que han surgido en la última década como los dispositivos más prometedores para aplicaciones de alta potencia y alta temperatura.

La primera idea, que ha dado como fruto el transistor GaN HEMT, surgió intentando mejorar las prestaciones de MOSFET de GaAs [9], buscando aumentar la movilidad de los portadores. Pero el modelo no acabó de tomar forma hasta que se conocieron los primeros resultados de estructuras GaAs/AlGaAs con modulación de dopaje [10] y el primer estudio del transporte en gas de electrones bidimensional [11]. Así se propuso el principio de funcionamiento de este nuevo dispositivo, el cual consistía en una capa sin

dopar de GaAs y otra dopada tipo-n AlGaAs para poder modular la acumulación de carga, que tiene lugar en la interfase GaAs/AlGaAs, mediante una barrera Schottky formada en la superficie del AlGaAs. Un poco después, un dispositivo HEMT vio la luz [12]. Estos dispositivos iniciales de GaAs/AlGaAs fueron evolucionando e introduciéndose nuevos materiales (InGaAs, InGaP) con la única finalidad de mejorar las prestaciones aumentando la potencia y la frecuencia de trabajo [5]. Desde entonces se ha avanzado mucho, no sólo desde el punto de vista de la calidad del material sino tecnológicamente, lo que ha hecho aumentar considerablemente las prestaciones finales del dispositivo.

Tal y como se ha comentado anteriormente, la concepción de este tipo de dispositivos se basa en la unión de dos semiconductores con distinto *gap*. La discontinuidad en la banda de conducción determina una transferencia de carga que modifica el potencial a lo largo de la estructura, dando lugar a un pozo de potencial de forma casi triangular, donde se confinan los electrones (figura II.4). El material de *gap* ancho es lo que hace de barrera, mientras que al de *gap* más estrecho se le denomina canal, ya que es por donde circulan los portadores.

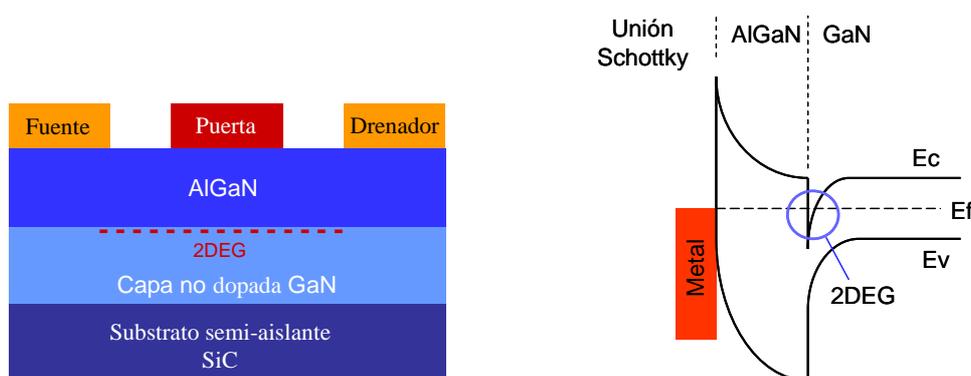


Figura II.4: Estructura típica de capas de un transistor HEMT AlGaN/GaN junto con el diagrama de bandas.

En un dispositivo de heterounión, la carga que induce en el canal está determinada fundamentalmente por la diferencia de la banda prohibida entre los dos semiconductores que forman la unión, y por la distribución de dopantes, si los hubiese.

En el caso particular del sistema AlGa_N/Ga_N aparece una carga adicional en el canal debida a la existencia de campos de polarización.

En tal situación, los niveles energéticos son discretos y los electrones confinados forman un gas que se podría considerar bidimensional [1]. La movilidad del 2DEG es muy superior a la de los portadores en un material en volumen (dispositivo MESFET tradicional), donde la región del canal debe estar dopada para obtener los portadores, lo que reduce la movilidad de éstos considerablemente.

Una de las características de los HEMT de AlGa_N/Ga_N es que no es necesario dopar la estructura para obtener una alta densidad de carga 2DEG. Esta característica de los nitruros simplifica el diseño de la estructura, ya que no es necesario hacer una modulación de dopaje como ocurre en otros dispositivos HEMT III-V. Por ejemplo, en los HEMT de AlGaAs/GaAs es necesario dopar la barrera de AlGaAs tipo-n en una región próxima a la interfase AlGaAs/GaAs, para transferir carga a la región sin dopar el canal. La región de la barrera próxima a la interfase se vacía de carga móvil, y los electrones correspondientes se acumulan en el pozo triangular, dando lugar así a un 2DEG. En el caso de los nitruros este proceso es ligeramente diferente. Así, para saber de dónde vienen los electrones del 2DEG en estructuras sin modulación de dopaje, caben varias propuestas. Así, la justificación fue el “dopaje piezoeléctrico” [13], por la alta concentración residual de portadores libres tanto en el Ga_N como en el AlGa_N [14], o por una combinación de efectos piezoeléctricos y generación térmica [15]. Otro modelo sitúa el origen de la carga en la superficie, en estados superficiales tipo donador [16-20].

IV. Modelado de los transistores MESFET y HEMT

Sin duda ninguna, se considera que los transistores MESFET y HEMT son los elementos clave dentro la tecnología monolítica microondas (MMIC) e híbrida para aplicaciones RF y microondas. Por lo tanto, es necesario buscar modelos de dichos dispositivos que permitan llevar a cabo simulaciones y estudios del funcionamiento de los mismos en distintos regímenes de operación incluso tener en cuenta los efectos

dispersivos y las condiciones reales del lugar donde se ha pensado operar (temperatura, radiaciones, etc.).

Existen varios tipos de modelos de este tipo de transistores y son diferentes entre ellos donde encontramos: modelos físicos, modelos matemáticos y modelos eléctricos o empíricos.

- **Modelo físico:** Se trata de un modelo que se basa en las características físicas del dispositivo y que permite reproducir el comportamiento del mismo para cualquier tipo de señal de entrada. A diferencia de otros modelos, los parámetros del modelo han de extraerse de los procesos de fabricación y diseño del mismo, como pueden ser las dimensiones físicas (por ejemplo longitud de la puerta), características tecnológicas (concentración de dopaje), etc. Las ecuaciones de transporte de portadores y de continuidad proporcionan en este caso un método de estimación de las corrientes del transistor y por lo tanto de los otros parámetros que se basan en ellas como la transconductancia y la conductancia de salida. Sin embargo, si es bien es cierto que este tipo de modelos son de un carácter más general, no es fácil implementarlos en los simuladores circuitales con los que los diseñadores de circuitos trabajan. Además, los parámetros del proceso de fabricación en la mayoría de los casos no están en el alcance de todos los laboratorios de investigación en universidades y las empresas de fabricación de sistemas RF y microondas.
- **Modelo matemático:** Es un modelo con cual podemos distinguir entre dos categorías, modelo matemático eléctrico y modelo matemático de caja negra. En el primer caso, se hace uso de la dependencia con la polarización del comportamiento, en condiciones de pequeña señal, de los elementos que conforman el circuito equivalente del transistor para derivar un modelo gran señal o dinámico del mismo. Las características dinámicas del modelo se obtienen a partir del comportamiento en DC del transistor más unas técnicas de corrección de la diferencia entre el comportamiento estático y dinámico del mismo. Como limitación para este tipo de modelos es que no ajusta con precisión el comportamiento del transistor en cualquier punto de polarización. En el segundo caso, la base del modelo se encuentra en la medida de los parámetros de Scattering a una banda ancha de

frecuencias y la transformación de los mismos a parámetros de admitancia. Usando métodos de integración se obtienen las corrientes en las distintas puertas del transistor. Dicho modelo tiene las desventajas de que su inclusión en un simulador no lineal, puesto que al trabajar con tablas de valores y utilizar métodos de interpolación, son menos prácticos para el diseñador a la hora de realizar ciertas funciones. Otra limitación es la gran cantidad de datos que sería necesario para cubrir un rango muy importante del funcionamiento del dispositivo.

- **Modelo eléctrico:** Se trata de un esquema eléctrico o mejor dicho, circuito equivalente, compuesto por una serie de elementos pasivos y de fuentes de corriente controladas por tensión donde cada elemento eléctrico tiene su origen físico. Este tipo de modelos es muy popular debido a su gran ventaja de que es fácil de implementar en un simulador circuital.

En este trabajo nos interesamos solamente por el modelado eléctrico de los transistores MESFET y HEMT, y esto exige realizar distintos tipos de medidas sobre el dispositivo con la máxima precisión posible y de una manera automática. Dichas medidas servirán como punto de partida para la extracción de los valores de los parámetros del modelo, y para la comparación y la validación.

IV.1 Modelado eléctrico de los transistores MESFET y HEMT

Dependiendo del campo de aplicación en el que se va a utilizar el modelo del dispositivo, podemos hacer una segunda división dentro del mismo a dos tipos: Modelo lineal o “pequeña señal” y modelo no lineal o “gran señal”.

Si bien es cierto que a la hora de simulación de un circuito/sistema hay que disponer un buen modelo del transistor, no es menos cierto que, hay que tener especial cuidado con las técnicas de extracción de los parámetros del modelo y las medidas realizadas sobre el dispositivo. Existe una relación directa entre los modelos y las técnicas de extracción de valores de los parámetros de un lado, y entre las medidas realizadas sobre el

dispositivo de otro lado. La bondad y la precisión de éstas contribuyen directamente en el buen comportamiento del modelo.

Son varios los tipos de medidas necesarias para llevar a cabo un modelo eléctrico lineal o no lineal donde podemos citar: medidas de las características I/V llevadas a cabo en régimen de continua (DC) y pulsado, parámetros de Scattering multibandas a una banda determinada de frecuencias, medidas de potencia (potencia de salida frente a la potencia de entrada, load pull, etc.), medidas de intermodulación, medidas de ruido, medidas térmicas, etc.

IV.1.1 Modelo lineal “pequeña señal”

Este tipo de modelo permite predecir el comportamiento del transistor en régimen de RF pequeña señal (señal de entrada de pequeña amplitud respecto a un punto de reposo o de polarización). Los valores de sus elementos se extraen a partir de las medidas de parámetros de Scattering llevadas a cabo a un rango de frecuencias de interés para un punto determinado de polarización. De esta forma, el modelo es válido solamente para el punto de polarización con el cual se han obtenido los valores de sus elementos. La obtención del modelo final se lleva a cabo a través de técnicas de extracción lineal basándose esencialmente en dichas medidas [21-31]. Las medidas en continua pueden ser una alternativa para extraer los valores de las resistencias de acceso.

En la figura II.5 se ve el esquema eléctrico equivalente del modelo así como el origen físico de cada uno de sus elementos. El esquema está compuesto por dos partes; una parte “*intrínseca*” y otra parte “*extrínseca*”. Los elementos extrínsecos no dependen de la polarización puesto que su origen es el encapsulado y los metales de acceso del transistor, mientras que los elementos intrínsecos tienen un valor determinado para cada punto de polarización. Todos los elementos del modelo se suponen independientes de la frecuencia.

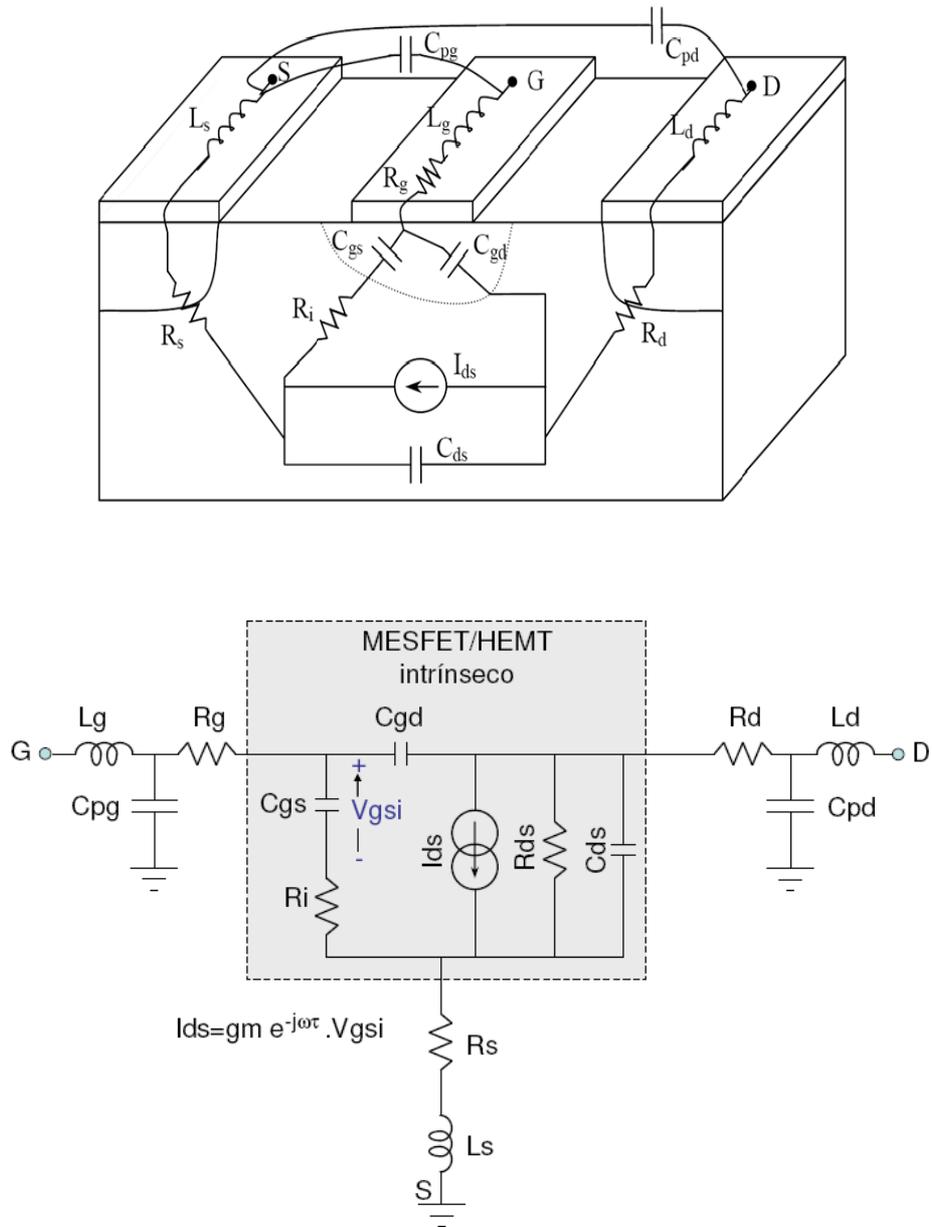


Figura II.5: Modelo lineal convencional de un transistor MESFET/HEMT y origen físico de sus elementos.

IV.1.2 Modelo no lineal “gran señal”

Este tipo de modelo es el más completo debido a su carácter más general. En este caso el resultado final del proceso es un modelo circuital de transistor capaz de predecir el comportamiento del dispositivo para diferentes condiciones de funcionamiento, para tensiones dinámicas cuyas excursiones de señal pueden ser de pequeño o gran valor, en

régimen puramente estático (DC), en régimen pulsado, etc. La complejidad de este tipo de modelos va directamente asociada a la capacidad de los mismos para dar cuenta de los distintos fenómenos que intervienen en el funcionamiento de los dispositivos, como pueden ser efectos trampa, efectos térmicos, etc.

El modelo está compuesto por elementos lineales, como son las resistencias, capacidades y inductancias de acceso, y elementos fuertemente no lineales, como son las capacidades, diodos y la fuente de corriente drenador-fuente I_{ds} que se considera la no linealidad más importante del modelo (figura II.6).

Para la extracción de los valores de los elementos de este modelo, se necesitan medidas de las características I/V llevadas a cabo en régimen de DC y/o Pulsado y medidas de los parámetros de Scattering. Otras medidas pueden ser necesarias (las mismas medidas anteriores llevadas a cabo a diferentes temperaturas por ejemplo) en el caso de que se requiera un modelo preciso que sea capaz de simular el comportamiento del transistor en diferentes condiciones de operación.

En las bibliotecas de los simuladores comerciales existen muchos tipos de modelos no lineales donde cada uno trata de mejorar el comportamiento del mismo o incluir en el algún efecto o fenómeno físico como los efectos dispersivos, la intermodulación, efectos térmicos, etc. La gran diferencia entre estos modelos reside en la expresión matemática de la fuente de corriente I_{ds} y a veces también en las expresiones de las capacidades y de los diodos. De los más conocidos podemos citar, el modelo de Curtice, TOM, Materka, Angelov, etc. [32-36].

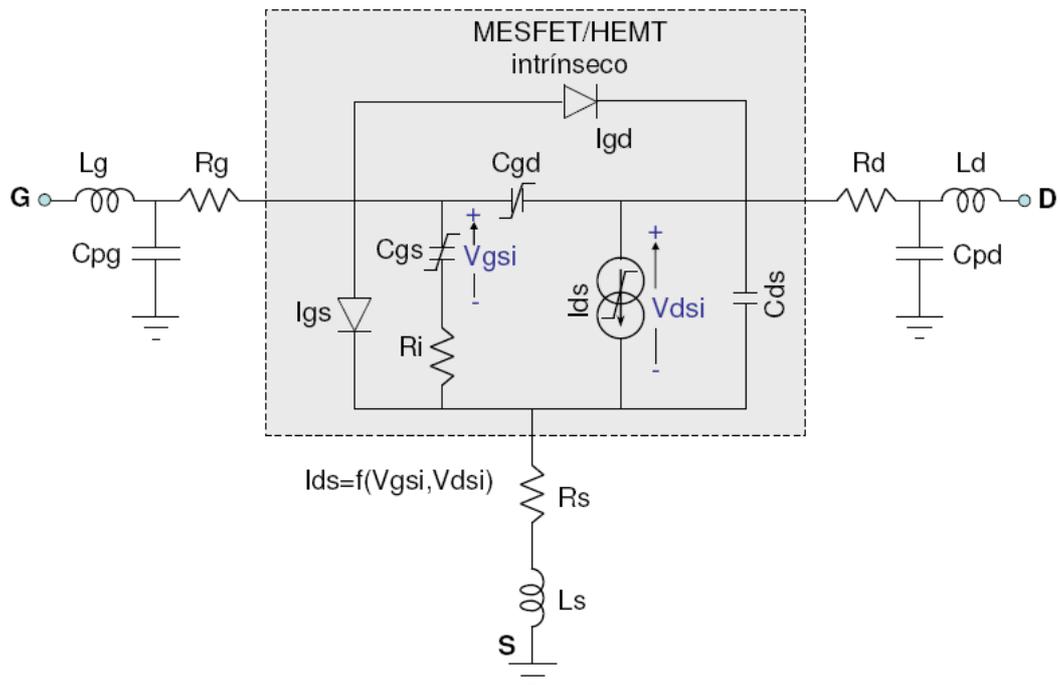


Figura II.6: *Modelo no lineal convencional de un transistor MESFET/HEMT.*

V. Conclusiones

En este capítulo se ha efectuado una breve descripción tanto de las estructuras físicas como del principio de funcionamiento de los transistores MESFET y HEMT, que son los dispositivos más usados en los circuitos y sistemas para aplicaciones RF y microondas, basados en las tecnologías GaAs y GaN.

Las características que presenta el GaN, entre las que cabe destacar la estabilidad térmica y química, campo de ruptura y anchura del *gap*, hacen de este material semiconductor la opción más atractiva en la actualidad para el desarrollo de transistores HEMT que operen a altas potencias y altas temperaturas. Estos dispositivos han demostrado proporcionar una magnitud importante de densidad de potencia frente a la tecnología existente basada en el Si y GaAs, y esto se consigue gracias a la combinación de un *gap* ancho y la capacidad de obtener simultáneamente en heteroestructuras AlGaIn/GaN alto voltaje de operación y alta densidad de corriente.

Se ha dejado para capítulos posteriores el estudio, la caracterización y el modelado de los efectos limitativos que se encuentran en los dispositivos MESFET y HEMT como son: los efectos trampa y los efectos térmicos.

Posteriormente, se han introducido nociones básicas sobre las diferentes aproximaciones de modelado de este tipo de dispositivos, especialmente los modelos eléctricos lineales y no lineales que van a ser una base para el modelo desarrollado a lo largo del trabajo de esta tesis.

Referencias

- [1] S. M. Sze, "Semiconductor devices physics and technology" 2nd Edition 2002, *John Wiley & Sons, Inc.*
- [2] F. Schwierz and Juin J. Liou, "Modern microwave transistors: Theory, design, and performance" 2002, *John Wiley & Sons, Inc.*
- [3] J. M. Golio, "Microwave MESFETs and HEMTs" 1991, *Artech House, Inc.*
- [4] R. Anholt, "Electrical and thermal characterization of MESFETs, HEMTs, and HBTs" 1995, *Artech House, Inc.*
- [5] F. Ali and A. Gupta, "HEMTs and HBTs: Devices, fabrication, and circuits" 1991, *Artech House, Inc.*
- [6] P. H. Ladbrooke, "MMIC Design: GaAs FETs and HEMTs" 1989, *Artech House, Inc.*
- [7] C. A. Mead, "Schottky barrier gate field effect transistor" *Proceedings IEEE*, vol. 54, no. 2, pp. 307-308, Feb. 1966.
- [8] M. A. Khan, J. N. Kuznia, A. R. Briattaria and D. T. Olson, "Metal semiconductor field effect transistor based on single crystal GaN" *Applied Physics Letters*, vol. 62, no. 15, pp. 1786-1787, Apr. 1993.
- [9] T. Mimura, "The early history of the high electron mobility transistor (HEMT)" *IEEE Trans. Microwave Theory and Techniques*, vol. 50, no. 3, pp. 780-782, Mar. 2002.
- [10] R. Dingle, H. L. Störmer, A. C. Gossard and W. Wiegmann, "Electron mobilities in modulation-doped semiconductor heterojunction superlattices" *Applied Physics Letters*, vol. 33, no. 7, pp. 665-667, Oct. 1978.
- [11] H. L. Störmer, R. Dingle, A. C. Gossard, W. Wiegmann and M. D. Sturge, "Two-dimensional electron gas at a semiconductor-semiconductor interface" *Solid State Communications*, vol. 29, no. 10, pp. 705-709, Mar. 1979.
- [12] D. Delagebeaudeuf, P. Delescluse, P. Etienne, M. Laviro, J. Chaplart and N. T. Linh, "Two-dimensional electron gas M.E.S.F.E.T. structure" *Electronics Letters*, vol. 16, no. 17, pp. 667-668, Aug. 1980.
- [13] P.M. Asbeck, E.T. Yu, S.S. Lau, G.J. Sullivan, J. Van Hove and J. Redwing, "Piezoelectric charge densities in AlGaIn/GaN HFETs" *Electronics Letters*, vol. 33, no. 14, pp. 1230-1231, Jul. 1997.
- [14] L. Hsu and W. Walukiewicz, "Effects of piezoelectric field on defect formation, charge transfer, and electron transport at GaN/Al_xGa_{1-x}N interfaces" *Applied Physics Letters*, vol. 73, no. 3, pp. 339-341, Jul. 1998.
- [15] O. Ambacher, J. Smart, J. R. Shealy, N. G. Weimann, K. Chu, M. Murphy, W. J. Schaff, L. F. Eastman, R. Dimitrov, L. Wittmer, M. Stutzmann, W. Rieger and J. Hilsenbeck, "Two-dimensional electron gases induced by spontaneous and

- piezoelectric polarization charges in N- and Ga-face AlGa_N/Ga_N heterostructures” *Journal of Applied Physics*, vol. 85, no. 6, pp. 3222, Mar. 1999.
- [16] I. P. Smorchkova, C. R. Elsass, J. P. Ibbetson and R. Vetury, “Polarization-induced charge and electron mobility in AlGa_N/Ga_N heterostructures grown by plasma-assisted molecular-beam epitaxy” *Journal of Applied Physics*, vol. 86, no. 8, pp. 4520, Oct. 1999.
- [17] J. P. Ibbetson, P. T. Fini, K. D. Ness, S. P. DenBaars, J. S. Speck and U. K. Mishra, “Polarization effects, surface states, and the source of electrons in AlGa_N/Ga_N heterostructure field effect transistors” *Applied Physics Letters*, vol. 77, no. 2, pp. 250-252, Jul. 2000.
- [18] L. Hsu and W. Walukiewicz, “Effect of polarization fields on transport properties in AlGa_N/Ga_N heterostructures” *Journal of Applied Physics*, vol. 89, no. 3, pp. 1783, Feb. 2001.
- [19] R. Neuberger, G. Müller, M. Eickhoff, O. Ambacher and M. Stutzmann, “Observation of ion-induced changes in the channel current of high electron mobility AlGa_N/Ga_N transistors (HEMT)” *Materials Science and Engineering B*, vol. 93, no. 1-3, pp. 143-146, May 2002.
- [20] B. K. Ridley, O. Ambacher and L. F. Eastman, “The polarization-induced electron gas in a heterostructure” *Semiconductor Science and Technology*, vol. 15, no. 3, pp. 270-271, Mar. 2000.
- [21] S. Manohar, A. Pham and N. Evers, “Direct determination of the bias-dependent series parasitic elements in SiC MESFETs” *IEEE Trans. Microwave Theory and Techniques*, vol. 51, no. 2, pp. 597-600, Feb. 2003.
- [22] L. T. Wurtz, “GaAs FET and HEMT small-signal parameter extraction from measured S-parameters” *IEEE Trans. Instrumentation and Measurement*, vol. 43, no. 4, pp. 655-658, Aug. 1994.
- [23] J. A. Reynoso-Hernandez, F. Elias R. Patiio and J. Perdomo, “Full RF characterization for extracting the small-signal equivalent circuit in microwave FET’s” *IEEE Trans. Microwave Theory and Techniques*, vol. 44, no. 12, pp. 2625-2633, Dec. 1996.
- [24] P. M. White and R. M. Healy, “Improved equivalent circuit for determination of MESFET and HEMT parasitic capacitances from “coldfet” measurements” *IEEE Microwave and Guided Wave Letters*, vol. 3, no. 12, pp. 453-454, Dec. 1993.
- [25] G. Chen, V. Kumar, R. S. Schwindt and I. Adesida, “A low gate bias model extraction technique for AlGa_N/Ga_N HEMTs” *IEEE Trans. Microwave Theory and Techniques*, vol. 54, no. 7, pp. 2949-2953, Jul. 2006.
- [26] G. Crupi, D. Xiao, D. M. M.-P. Schreurs, E. Limiti, A. Caddemi, W. De Raedt and M. Germain, “Accurate multibias equivalent-circuit extraction for Ga_N HEMTs” *IEEE Trans. Microwave Theory and Techniques*, vol. 54, no. 10, pp. 3616-3622, Oct. 2006.

- [27] A. Jarndal and G. Kompa, "A new small-signal modeling approach applied to GaN devices" *IEEE Trans. Microwave Theory and Techniques*, vol. 53, no. 11, pp. 3440-3448, Nov. 2005.
- [28] G. Crupi, D. M. M.-P. Schreurs, A. Raffo, A. Caddemi and G. Vannini, "A new millimeter-wave small-signal modeling approach for pHEMTs accounting for the output conductance time delay" *IEEE Trans. Microwave Theory and Techniques*, vol. 56, no. 4, pp. 741-746, Apr. 2008.
- [29] F. Lin and G. Kompa, "FET model parameter extraction based on optimization with multiplane data-fitting and bidirectional search-a new concept" *IEEE Trans. Microwave Theory and Techniques*, vol. 42, no. 7, pp. 1114-1121, Jul. 1994.
- [30] R. Tayrani, J. Gerber, T. Daniel, R. S. Pengelly and U. L. Rohde, "Reliability extract MESFET and HEMT parameters" *Microwave & RF*, vol. 32, no. 6, pp. 131-135, June 1993.
- [31] G. Dambrin, A. Cappy and F. Heliodore, "A new method for determining the FET small-signal equivalent circuit" *IEEE Trans. Microwave Theory and Techniques*, Vol. 36, no. 7, pp. 1151-1159, Jul. 1988.
- [32] A. McCaman, G. McCormack and D. Smith, "An improved GaAs MESFET model for spice" *IEEE Trans. Microwave Theory and Techniques*, vol. 38, pp. 822-824, Jun. 1990.
- [33] W. R. Curtice, "A MESFET model for use in the design of GaAs integrated circuits" *IEEE Trans. Microwave Theory and Techniques*, vol. 28, no. 5, pp. 448-456, May 1980.
- [34] A. Materka and T. Kacprack, "Computer calculation of large signal GaAs FET amplifier characteristics" *IEEE Trans. Microwave Theory and Techniques*, vol. 33, no. 2, pp. 129-135, Feb. 1985.
- [35] I. Angelov, H. Zirath and N. Rorsman, "A new empirical nonlinear model for HEMT and MESFET devices" *IEEE Trans. Microwave Theory and Techniques*, vol. 40, no. 12, pp. 2258-2266, Dec. 1992.
- [36] H. Statz, P. Newman, I. W. Smith, R. A. Pucel and H. A. Haus, "GaAs FET device and circuit simulation in SPICE" *IEEE Trans. Electron Devices*, vol. ED-34, no. 2, pp. 160-169, Feb. 1987.

Capítulo III

Caracterización de los Efectos Térmicos y Trampa en los Transistores MESFET y HEMT

I. Introducción

Muchos estudios han puesto en evidencia que la respuesta en corriente de los transistores MESFET y HEMT muestra un retraso (respuesta transitoria) debido a la presencia de niveles de estados de energía en la banda prohibida, entre la banda de valencia y la banda de conducción que pueden atrapar o librar las cargas eléctricas; este fenómeno se conoce como “*efecto trampa*” [1-14]. Dicho efecto ha sido observado durante el desarrollo de los dispositivos crecidos sobre el material GaAs como degradación de las características I/V del dispositivo a altas frecuencias que resulta una degradación del rendimiento del mismo [15-25]. Para los dispositivos basados en materiales de gap ancho, como SiC o GaN, los efectos trampa son unos de los desafíos más importantes para alcanzar la madurez de tales dispositivos [26-27]. El descenso de la corriente a altas frecuencias puede limitar la capacidad en potencia RF del dispositivo [28], mientras que el retraso en respuesta puede complicar el uso de estos dispositivos en aplicaciones para comunicaciones con señales con modulación compleja por ejemplo. La degradación de la corriente debido a los efectos trampa se refiere como colapso de la corriente “*current collapse*” [29-31]. La cantidad de cargas atrapadas depende de las tensiones puerta-fuente (V_{gs}) y drenador-fuente (V_{ds}) aplicadas al dispositivo. Por lo tanto, el cambio de estas tensiones conduce a un cambio en las condiciones de trampa de las cargas.

Si se aplica al dispositivo una señal de alta frecuencia, el proceso de carga y descarga de los estados trampa no puede completarse en un intervalo corto de tiempo. Por consiguiente, la condición del estado de las cargas atrapadas será, en este caso, similar a la condición del punto de polarización. En cambio, en el caso de señales de muy baja frecuencia, el periodo de la señal es suficiente para que el proceso de carga/descarga de los estados trampa se complete y, por lo tanto, el dispositivo estará funcionando bajo la condición de “estado estable” de los estados trampa. Para las señales con frecuencias intermedias, la respuesta del transistor se distorsiona por el proceso carga/descarga de los estados trampa con respecto a la señal de entrada aplicada al dispositivo.

El retraso de la respuesta de la corriente del drenador (I_{ds}) debido a un cambio brusco en la tensión V_{gs} , manteniendo constante la tensión de polarización V_{ds} , se conoce

como: “*gate-lag*”, mientras que se denomina “*drain-lag*” al retraso observado en la corriente del drenador cuando se mantiene constante la tensión de polarización V_{gs} y se cambia bruscamente la tensión V_{ds} .

La puesta en evidencia de esos efectos se lleva a cabo mediante la medida pulsada de las características I/V del dispositivo comparando esta medida con aquella llevada a cabo en régimen continuo (DC) o incluso comparando muchas características pulsadas para muchos puntos diferentes de polarización de reposo.

El estado de las trampas también depende del estado térmico y de la iluminación del dispositivo debido a que estos dos factores pueden ser los proveedores de la energía necesaria a los electrones atrapados para que pasen a la banda de conducción y, por lo tanto, participar en la conducción aumentando, entonces, la corriente [32-35]. No obstante, puesto que la mayoría de los circuitos usados en las aplicaciones reales están encapsulados, la influencia de la iluminación sobre las trampas no es tan importante mientras que se pueda utilizar como una forma de reducirlas.

El objetivo principal de este capítulo es la caracterización de los efectos térmicos y trampa que presentan dichos dispositivos lo que, de un lado, permite conocer la influencia de estos efectos sobre sus comportamientos y, de otro lado, obtener todas las informaciones útiles y necesarias para su modelado. Para ello se presentan las medidas típicas que se han llevado a cabo para dos transistores basados en dos tecnologías diferentes, que son un MESFET de GaAs (MGF1923) y un HEMT de AlGaIn/GaN (8x75 μ m GaN HEMT fabricado dentro del marco del proyecto europeo KORRIGAN EDA RTP 102.052), así como los requisitos que tienen que cumplir los bancos de la medida pulsada para una tal caracterización precisa. Las herramientas de caracterización y modelado de los efectos trampa no fueron, originalmente, desarrolladas para los transistores basados en el material GaN sino han sido utilizados intensivamente, por ejemplo, para la caracterización y modelado de los transistores GaAs MESFET y HEMT. Sin embargo, los transistores AlGaIn/GaN HEMT están en el principio de de una verdadera ruptura tecnológica, así, hay que tomar nuevas precauciones a la hora de la caracterización de estos transistores con las herramientas comunes. Esto se refiere a dos aspectos en particular: las excursiones en tensiones y corrientes son muy

importantes que para la mayoría de los dispositivos de la tecnología GaAs, y las fuertes potencias, así, disipadas provocan un auto-calentamiento importante de los dispositivos GaN a la hora de su caracterización.

II. Sistema de medida pulsada

II.1 Principio de medida pulsada

Generalmente, la descripción de las características I/V de los transistores MESFET y HEMT se basa en las medidas en continua (DC) de la corriente de salida I_{ds} en función de las tensiones aplicadas a los puertos de acceso del dispositivo V_{gs} y V_{ds} . Sin embargo, este tipo de caracterización no permite controlar ni el estado térmico, debido al auto-calentamiento del transistor (disipación de potencia en el dispositivo), ni tampoco los problemas de los efectos trampa que muestran este tipo de dispositivos. Con el fin de evitar estos inconvenientes, se ha desarrollado otro procedimiento que permite llevar a cabo la medida de las características I/V de estos transistores en condiciones casi-isotérmicas con un control de los estados trampa. La técnica se refiere como “*caracterización en pulsada*” [38-42].

Esta técnica es una herramienta indispensable para la caracterización, la puesta en evidencia, y el modelado de los efectos trampa ya que permite evitar en gran parte los problemas del auto-calentamiento, comparar las características I/V para diferentes estados de trampas elegidos, y sobre todo la posibilidad de poder separar los efectos trampa de los efectos del auto-calentamiento con el fin de poder analizarlos finamente bajo algunas restricciones que mencionaremos a continuación. Además, es más determinante para los dispositivos cuando se trata de alcanzar zonas donde su funcionamiento induce degradaciones y a veces su destrucción. Se trata en particular de zonas de avalancha y de alta conducción de la puerta. Esta posibilidad de medir en pulsada zonas que no sería posible medir en continua es muy útil para el modelado de los dispositivos sobre una gama de tensiones y corrientes que alcanzan sus límites de funcionamiento normal. Así pues, gracias a este sistema de medida, se puede desarrollar modelos muy elaborados de dichos transistores.

El principio de la medida pulsada consiste en trazar las características I/V clásicas del transistor partiendo de un punto de polarización de reposo (V_{gscc} y V_{dscc}), que entrega una corriente de polarización estática I_{dscc} . Desde este último se lanzan las tensiones instantáneas (V_{gsi} y V_{dsi}) en forma de pulsos, que proporcionan una corriente dinámica instantánea I_{dsi} , para alcanzar todo el rango deseado (figura III.1).

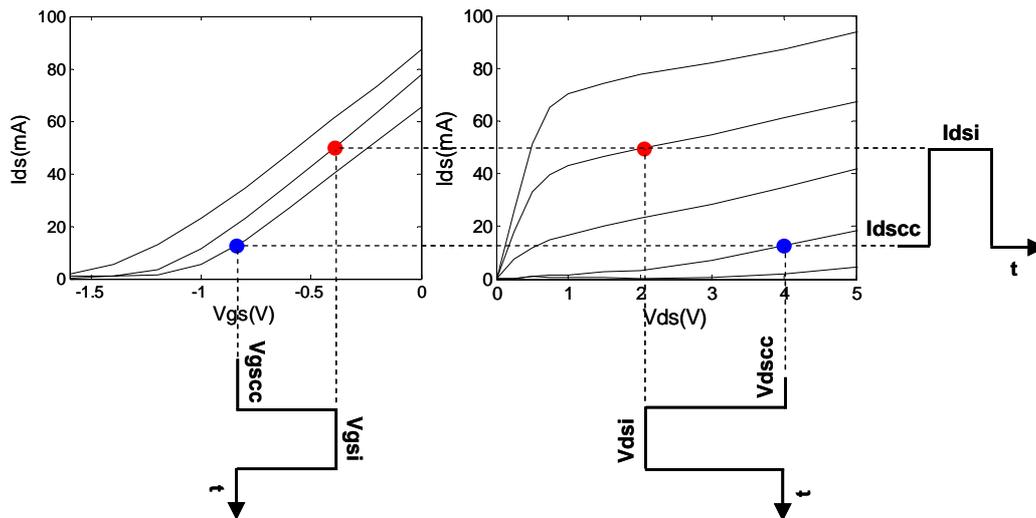
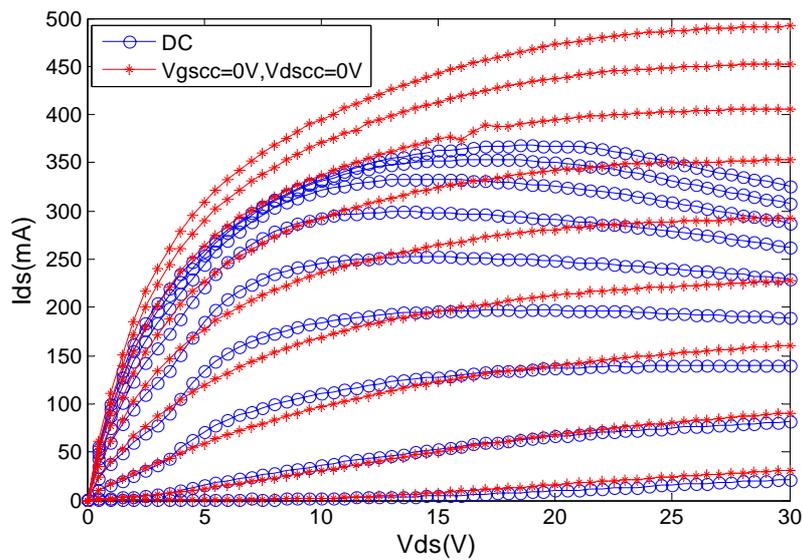


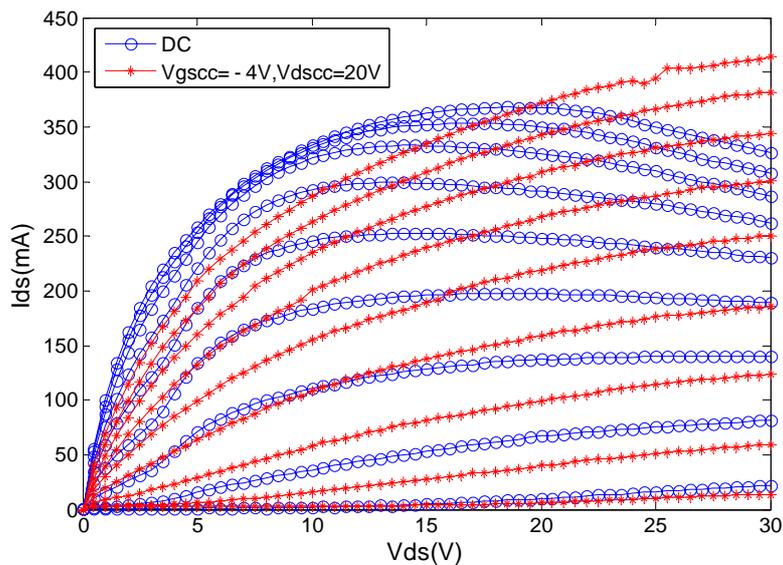
Figura III.1: Principio de medida pulsada de las características I/V.

Como resultado de esta medida tendremos unas características dinámicas diferentes a aquellas obtenidas en régimen de continua incluso se obtienen características diferentes para cada punto de polarización de reposo. En las figuras III.2 y III.3 se comparan las características I/V medidas en continua y en pulsada de un HEMT de GaN y un GaAs MESFET respectivamente. En la medida continua el auto-calentamiento se traduce en la aparición de pendiente negativa en la zona de saturación y un descenso del nivel de las características mientras que las características pulsadas conservan el estado térmico constante durante toda la medida y su nivel puede ser menor o mayor al de continua según el punto de polarización elegido que va a fijar el nivel de las cargas atrapadas y del auto-calentamiento. Por ejemplo, el nivel de las características que corresponden al punto de polarización de reposo ($V_{gscc}=0V$, $V_{dscc}=0V$) va a ser mayor que el de continua puesto que este punto de polarización está libre de trampas (figura III.2 (a) y III.3 (a)), en cambio, el nivel de las características que corresponden al punto de

polarización de reposo ($V_{gscc}=-4V=V_p$, $V_{dscc}=20V$) para el $8 \times 75 \mu\text{m}$ GaN HEMT y ($V_{gscc}=-1.6V=V_p$, $V_{dscc}=5V$) para el MGF1923 va a ser menor que el de continua puesto que estos puntos de polarización corresponden al nivel más alto de electrones atrapados en los estados trampa, que no van a participar en la conducción durante la medida pulsada, razón que causa una degradación muy importante en las características pulsadas (figura III.2 (b) y III.3 (b)).

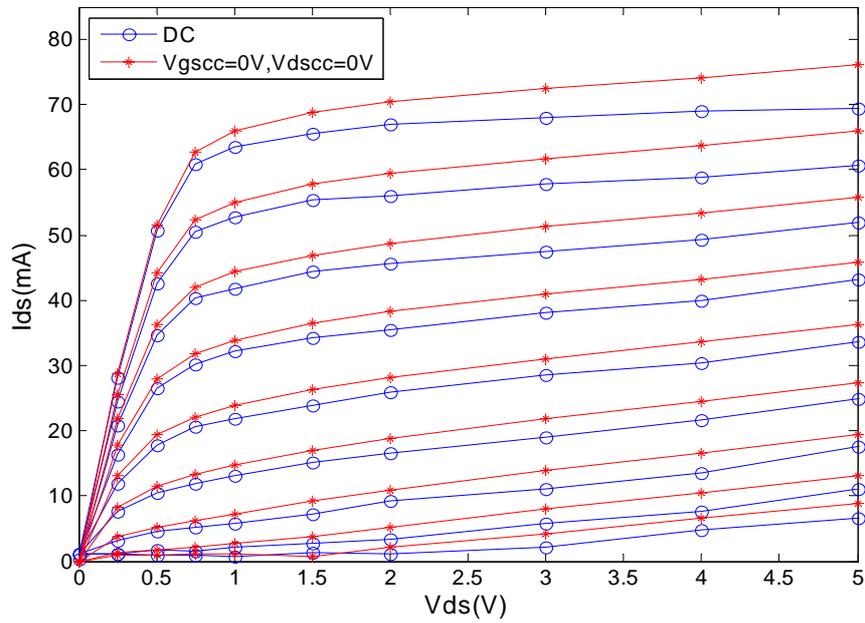


(a)

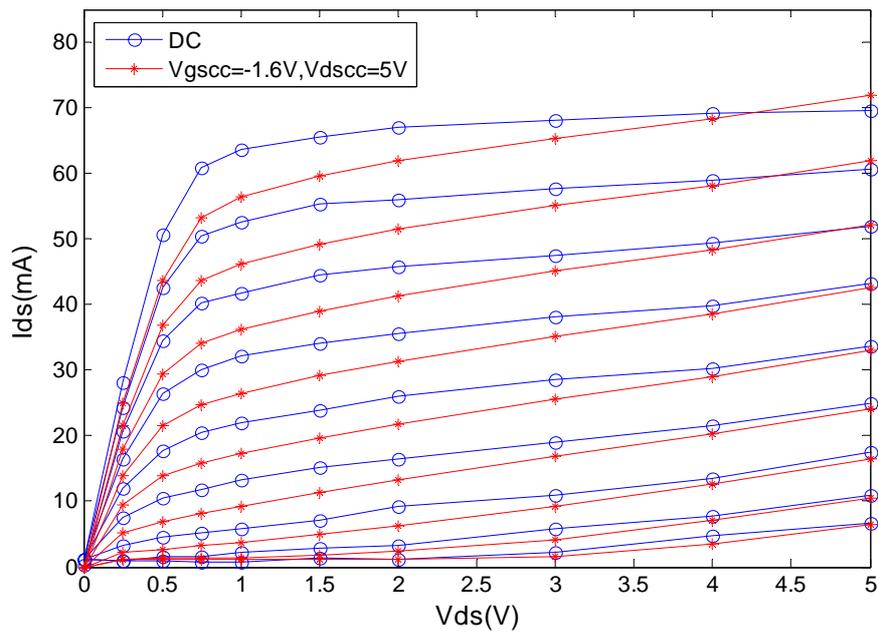


(b)

Figura III.2: Características I/V en DC y pulsada para dos puntos diferentes de polarización de reposo del transistor $8 \times 75 \mu\text{m}$ GaN HEMT. $V_{gs}=-4V$ hasta $0V$.



(a)



(b)

Figura III.3: Características I/V en DC y pulsada para dos puntos diferentes de polarización de reposo del transistor MGF1923. $V_{gs}=-1.6V$ hasta $0V$.

El sistema de medida pulsada debe satisfacer, entre otros, unos criterios fundamentales impuestos por las condiciones de funcionamiento del transistor que son:

- Un estado térmico constante durante toda la medida de las características I/V pulsadas.
- Un estado de trampas bien definido.
- Una caracterización completa de todo el dominio útil de ciclo de carga considerado que va desde la zona de funcionamiento lineal y de conducción de la puerta hasta la zona de avalancha.

II.2 Gestión de los efectos térmicos en la medida pulsada

Con el fin de evitar los efectos térmicos, la anchura de los pulsos que se aplican al dispositivo partiendo de un punto determinado de polarización de reposo que determina la potencia disipada, debe ser la más corta posible para que el estado térmico del dispositivo no tenga el tiempo suficiente de cambiar independientemente de la amplitud del pulso. Además, el periodo de los pulsos debe ser muy grande con respecto a la duración de los mismos para que el estado térmico esté únicamente fijado por el punto de polarización de reposo. Sin embargo, la anchura mínima de los pulsos está limitada por la capacidad de los generadores de pulsos utilizados de producir pulsos cortos y por el tiempo mínimo de adquisición de datos que debe ser, al mismo tiempo, suficientemente grande para garantizar un estado establecido y asegurar una medida precisa y simultánea de las corrientes. Además, estos pulsos tienen que cumplir una determinada relación entre la duración del pulso y el periodo de los mismos, razón conocida como ciclo de trabajo (*Duty Cycle*). Elegir adecuadamente el valor de esta razón de magnitudes es especialmente crítica en el caso de medir dispositivos de alta potencia (como es el caso de transistores HEMT de GaN), ya que para cubrir todo el rango de funcionamiento de los mismos se hace necesario aplicar pulsos de tensiones de gran amplitud. Veamos un ejemplo que permite estudiar como puede afectar el valor del ciclo de trabajo al proceso de caracterización. El punto de polarización de reposo ($V_{gscc}=0V$, $V_{dscc}=0V$) se utiliza como referencia para estudiar los efectos de gate-lag y drain-lag, ya que este punto se considera como estado sin trampas y sin auto-

calentamiento; desde él se lanzan pulsos para trazar las características I/V completas. Nótese que para trazar dichas curvas, en muchos casos es necesario alcanzar valores de la tensión dinámica de drenador que llegan a 30V o más, lo que implica aplicar un pulso de altura de 30V al dispositivo.

Comenzamos por calcular la componente de continua de un pulso que tiene una tensión de base V_{Base} , una anchura W , una altura H y un periodo T , tal y como se ve en la figura III.4. Sabemos que dada una señal temporal $v(t)$ de periodo T , podemos calcular la componente de continua de la misma utilizando la expresión:

$$v_{DC} = \frac{1}{T} \int_0^T v(t) dt \quad (III.1)$$

Aplicando la ecuación (III.1) a nuestra señal pulsada se llega a:

$$v_{DC} = \frac{1}{T} \int_0^T v(t) dt = \frac{1}{T} \int_0^W (V_{Base} + H) dt + \frac{1}{T} \int_W^T V_{Base} dt = V_{Base} + \frac{W}{T} H \quad (III.2)$$

Para ilustrar como puede modificar el valor de la componente de continua la elección del ciclo de trabajo, se va a calcular el valor de la componente de continua de una señal pulsada para tres valores diferentes del ciclo de trabajo que se han utilizado en unos trabajos [43,44] (Tabla III.1), en la que el punto de reposo es nulo y se quiere alcanzar un valor dinámico de 30V. Como se observa comparando los valores presentados en la Tabla III.1, sólo el ciclo de trabajo con relación 1:1000 asegura que no se modifica de forma sensible el nivel de continua que se aplica con el pulso, de hecho, en este caso se obtiene un incremento de 0.03 voltios, para un pulso de 30V de altura, sobre el nivel de continua, mientras que para los otros casos se modifica hasta 1.5V el nivel de continua deseado.

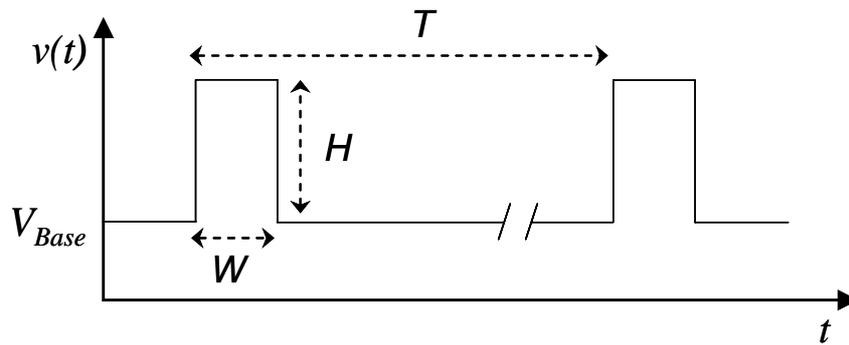


Figura III.4: Representación de un pulso típico usado en la medida pulsada.

$V_{Base}(V)$	$H(V)$	W	T	$V_{DC}(V)$
0	30	400ns	10 μ s	1.2
0	30	500ns	10 μ s	1.5
0	30	1 μ s	1ms	0.03

Tabla III.1: Componente de continua de una señal pulsada.

El movimiento del punto de reposo durante la medida pulsada inducirá un cambio del estado térmico del dispositivo. Esto se ve claramente en el caso, por ejemplo, de aplicar el pulso de tensión ($W=500ns$, y $T=10\mu s$) desde el punto de reposo ($V_{gsc} = 0V$, $V_{dsc} = 0V$) donde realmente el dispositivo se encontrará polarizado en ($V_{gsc} = 0V$, $V_{dsc} = 1.5V$) si se quiere alcanzar un valor dinámico de $30V$ donde podría estar entregando una corriente alrededor de $0.15A$ para el transistor bajo estudio y valores más altos en otros dispositivos en ese punto de polarización; este valor de corriente dista mucho del valor deseado ($0A$), lo que puede desvirtuar las condiciones que se obtengan en términos de disminución de la corriente dinámica (colapso), ya que no se podrá asegurar si dichas disminuciones se deben a fenómenos como gate-lag o drain-lag o al propio calentamiento del transistor.

II.3 Problema del auto-calentamiento dentro de los pulsos

En los transistores que disipan una potencia importante, conviene ser prudente al considerar que la temperatura varía poco dentro de los pulsos y que el auto-calentamiento es despreciable. Así, la medida pulsada no es totalmente isoterma, y en particular para los componentes de potencia como los transistores HEMT de GaN. Así, el calentamiento dentro del pulso, aunque es difícil de cuantificar, no es siempre despreciable para cualquier pulso, y se puede disminuir solamente con la elección de una anchura adecuada del pulso.

Para mostrar el efecto de la anchura del pulso sobre la variación de la corriente dentro del mismo, se han llevado a cabo medidas pulsadas de la corriente I_{ds} en el dominio de tiempo de un transistor HEMT de GaN para tres diferentes anchuras de pulso ($1\mu s$, $3\mu s$ y $5\mu s$) siempre guardando la relación de ciclo de trabajo igual a 0.001 (figura III.5). En esta figura se ve la disminución de la corriente dentro del pulso, debido al auto-calentamiento, cuando se aumenta la anchura de los pulsos.

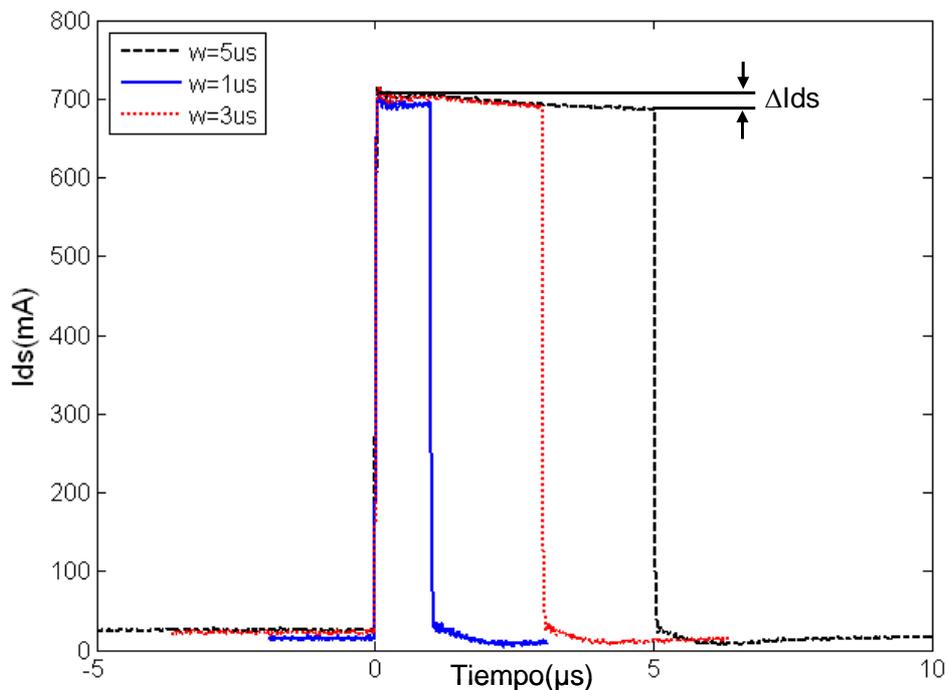


Figura III.5: Evolución de la corriente dentro de un pulso de V_{gs} que va de $-4V$ a $0V$ con tres valores diferentes de anchura. $V_{ds}=10V$.

III. Caracterización de los efectos trampa en los transistores MESFET y HEMT

Se puede distinguir entre los efectos gate-lag y drain-lag por su mecanismo físico así como por su modo de activación. Desde el punto de vista medidas, los dos fenómenos son diferentes entre sí en el sentido de que el gate-lag interviene al variar la tensión de la puerta mientras que el drain-lag al variar la tensión del drenador. Estos dos fenómenos tienen, sin embargo, el mismo impacto sobre las medidas; inducen un tiempo de establecimiento de la corriente más lento que la variación de las tensiones, y definen el origen del efecto transitorio de la corriente con constantes de tiempo dependen de los niveles de trampas involucradas y de las tensiones aplicadas al dispositivo.

III.1 Concepto de trampa

Se refiere con el término “trampa” el mecanismo de generación y de recombinación de pares electrón-hueco que tiene lugar en los niveles intermedios (E_i) de energía, en la banda prohibida, situados entre los niveles de la banda de valencia (E_v) y los niveles de la banda de conducción (E_c) en un semiconductor. Los niveles intermedios corresponden a la existencia de impurezas o de defectos de cristal. Las trampas pueden capturar o emitir un electrón o un hueco según su estado energético (figura III.6).

Las trampas más conocidas en los transistores FET están clasificadas según la localización de su nivel energético [45]. De hecho, se puede distinguir:

- Trampas de substrato con niveles energéticos profundos.
- Trampas debidas a los estados superficiales.

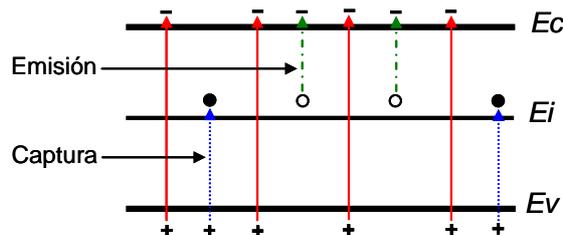


Figura III.6: Captura y emisión de los electrones por las trampas.

III.2 Efecto gate-lag

El término “*gate-lag*” se utiliza para describir la respuesta transitoria de la corriente del drenador I_{ds} cuando se cambia bruscamente la tensión de la puerta V_{gs} . Esto es un problema serio que afecta tanto los circuitos integrados analógicos como digitales, y está atribuido a ambos efectos trampa tanto a los estados superficiales como a los niveles profundos en el sustrato [20,46,47,48].

El efecto gate-lag, durante mucho tiempo, ha sido atribuido a los estados de superficie más que a los estados profundos del sustrato pero se ha visto que también las trampas del sustrato pueden cuasar el efecto gate-lag cuando la puerta está muy polarizada negativamente por debajo del pinch-off [7,8,15].

La dependencia de la corriente con la tensión de polarización V_{gs} se puede demostrar cuantitativamente con la medida del gate-lag. El proceso de este método de medida está representado en la figura III.7. En este caso se aplica un pulso en la puerta del dispositivo mientras que se aplica una tensión continua (DC) constante en el drenador que tiene que ser pequeña para que la potencia disipada en el dispositivo sea muy baja. Con esta configuración se mide la corriente del drenador en el dominio de tiempo. En la figura III.8 se representa el fenómeno transitorio típico de la corriente del drenador debido al efecto gate-lag.

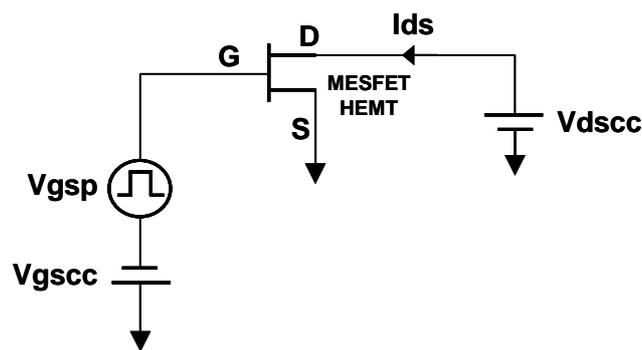
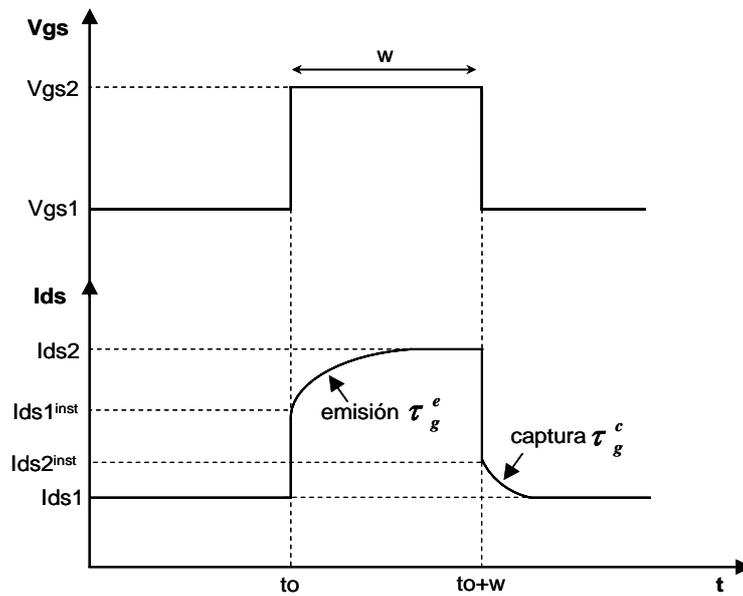


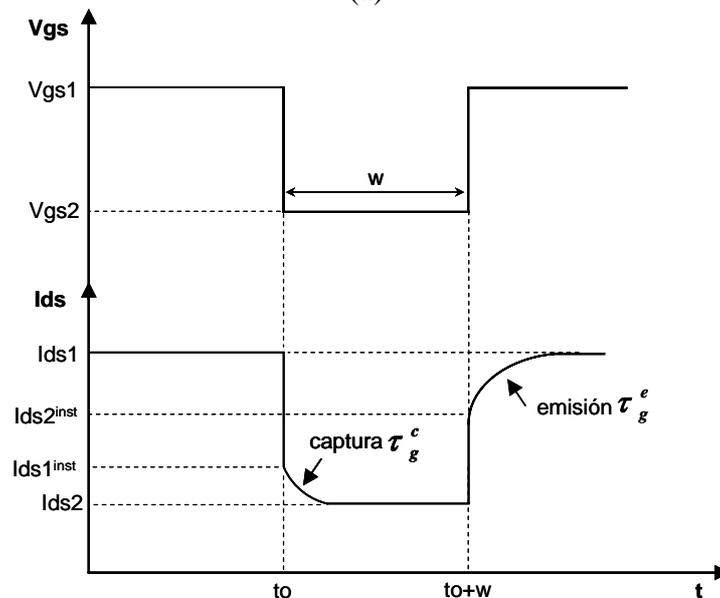
Figura III.7: Medida del efecto gate-lag.

Cuando la tensión V_{gs} pasa de V_{gs1} a V_{gs2} , la corriente I_{ds} pasa de $I_{ds1}=I_{dscc}$ (corriente de polarización de reposo) a I_{ds1}^{inst} (valor instantáneo). El valor I_{ds2} se alcanza solamente si se mantiene la tensión V_{gs} en el valor V_{gs2} (amplitud del pulso)

con un retraso τ_g^e (emisión de electrones). Este valor se mantiene hasta el final del pulso (régimen permanente de I_{ds}). Justamente después del final del pulso ($t=t_0+w$), la corriente I_{ds} vuelve a un valor instantáneo I_{ds2}^{inst} antes de alcanzar el valor inicial I_{dscc} con un retraso τ_g^c (captura de electrones). Todo esto si se trata de un pulso positivo. En el caso de que se aplique pulso negativo, el proceso completo de captura/emisión empieza primero con la captura y termina con la emisión de electrones (figura III.8 (b)).



(a)



(b)

Figura III.8: Comportamiento transitorio típico de la corriente I_{ds} aplicando un pulso V_{gs} “efecto gate-lag”. (a) pulso positivo; (b) pulso negativo.

III.3 Efecto drain-lag

El término “*drain-lag*” se usa para describir el estado transitorio de la corriente del drenador I_{ds} cuando se aplica una tensión pulsada V_{ds} en el drenador del transistor. En este caso la tensión de polarización de la puerta se mantiene constante, y cerca del pinch-off para minimizar el auto-calentamiento del dispositivo. Con esta configuración se mide la corriente I_{ds} en el dominio de tiempo como se muestra en la figura III.9. La respuesta típica de la corriente en el dominio de tiempo está representada en la figura III.10.

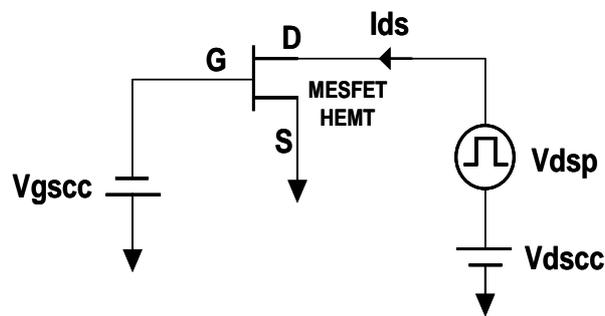
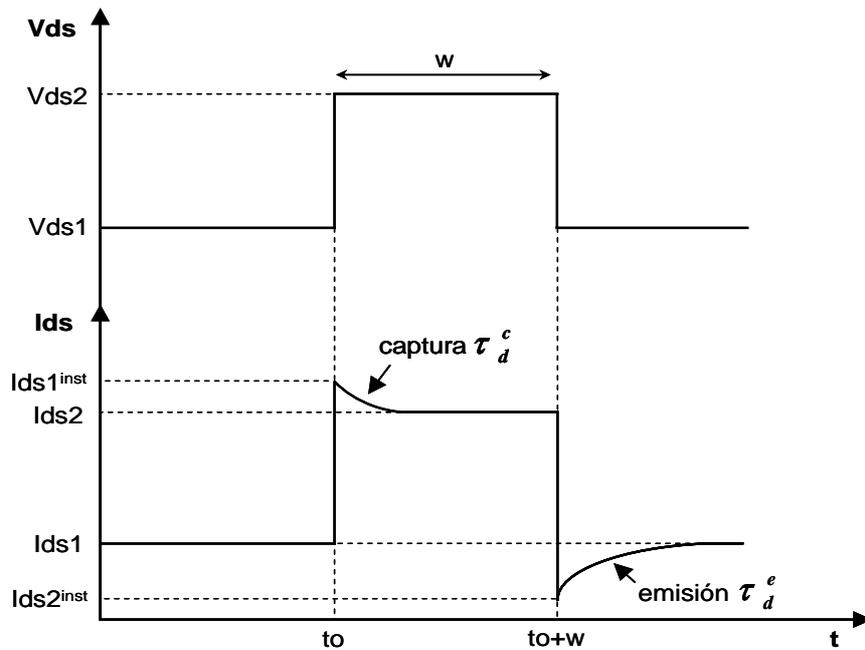


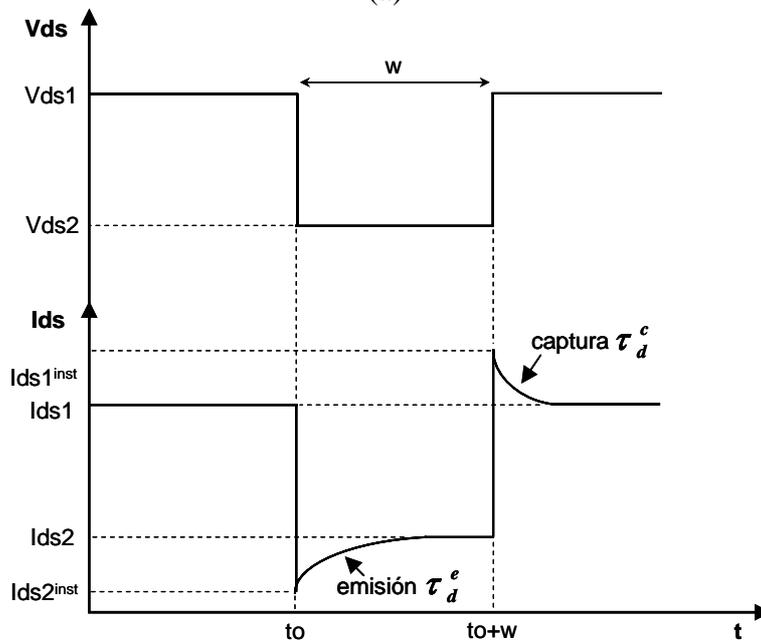
Figura III.9: Medida del efecto drain-lag.

Debido a la naturaleza capacitiva de las trampas, este proceso está retrasado en el tiempo con una constante de tiempo τ_d^c para la captura de cargas y τ_d^e para su liberación. En general la constante de tiempo del proceso de emisión τ^e es más larga que la constante de tiempo del proceso de captura τ^c tanto en el caso de gate-lag como en el caso de drain-lag [43-45]. Al aplicar un pulso positivo en el drenador del transistor, cuando V_{ds} ($V_{ds} = V_{dscc} + V_{dsp}$) pasa de $V_{ds1} = V_{dscc}$ a V_{ds2} , la corriente I_{ds} pasa de $I_{ds1} = I_{dscc}$ (corriente de polarización de reposo) a I_{ds1}^{inst} (valor instantáneo) y después de un tiempo τ_d^c disminuye hasta I_{ds2} y se mantiene en ese valor hasta el final del pulso (ocupación total de los estados trampa). Cuando V_{ds} pasa de V_{ds2} a V_{ds1} (final del pulso), la corriente disminuye hasta el valor instantáneo I_{ds2}^{inst} y después del tiempo τ_d^e vuelve a su valor inicial I_{ds1} (emisión de electrones). En el instante $t = t_0 + w$ (final del pulso) la corriente I_{ds} disminuye hasta I_{ds2}^{inst} porque en este caso la cantidad de carga capturada es mayor que en el instante t_0 aunque la tensión V_{ds} es la misma en los dos instantes. Nótese que dentro del pulso (entre t_0 y $t_0 + w$) I_{ds} alcanza el valor I_{ds2}

solamente si $\tau_d^c < w$, y después del pulso ($t > t_0 + w$) I_{ds} vuelve a su valor inicial solamente si $\tau_d^e < (t_p - w)$, donde t_p es el periodo de los pulsos aplicados. En el caso de pulsos negativos, el proceso se inicia con emisión de cargas y termina con la captura de las mismas (figura III.10 (b)).



(a)



(b)

Figura III.10: Comportamiento transitorio típico de la corriente I_{ds} aplicando un pulso V_{ds} “efecto drain-lag”. (a) pulso positivo; (b) pulso negativo.

III.4 Colapso de corriente

El término colapso hace referencia a la degradación reversible de la corriente I_{ds} debido a los efectos trampa. Si el dispositivo ha sido envejecido térmicamente o eléctricamente durante un largo tiempo (decenas de horas), se puede observar, irreversiblemente, una degradación permanente de la corriente del drenador. En este sentido se han llevado a cabo muchos trabajos de investigación para estudiar la fiabilidad del dispositivo después de ser envejecido eléctricamente o térmicamente [49-55]. Se puede poner de manifiesto, experimentalmente, este fenómeno con medidas pulsadas de las características I/V del dispositivo llevadas a cabo en puntos concretos de polarización de reposo donde se obtienen diferentes características para cada uno de estos puntos como consecuencia de un cambio del estado de ocupación de los estados trampas que dependen de los siguientes factores:

- Las condiciones de polarización (punto de reposo fijado por V_{gscc} y V_{dscc}).
- La variación del campo eléctrico aplicado al transistor (las tensiones dinámicas aplicadas V_{gs} y V_{ds}).
- La duración y periodo de los pulsos utilizados.

Estos diferentes parámetros hacen difícil la caracterización precisa de los efectos trampa si no se procede a separarlos de los efectos térmicos y elegir bien los puntos de polarización de reposo para tal fin.

En el caso de colapso debido al gate-lag, se trata de llevar a cabo esas medidas variando el punto de polarización de reposo de la puerta V_{gscc} mientras que se mantiene la polarización de reposo del drenador V_{dscc} igual a cero para todas las medidas. Con esta configuración no circula corriente continua en el dispositivo y, por lo tanto, está asegurada una medida sin auto-calentamiento. En las figuras III.11 y III.12 se representan las comparaciones entre las características I/V pulsadas llevadas a cabo en dos puntos diferentes de polarización de reposo de la puerta $V_{gscc}=-4V$ y $V_{gscc}=0V$ para el transistor $8 \times 75 \mu\text{m}$ GaN HEMT y $V_{gscc}=-1.6V$ y $V_{gscc}=0V$ para el transistor GaAs MESFET (MGF1923) respectivamente. En estos resultados se ve claramente que

los dispositivos bajo estudio presentan un colapso de corriente debido al efecto de gate-lag aunque se ve que el GaN HEMT está más afectado.

La corriente instantánea medida en pulsada depende mucho de la tensión de polarización de reposo V_{gsc} . Polarizando con $V_{gsc}=0V$ los estados trampa están casi totalmente vacíos y, por lo tanto, los electrones libres pueden contribuir a la conducción. Así, en este punto de polarización se mide la corriente máxima disponible que el dispositivo puede ofrecer. En el caso de que se polarice con una tensión V_{gsc} muy negativa, los estados trampa están totalmente ocupados por los electrones. Si el pulso utilizado en las medidas es muy corto, el proceso de emisión de los electrones atrapados no puede completarse y, por lo tanto, estos electrones atrapados no pueden contribuir en el proceso de conducción. Como consecuencia de este fenómeno se obtiene una reducción de la corriente comparando con la corriente medida en el punto de polarización $V_{gsc}=0V$.

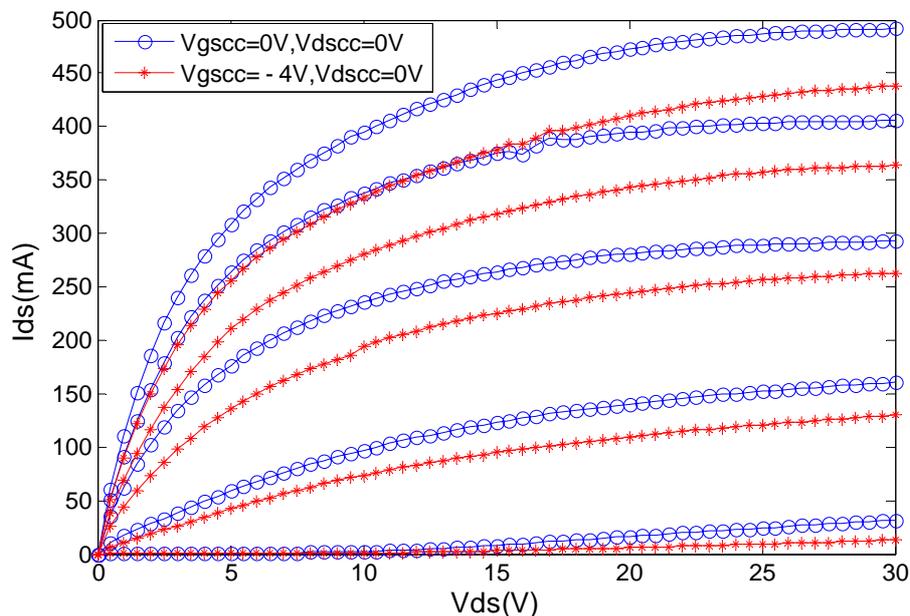


Figura III.11: *Influencia de la tensión de polarización de reposo V_{gsc} sobre las características I/V pulsadas del transistor $8 \times 75 \mu\text{m}$ GaN HEMT poniendo de manifiesto el efecto gate-lag. $V_{gs} = -4V$ hasta $0V$.*

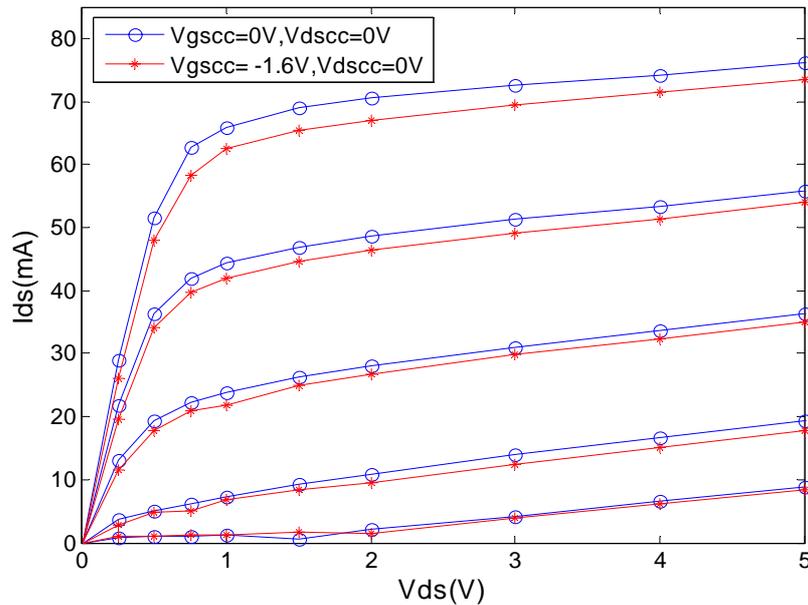


Figura III.12: Influencia de la tensión de polarización de reposo V_{gscc} sobre las características I/V pulsadas del transistor MGF1923 poniendo de manifiesto el efecto gate-lag. $V_{gs} = -1.6V$ hasta $0V$.

En el caso del colapso de corriente debido al drain-lag, se llevan a cabo esas mismas medidas variando el punto de polarización de reposo del drenador V_{dscc} , mientras que se mantenga, en este caso, la polarización de reposo de la puerta V_{gscc} igual a del pinch-off para todas las medidas. La razón de polarizar en pinch-off es asegurar un auto-calentamiento casi nulo. En las figuras III.13 y III.14 se representa la comparación entre las características I/V pulsadas llevadas a cabo para dos puntos diferentes de polarización de reposo del drenador $V_{dscc}=0V$ y $V_{dscc}=20V$ para el transistor $8 \times 75 \mu m$ GaN HEMT y $V_{dscc}=0V$ y $V_{dscc}=5V$ para el transistor GaAs MESFET (MGF1923) respectivamente. Como se puede ver en estas gráficas, se obtienen características diferentes para cada tensión de polarización de reposo V_{dscc} . Puesto que la tensión de polarización de reposo V_{gscc} no es igual a cero, el efecto gate-lag está también presente en estas medidas. Sin embargo, puesto que esta tensión de polarización es la misma para todas las medidas de las características I/V , se puede asumir que las diferencias entre esas características están causadas por el efecto drain-lag.

Como consecuencia común del colapso de corriente debido a estos dos efectos, aparece una reducción de la potencia de salida del transistor a altas frecuencias el cual es uno de

los obstáculos del desarrollo de nuevos dispositivos como en el caso de los transistores HEMT de GaN, y su potencia de salida puede reducir hasta 50% relativamente al valor ideal estimado usando las características I/V que corresponden al punto de polarización de reposo ($V_{gscc}=0V$, $V_{dscc}=0V$) [39,56].

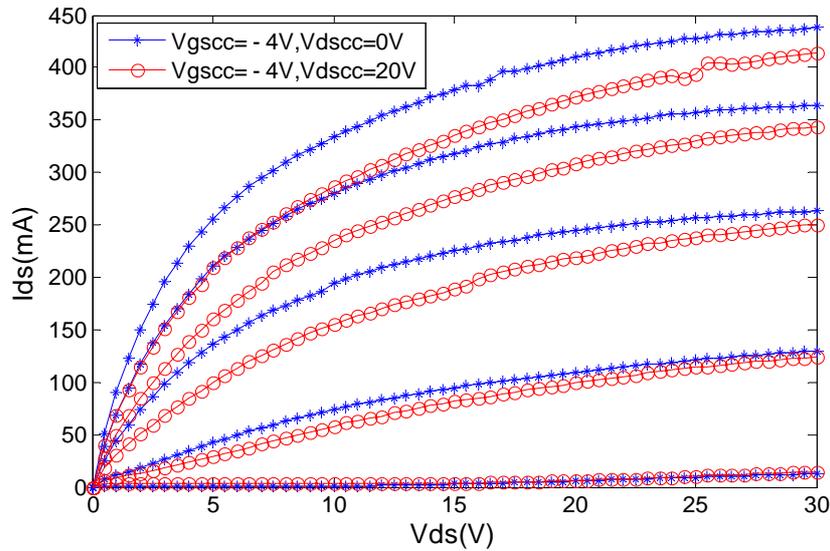


Figura III.13: Influencia de la tensión de polarización de reposo V_{dscc} sobre las características I/V pulsadas del transistor $8 \times 75 \mu\text{m}$ GaN HEMT poniendo de manifiesto el efecto drain-lag. $V_{gs} = -4V$ hasta $0V$.

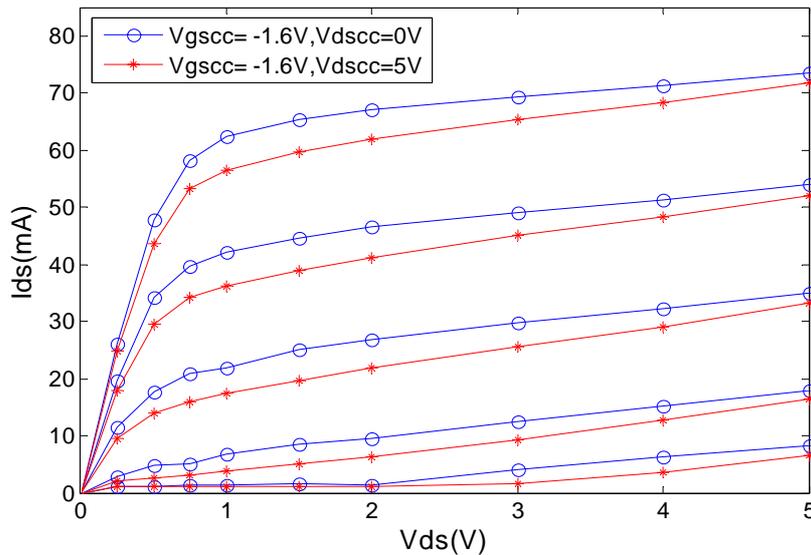


Figura III.14: Influencia de la tensión de polarización de reposo V_{dscc} sobre las características I/V pulsadas del transistor MGF1923 poniendo de manifiesto el efecto drain-lag. $V_{gs} = -1.6V$ hasta $0V$.

IV. Interpretación física de los efectos trampa

Los efectos trampa son principalmente causados por los estados energéticos trampa existentes en la superficie, en el buffer y en el sustrato. Las alteraciones de las tensiones de polarización de la puerta y/o del drenador del transistor provocan un cambio de los estados trampa. Inmediatamente después de un cambio de las tensiones de polarización, los estados trampa no están dispuestos para seguir este cambio instantáneamente. El proceso de transición de los estados trampa requiere un tiempo específico para ser completado. Puesto que la corriente depende de la condición de ocupación de los estados trampa, se pueden observar retrasos en la respuesta de la misma en el dominio de tiempo.

IV.1 Mecanismo físico del fenómeno gate-lag

Se ha demostrado que las trampas situadas en los niveles de las superficies libres son que tienen influencia sobre el gate-lag, y particularmente aquellas situadas entre la puerta y el drenador [57]. El hecho de que es posible disminuir o anular totalmente estos efectos gracias a los tratamientos de superficie (pasivación), puede confirmar estos resultados [58,59]. Sin embargo, si la tensión de polarización V_{gs} es muy negativa (debajo del pinch-off), también los estados situados en el buffer pueden capturar las cargas y, por lo tanto, causan el efecto gate-lag [39].

Si bien es cierto que los donantes en la superficie son necesarios para mantener la presencia del gas de electrones bidimensional (2DEG) bajo las superficies libres, estos últimos pueden ser una verdadera trampa para los propios electrones cuando la tensión V_{gs} sea negativa. Como solución de este problema, se pueden compensar estos donantes; sin embargo, este hecho va a provocar una disminución de la densidad de portadores de carga en el canal disminuyendo, por lo tanto, la corriente máxima, que el dispositivo puede ofrecer.

IV.2 Mecanismo físico del fenómeno drain-lag

Mientras que la causa principal del gate-lag son los estados trampa superficiales, el drain-lag está causado por los estados trampa del buffer o del sustrato [60-62]. Normalmente los dispositivos MESFET y HEMT se crecen sobre sustratos semi-aislantes para obtener un buen aislamiento eléctrico y una alta conductividad térmica como puede ser el carbono silicio de (SiC) en el caso de los HEMT de GaN por ejemplo [63]. Sin embargo, la característica semi-aislante del dicho material se alcanza con la compensación por impurezas incorporando dopantes en los niveles profundos (ej: el Vanadio en SiC) que produce estados trampa. Al contrario del caso de efecto del gate-lag, el efecto drain-lag no es posible compensarlo con pasivación o tratamiento superficial. Esto confirma que el origen del drain-lag se localiza en la capa del buffer y en el sustrato.

IV.3 Fenómeno de “self-backgating”

Este fenómeno es bien conocido en los transistores MESFET de GaAs, y de una manera análoga se puede explicar en los transistores HEMT de GaN. Las trampas localizadas en el sustrato semi-aislante son la causa principal de este fenómeno [64-68].

Cuando se aplica un potencial entre el drenador y la fuente del transistor, los estados trampa localizados en el sustrato capturan los electrones. Estas trampas cargadas hacen que el sustrato esté cargado negativamente en la proximidad del canal (figura III.15). El equilibrio de la carga total implica que se aparezca una carga positiva en la interfase canal/sustrato. Esta carga provoca un potencial en el sustrato que actúa como una puerta virtual trasera en el canal llamada “*backgate*” que hace que el canal sea más estrecho disminuyendo así la corriente del drenador: es el fenómeno de “*self-backgating*”. El potencial de la puerta virtual (V_b) es difícil de controlar puesto que depende de la cantidad de la carga atrapada.

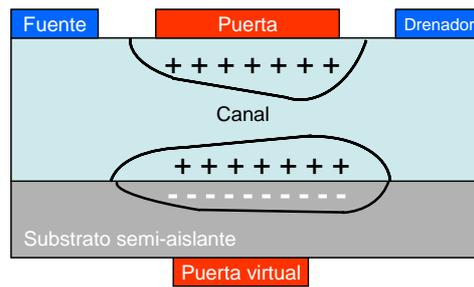


Figura III.15: Fenómeno de *self-backgating* debido a los efectos trampa en los transistores MESFET y HEMT.

Con el concepto de la aparición de una puerta virtual, las características I/V del dispositivo no van a depender solamente de las dos tensiones de control V_{gs} y V_{ds} sino dependerán también del potencial V_b de la puerta virtual. Este potencial depende de la distribución espacial de la carga atrapada, y su valor va a ser nulo solamente si el transistor no está polarizado. Aplicar al dispositivo cualquier polarización va a cambiar el valor de V_b . En las medidas de las características I/V dinámicas, la corriente disponible en cualquier punto de éstas dependerá del valor instantáneo de la tensión V_b que el mismo dependerá de la ocupación instantánea de las trampas y la ocupación provocada por el punto de polarización de reposo.

V. Dependencia de los estados trampa con la iluminación y la temperatura

El estado de las trampas depende mucho del estado térmico y de la iluminación del dispositivo debido a que estos dos factores pueden ser los proveedores de la energía necesaria a los electrones atrapados en los niveles entremedios entre la banda de valencia y de conducción para que pasen a la banda de conducción y, por lo tanto, participar en la conducción aumentando la corriente. Sin embargo, puesto que la mayoría de los circuitos usados en las aplicaciones reales están encapsulados, la influencia de la iluminación sobre las trampas no es tan importante [69-72].

Generalmente el efecto térmico, tanto del auto-calentamiento como de la temperatura externa, sobre las características I/V del transistor se traduce en una disminución del nivel de estas características cuando se aumenta la temperatura. Esto es debido a que la

temperatura disminuye la movilidad y la velocidad de los electrones en el canal del dispositivo y, por lo tanto, disminuye la corriente [72,73]. Sin embargo, en algunos casos el aumento de la temperatura puede ser un factor compensador de la degradación térmica de la corriente puesto que este hecho pueda ser la causa de la liberación de los electrones atrapados y, por lo tanto, aumentar la corriente.

Para determinar el grado de influencia de la temperatura sobre los estados trampa se han llevado a cabo las medidas pulsadas de las características I/V del transistor en dos puntos diferentes de polarización de reposo para dos temperaturas diferentes (+27°C y +70°C). La medida DC de estas características no es útil para este tipo de caracterización puesto que presenta a la vez los efectos del auto-calentamiento y trampa. En primer lugar, consideramos las medidas pulsadas I/V que corresponden al punto de polarización de reposo ($V_{gsc} = 0V$, $V_{dsc} = 0V$), considerado como un punto libre de trampas, para esas dos temperaturas. En las figuras III.16 y III.17 se representan estas medidas, para el transistor 8x75µm GaN HEMT y el GaAs MESFET (MGF1923) respectivamente, donde se ve una importante degradación de corriente en ambos dispositivos. Se puede considerar que dicha degradación solamente es debida al efecto de la temperatura externa puesto que el transistor está polarizado en un punto sin trampas y sin auto-calentamiento. En este caso la degradación de corriente en la zona de saturación es de 55mA para el 8x75µm GaN HEMT y de 7.23mA para el MGF1923 que corresponden al 11.2% y 9.5% respectivamente.

Ahora consideramos las medidas pulsadas de las características I/V que corresponden a un punto de polarización de reposo asociado a un estado de alta ocupación de trampas, pero al mismo tiempo sin auto-calentamiento, llevadas a cabo a las mismas temperaturas externas, para guardar el mismo estado térmico del transistor. Este punto no puede ser otro que el que se fija al polarizar el transistor en pinch-off para la tensión de la puerta y en una tensión alta para la tensión de polarización del drenador, por ejemplo, ($V_{gsc} = -4V$, $V_{dsc} = 20V$ para el 8x75µm GaN HEMT y $V_{gsc} = -1.6V$, $V_{dsc} = 5V$ para el MGF1923). En las figuras III.18 y III.19 se representan las características I/V que corresponden a estas condiciones donde también se ve una degradación importante de corriente, siendo en este caso menor que en el caso anterior puesto que una parte de

los electrones atrapados se han liberado gracias al efecto de la temperatura. En este caso se ha calculado una degradación en la zona de saturación de 43mA para el 8x75µm GaN HEMT que corresponde al 10.4% y 5.72mA para el MGF1923 que corresponde a una degradación del 7.96%. La diferencia entre la degradación de corriente en el caso sin trampas y con trampas es el porcentaje de corriente resultado por la liberación de los electrones atrapados debido a los efectos térmicos que es de 0.8% para el 8x75µm GaN HEMT que corresponde a 0.28mA/°C y 1.54% para el MGF1923 que corresponde a 0.035mA/°C en este caso.

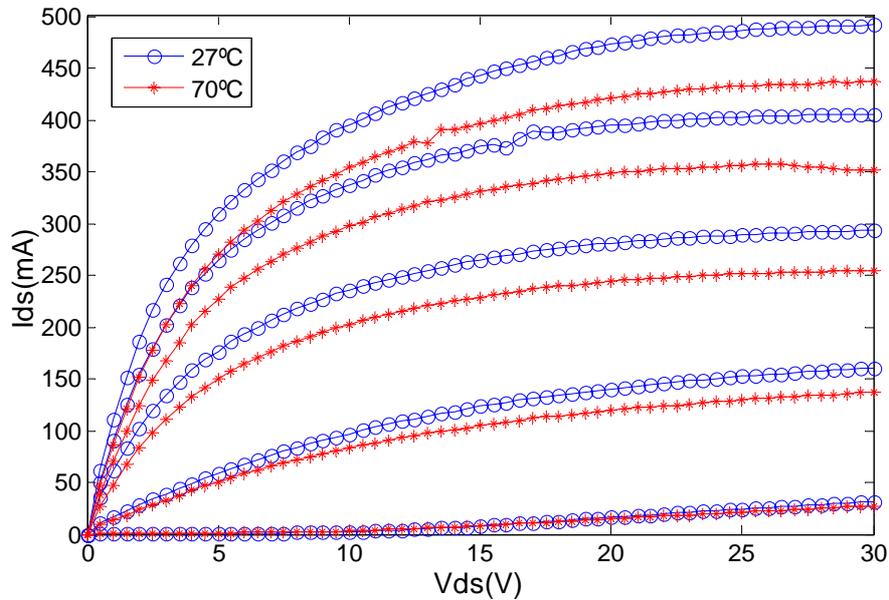


Figura III.16: Características I/V en pulsada ($V_{gsc} = 0V, V_{dsc} = 0V$) llevadas a cabo a dos temperaturas diferentes para el transistor 8x75µm GaN HEMT. $V_{gs} = -4V$ hasta $0V$.

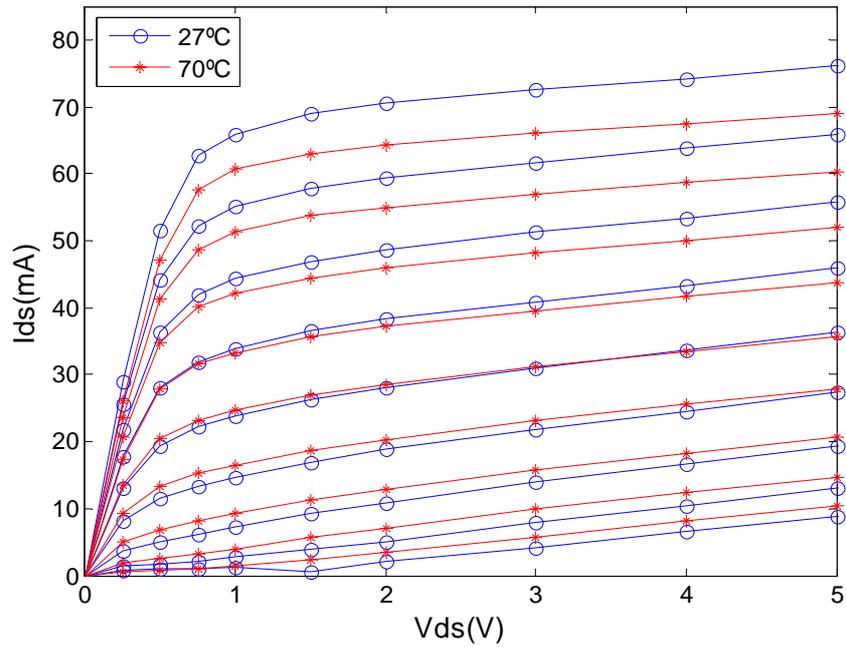


Figura III.17: Características I/V en pulsada ($V_{gsc} = 0V, V_{dsc} = 0V$) llevadas a cabo a dos temperaturas diferentes para el transistor MGF1923. $V_{gs} = -1.6V$ hasta $0V$.

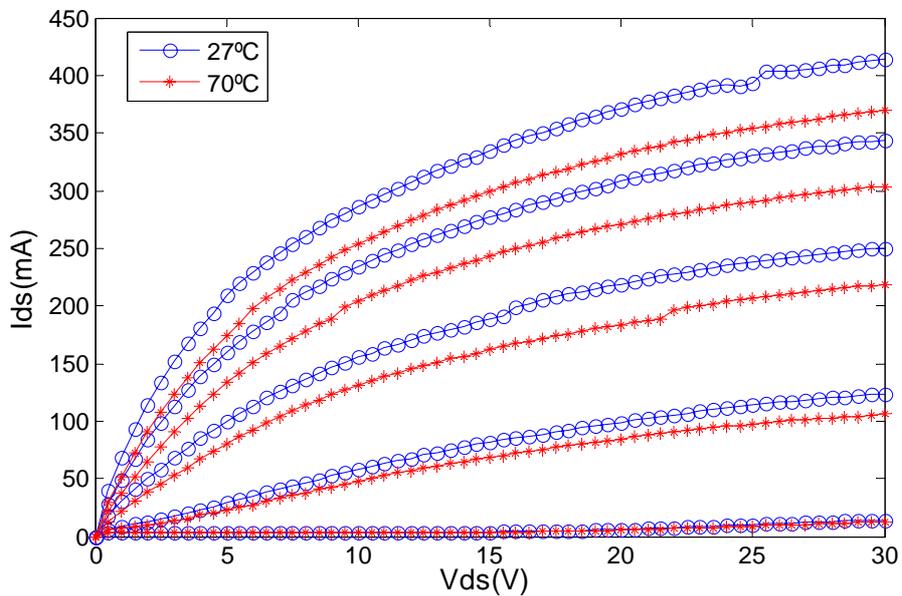


Figura III.18: Características I/V en pulsada ($V_{gsc} = -4V, V_{dsc} = 20V$) para dos temperaturas diferentes para el transistor $8 \times 75 \mu m$ GaN HEMT. $V_{gs} = -4V$ hasta $0V$.

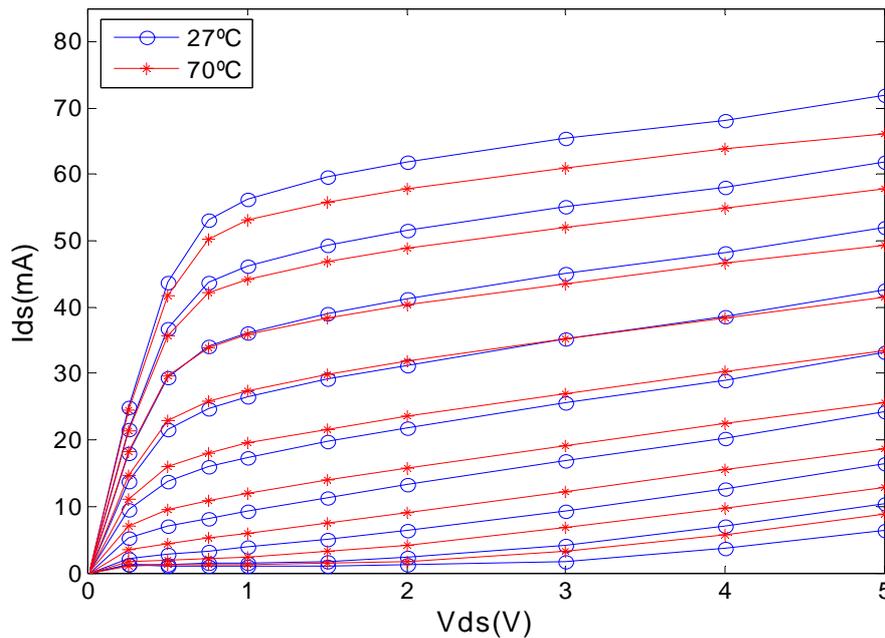


Figura III.19: Características I/V en pulsada ($V_{gsc}=-1.6V, V_{dsc}=5V$) a dos temperaturas diferentes para el transistor MGF1923. $V_{gs}=-1.6V$ hasta $0V$.

VI. Reducción de los efectos trampa

Se ha observado que mediante la técnica de pasivación del dispositivo puede atenuarse, e incluso en algunos casos evitarse, el efecto de colapso de la corriente en los transistores FET tanto los basados en GaAs como los basados en GaN [74-83]. Sin embargo, con esta técnica se reduce solamente el colapso de corriente relacionado con el efecto de gate-lag puesto que se ha visto que los dispositivos pasivados aún muestran el efecto de drain-lag [84]. Todo apunta a que los estados superficiales juegan un importante papel en dicho fenómeno de colapso relacionado con el efecto de gate-lag. En esta técnica se trata de depositar una capa de distintos pasivantes como SiN, Al₂O₃, MgO y Sc₂O₃, sobre la superficie de la capa n-GaAs en el caso del transistor GaAs MESFET (figura III.20 (a)) o sobre la superficie de la capa AlGaIn en el caso del transistor HEMT de GaN (figura III.20 (b)); siendo el pasivante más extendido el Si_xN_y. Además, se ha demostrado que en los dispositivos que han recibido un tratamiento de superficie preliminar con plasma [85,86] u oxidación [87-89], a la hora de su crecimiento antes de aplicar la técnica de pasivación, se logran mejores resultados. Hay que añadir que la técnica de pasivación supone añadir un paso más en el procesado del

dispositivo y, por lo tanto, un grado más de complejidad, debido a la dificultad en la optimización y reproducibilidad de dicha capa Si_xN_y . Por otro lado, la deposición de esta capa se realiza a alta temperatura con el dispositivo ya procesado, lo que puede degradar el contacto Schottky de puerta [90].

Sin embargo, la explicación del mecanismo de la pasivación sobre el comportamiento de las trampas no está claramente establecida. Se ha supuesto que la pasivación de la superficie puede ocultar los donantes de la superficie haciéndolos así inaccesibles por los electrones (impedir su captura) [29,59, 91].

Otra alternativa para disminuir el colapso de la corriente debido a los efectos trampa, puede ser la iluminación del dispositivo con luz ultra violeta (UV) que lleva los electrones fuera de las trampas superficiales [34].

Aunque en los dispositivos pasivados el efecto de gate-lag, que está relacionado con las trampas superficiales, está casi anulado, no es posible reducir el efecto de drain-lag con la técnica de pasivación puesto que éste está atribuido a las trampas situadas en el buffer y en el sustrato. De hecho, sigue siendo un obstáculo para la mejora de las características de esos dispositivos, pero afortunadamente con la mejora de la calidad cristalina se puede reducir el colapso de la corriente relacionado con el efecto drain-lag.

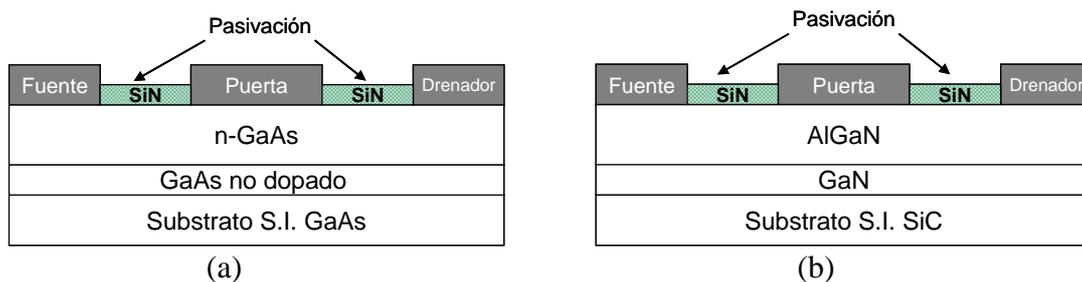


Figura III.20: Estructura típica de un transistor GaAs MESFET (a) y de un transistor GaN HEMT (b) usando la técnica de pasivación.

VII. Impacto de la temperatura sobre el comportamiento del transistor

Además de los efectos trampa, los efectos térmicos también alteran el comportamiento normal de los transistores MESFET y HEMT. El estado térmico es el resultado de la temperatura ambiente y del auto-calentamiento del propio transistor.

Las figuras III.21a y III.21b ilustran un ejemplo del efecto del auto-calentamiento sobre las características I/V, llevadas a cabo en régimen de continua, de un GaAs MESFET de potencia y de un HEMT de GaN. Se puede observar una disminución de la corriente del drenador cuando se aumenta la potencia disipada en el transistor en ambos dispositivos. Esto se debe a la disminución de la movilidad de los electrones con el aumento de la temperatura. Sin embargo, como se ha visto en los párrafos anteriores, las características I/V llevadas a cabo en régimen pulsado no muestran este fenómeno, razón que justifica la utilización de las medidas pulsadas para controlar el estado térmico interno del transistor.

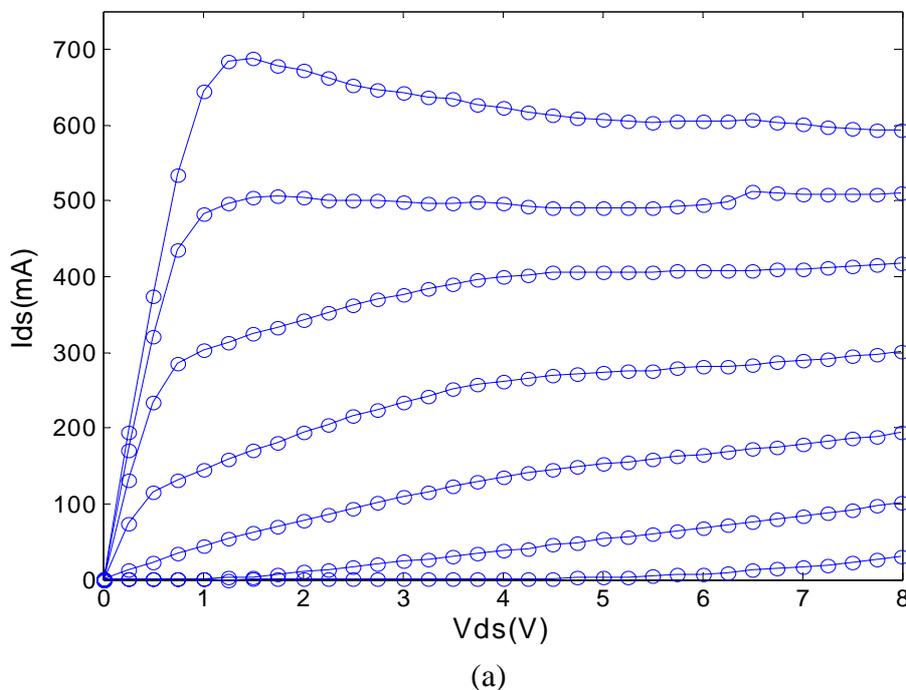


Figura III.21a: *Influencia del efecto del auto-calentamiento sobre las características I/V de un transistor GaAs MESFET (MGF2430A). $V_{gs} = -3V$ hasta $0V$.*

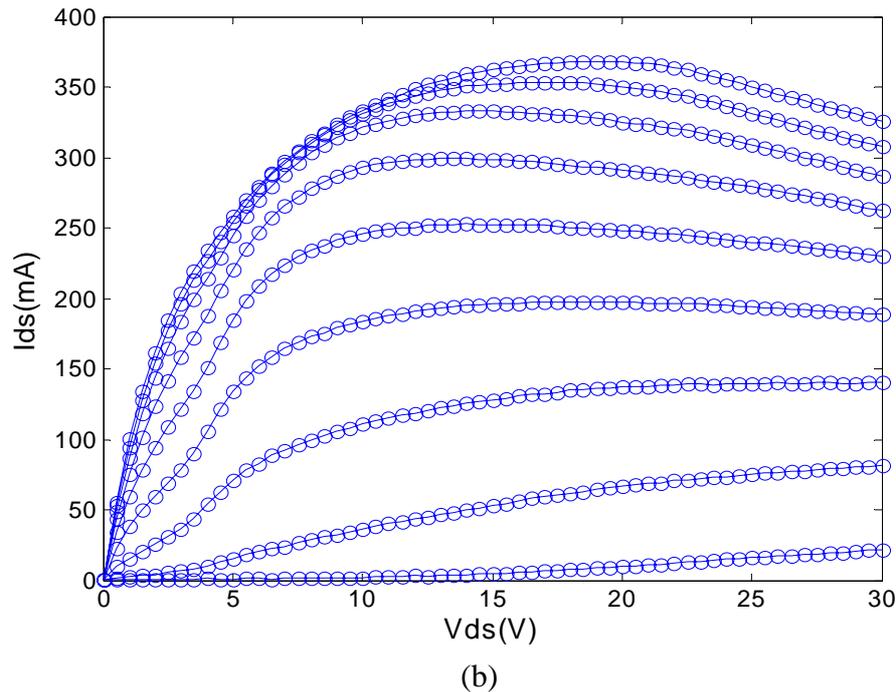


Figura III.21b: *Influencia del efecto del auto-calentamiento sobre las características I/V del transistor 8x75 μ m GaN HEMT. $V_{gs} = -4V$ hasta 0V.*

A partir de ahora, los efectos térmicos relacionados con el auto-calentamiento se relacionarán, junto con los efectos trampa, con la dispersión de las características del transistor debida al cambio de las tensiones de polarización del transistor. Mientras que con el calificativo “*efectos térmicos*” se hará referencia a los efectos dispersivos que tienen en cuenta la variación del comportamiento del transistor con la temperatura ambiente.

Desde un punto de vista macroscópico este tipo de efectos se manifiesta de varias formas; variación de los niveles de corriente en las características I/V del dispositivo y cambio de la tensión de pinch-off [92,93]. Sin embargo, la variación de los niveles de corriente es la que, en porcentaje, presenta las mayores diferencias para valores extremos de la temperatura. Desde un punto de vista de modelado, el efecto de la temperatura sobre los transistores MESFET y HEMT se manifiesta como cambios en los valores de los parámetros del modelo elegido [94-99] para las fuentes de corriente, capacidades, etc. Así como desde un punto de vista macroscópico la objetividad en los

efectos de la temperatura sobre el comportamiento del transistor es clara, desde el de modelado la situación no es la misma.

Puesto que la pluralidad de modelos es amplia, y la complejidad de los mismos es cada vez mayor, se hace mucho más difícil la tarea de identificar las variaciones en el comportamiento del transistor observadas a nivel macroscópico con variaciones en términos específicos de las expresiones que confirman dichos modelos. El resultado final es que, a la hora de trabajar en modelado de dichos transistores, el efecto de la temperatura se manifiesta como una variación de determinados parámetros, o todos, del modelo elegido con la misma.

Como ejemplo de lo que es posible apreciar, desde el punto de vista del comportamiento del transistor, en la figura III.22 se muestran las medidas, llevadas a cabo para el transistor MGF1923 y el dispositivo $8 \times 75 \mu\text{m}$ GaN HEMT, en régimen pulsado, de las características I/V a tres temperaturas distintas (-70°C , $+27^\circ\text{C}$ y $+70^\circ\text{C}$). En estas medidas se observa la existencia de los efectos anteriormente descritos en estas características que varían en función de la temperatura. El tiempo de medida entre una temperatura y otra ha sido suficiente largo para asegurar una estabilidad térmica del dispositivo.

Como se ha mencionado anteriormente, la ventaja principal de la caracterización en régimen pulsado polarizando el transistor en el punto de polarización de reposo ($V_{gscc}=0V, V_{dscc}=0V$) reside en la posibilidad de fijar un estado térmico frío (sin auto-calentamiento) y libre de trampas. Así, dejamos el transistor solamente bajo la influencia de la temperatura ambiente y estaremos seguros de que cualquier modificación en su comportamiento será por causa de la misma.

Para llevar a cabo una caracterización de forma amplia de la influencia de los efectos de temperatura sobre el comportamiento del transistor, se han realizado otros tipos de medidas para diferentes temperaturas, además de las medidas de las características I/V en continua y pulsada tanto para la fuente I_{ds} como para las fuentes I_{gs} y I_{gd} de las uniones puerta-fuente y puerta-drenador respectivamente, como las medidas de los parámetros de Scattering y las medidas en gran señal (potencia de salida versus la

potencia de entrada). Estas medidas se presentarán en detalle en el capítulo dedicado al tema de modelado de estos efectos.

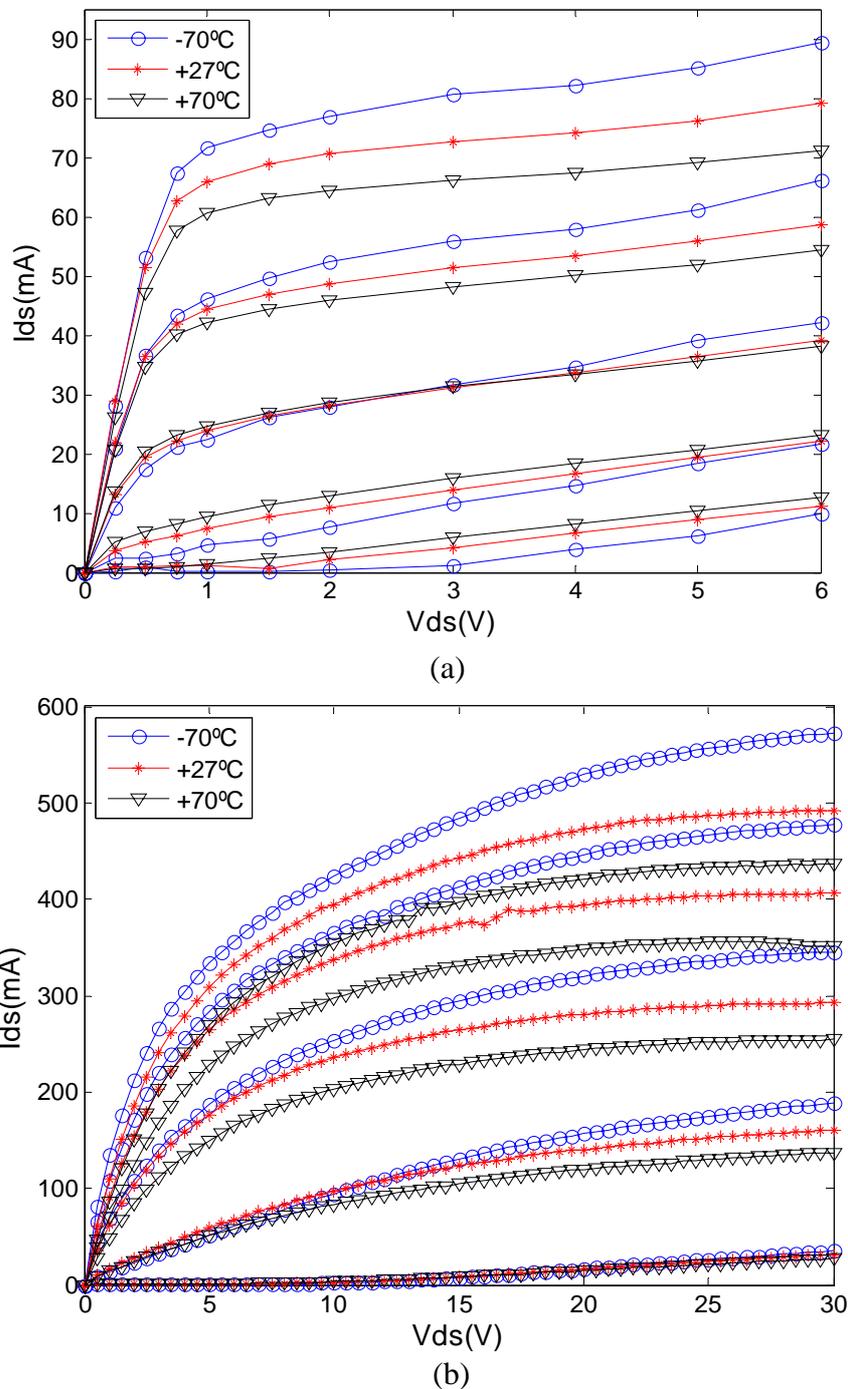


Figura III.22: Características I/V pulsadas mostrando el efecto de la temperatura ambiente sobre ellas.

(a) GaAs MESFET (MGF1923). $V_{gs} = -1.6\text{V}$ hasta 0V .

(b) $8 \times 75 \mu\text{m}$ GaN HEMT. $V_{gs} = -4\text{V}$ hasta 0V .

Cabe destacar que, en algunas aplicaciones concretas, los transistores MESFET y HEMT tienen que funcionar bajo condiciones térmicas extremas como en el caso de las aplicaciones militares o espaciales. En radioastronomía, por ejemplo, se trabaja con señales muy débiles procedentes del espacio exterior donde es muy difícil de separar la señal deseada del nivel del ruido. En este caso estamos obligados a usar receptores con amplificadores de muy bajo ruido en su entrada [100]. En este sentido, se ha visto que los transistores FET generan un ruido mínimo cuando se enfrían hasta temperaturas muy bajas (temperaturas criogénicas) [101,102]. Razón por la que estos dispositivos son los componentes usados más a menudo en aplicaciones para la astronomía. Sin embargo, antes del diseño de amplificadores de muy bajo ruido dedicados a éste tipo de aplicaciones, tener a nuestra disposición modelos de estos transistores con parámetros que han sido extraídos en estas temperaturas extremas, será sin duda una buena base para tal fin [92,98,99,103,104].

Desde un punto de vista macroscópico, los efectos de la temperatura en régimen criogénico se manifiestan como una fuerte variación de la pendiente de las características I/V del transistor en la zona de saturación, un aumento del nivel de estas características, y en los dispositivos que muestran el fenómeno llamado “*efecto kink*” el último se hace más fuerte. La figura III.23 ilustra las medidas de las características I/V llevadas a cabo en régimen DC a temperaturas criogénicas para los transistores MGF1923 y 8x75 μ m GaN HEMT. Como se ve en las gráficas de esta figura, el dispositivo que muestra el fenómeno de efecto kink es el transistor GaN HEMT. Este efecto se define como un aumento brusco de la corriente de drenador y está relacionado con los efectos trampa [105-107].

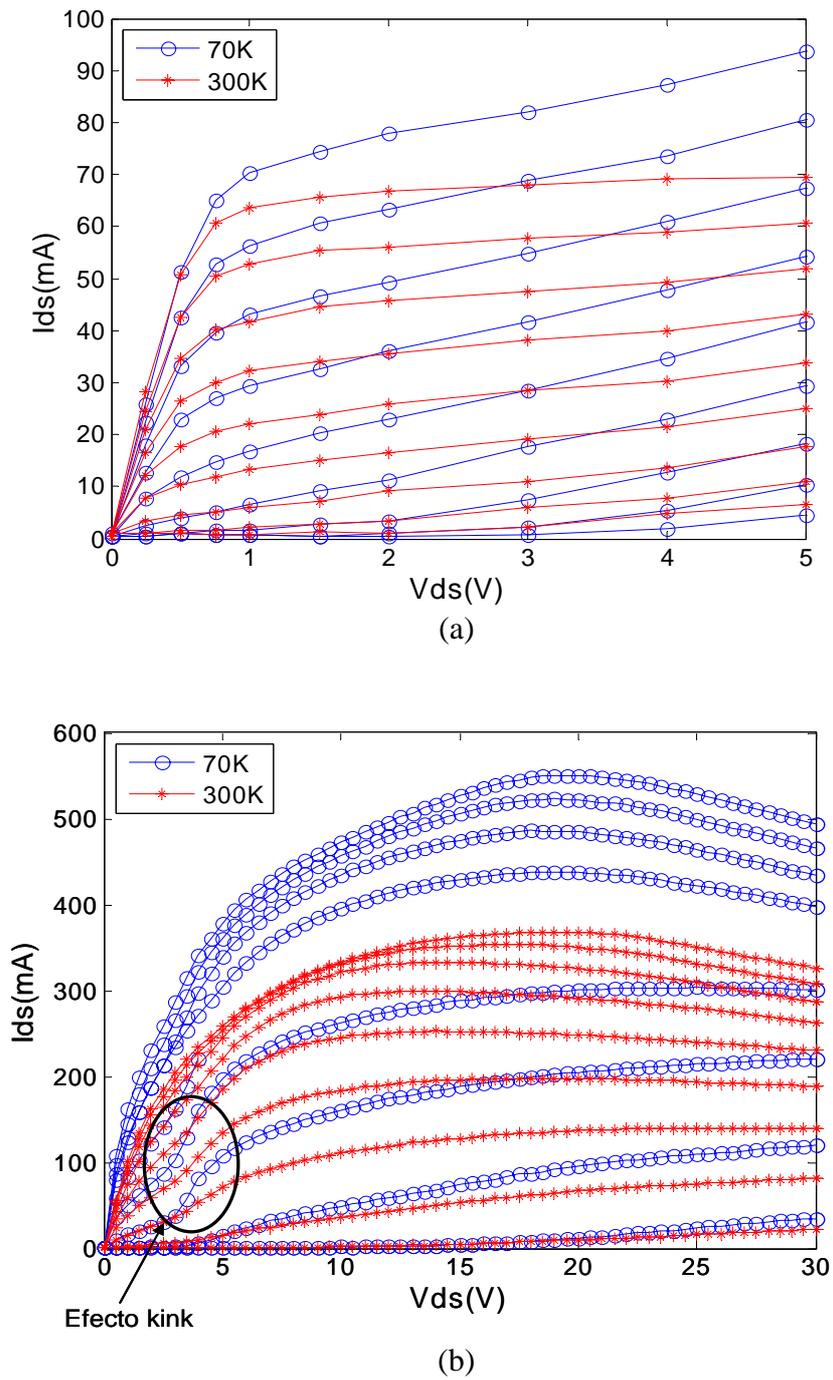


Figura III.23: Influencia de la temperatura ambiente en el rango criogénico sobre las características I/V en régimen de continua.
 (a) GaAs MESFET (MGF1923). $V_{gs} = -1.6\text{V}$ hasta 0V .
 (b) $8 \times 75 \mu\text{m}$ GaN HEMT. $V_{gs} = -4\text{V}$ hasta 0V .

VIII. Conclusiones

En el presente capítulo se ha discutido el fenómeno de degradación de corriente que causan los efectos térmicos y trampa así como su método de caracterización tanto en los transistores GaAs MESFET como en los transistores HEMT de GaN. En primer lugar se ha presentado la caracterización del colapso de la corriente de drenador así como la influencia de la temperatura sobre las trampas basándose en las medidas pulsadas de las características I/V. Se ha demostrado que existe una relación directa entre los efectos trampa, que causan los efectos gate-lag y drain-lag, y el colapso de la corriente.

El estudio y la determinación de los requisitos que tienen que cumplir los sistemas de medida pulsada no son de menos importancia puesto que esta medida es la base de tal caracterización y modelado de dichos efectos.

Se ha demostrado también que la energía térmica puede hacer que los electrones atrapados sobrepasen la barrera energética para que salten a la banda de conducción participando en la conducción.

Sin embargo, si es cierto que, de un lado, la temperatura (debido al auto-calentamiento o externa) parece que es un factor positivo para disminuir la degradación de la corriente que causan los efectos trampa, de otro lado, en realidad no es así puesto que la fuerte degradación que causa la misma no es en absoluto compensable por los electrones liberados por la energía térmica que han ganado. Así, la dispersión térmica se considera, en todo caso, un efecto aditivo a los efectos trampa que altera aún más el comportamiento de esos dispositivos.

Como conclusión principal de este capítulo, se puede decir que los efectos, tanto térmicos como trampa, son uno de los desafíos importantes para conseguir la madurez del proceso tecnológico de los dispositivos basados en nuevos materiales prometedores como los HEMT de GaN en particular y son una verdadera dificultad adicional para todos los transistores FET, lo cual hace que sea necesario tenerlos en cuenta tanto para el estudio de la fiabilidad del dispositivo como para el desarrollo de sus modelos.

Referencias

- [1] R. E. Leoni III, J. W. Bao, M. S. Shirokov and J. C. M. Hwang, "A Physically-based transient SPICE model for GaAs MESFET's" *IEEE MTT-S International Microwave Symposium Digest*, vol. 2, pp. 607-610, 1998.
- [2] A. Rippke, F. Wang, W.D. Jemison, M.S. Shirokov and J.C.M. Hwang, "An improved low frequency transient model extraction procedure for GaAs MESFETs" *IEEE Sarnoff Symposium Digest*, 2000.
- [3] F. Wang, W.D. Jemison and J. C. M. Hwang, "A GaAs MESFET transient model capable of predicting trap-induced memory effects under complex digital modulation" *IEEE MTT-S International Microwave Symposium Digest*, vol. 2, pp. 815-818, 2001.
- [4] E. Kohn, I. Daumiller, M. Kunze, M. Neuburger, M. Seyboth, T.J. Jenkins, J. S. Sewell, J. V. Norstand, Y. Smorchkova and U. K. Mishra, "Transient characteristics of GaN-based heterostructure field-effect transistors" *IEEE Trans. Microwave Theory and Techniques*, vol. 51, no. 2, pp. 634-642, Feb. 2003.
- [5] R. E. Leoni III, M. S. Shirokov, J. Bao and J. C. M. Hwang, "A phenomenologically based transient PSPICE model for digitally modulated performance characteristics of GaAs MESFETs" *IEEE Trans. Microwave Theory and Techniques*, vol. 49, no. 6, pp. 1180-1186, June 2001.
- [6] J. M. Tirado, J. L. Sánchez-Rojas and J. I. Izpura, "Trapping effects in the transient response of AlGaIn/GaN HEMT devices" *IEEE Trans. Electron Devices*, vol. 54, no. 3, pp. 410-417, Mar. 2007.
- [7] R. Yeats, D. C. D'Avanzo, K. Chan, N. Fernandez, T. W. Taylor and C. Vogel, "Gate slow transients in GaAs MESFETs-causes, cures, and impact on circuits" *International Electron Devices Meeting*, pp. 842-845, Dec. 1988.
- [8] C. J. Kyoung and L. Jong-Lam "Determination of energy levels of surface states in GaAs metal-semiconductor field-effect transistor using deep-level transient spectroscopy" *Applied Physics Letters*, vol. 74, no. 8, pp. 1108-1110, Feb. 1999.
- [9] C. Charbonniaud, S. De Meyer, J. P. Teyssier and R. Quéré, "Electrothermal and trapping effects characterization of AlGaIn/GaN HEMTs" *11th GAAS Symposium*, Munich, pp. 201-204, 2003.
- [10] J. G. Rathmell and A. E. Parker, "Characterization and modeling of substrate trapping in HEMTs" *European Microwave Integrated Circuit Conference, eumic 2007*, pp. 64-67, Oct. 2007.
- [11] Y. Hasumi, T. Oshima, N. Matsunaga and H. Kodera, "Analysis of the frequency dispersion of transconductance and drain conductance in GaAs MESFETs" *Electronics and Communications in Japan, Part 2*, vol. 89, no. 4, pp. 20-28, 2006.

- [12] V. R. Balakrishnan, V. Kumar and S. Ghosh, "Experimental evidence of surface conduction contributing to transconductance dispersion in GaAs MESFETs" *IEEE Trans. Electron Devices*, vol. 44, no. 7, pp. 1060-1065, Jul. 1997.
- [13] P. B. Klein, S. C. Binari, J. J. A. Freitas and A. E. Wickenden, "Photoionization spectroscopy of traps in GaN metal-semiconductor field-effect transistors" *Journal of Applied Physics*, vol. 88, no. 5, pp. 2843-2852, Sep. 2000.
- [14] J. M. Golio, M. G. Miller, G. N. Maracas and D. A. Johnson, "Frequency-dependent electrical characteristics of GaAs MESFET's" *IEEE Trans. Electron Devices*, vol. 37, no. 5, pp. 1217-1227, May 1990.
- [15] K. Horio, and T. Yamada, "Two-dimensional analysis of surface-state effects on turn-on characteristics in GaAs MESFETs" *IEEE Trans. Electron Devices*, vol. 46, no. 4, pp. 648-655, Apr. 1999.
- [16] A. E. Parker, J. G. Rathmell, "Bias and frequency dependence of FET characteristics" *IEEE Trans. Microwave Theory and Techniques*, vol. 51, no. 2, pp. 588-592, Feb. 2003.
- [17] F. Filicori, G. Vannini, A. Santarelli, A. M. Sanchez, A. Tazon and Y. Newport, "Empirical modeling of low-frequency dispersive effects due to traps and thermal phenomena in III-V FET's" *IEEE Trans. Microwave Theory and Techniques*, vol. 43, no. 12, pp. 2972-2981, Dec. 1995.
- [18] W.R. Curtice, J. R. Bennett, D. Suda and B. A. Syrett, "Modeling of current lag in GaAs IC's" *IEEE MTT-S International Microwave Symposium Digest*, vol. 2, pp. 603-606, 1998.
- [19] K. Horio, T. Yamada and A. Wakabayashi, "Analysis of surface and substrate deep-trap effects on gate-lag phenomena in GaAs MESFETs" *GaAs Reliability Workshop, 1997, Proceedings*, pp. 101-103, Oct. 1997.
- [20] J. H. Zhao, R. Hwang and S. Chang, "On the characterization of surface states and deep traps in GaAs MESFETs" *Solid-State Electronics*, vol. 36, no. 12, pp. 1665-1672, Dec. 1993.
- [21] C. Fiegna, F. Filicori, G. Vannini and F. venturi, "Modeling the effects of traps on the I-V characteristics of GaAs MESFETs" *IEEE Electron Devices Meeting, International*, pp. 373-376, Dec. 1995.
- [22] M. G. Adlerstein, "Electrical traps in GaAs microwave F.E.T.s" *Electronics Letters*, vol. 12, no. 12, pp. 297-298, June 1976.
- [23] S. H. Lo and C. P. Lee, "Analysis of surface state effect on gate lag phenomena in GaAs MESFETs" *IEEE Trans. Electron Devices*, vol. 41, no. 9, pp. 1504-1512, Sep. 1994.
- [24] J. F. Wager and A. J. McCamant, "GaAs MESFET Interface Considerations" *IEEE Trans. Electron Devices*, vol. ED-34, no. 5, pp. 1001-1007, May 1987.
- [25] O. Pajona, C. Aupetit-Berthelemot and J.M. Dumas, "Modelling of the trap related parasitic effects in metamorphic HEMT on GaAs substrate" *The 11th IEEE International Symposium on Electron Devices for Microwave and Optoelectronic Applications*, pp. 151-156, 2003.

- [26] S.C. Binari, P.B. Klein and T.E. Kazior, “Trapping effects in GaN and SiC microwave FETs” *Proceedings of the IEEE*, vol. 90, no. 6, pp. 1048-1058, 2002.
- [27] C. Roff, J. Benedikt, P. J. Tasker, D. J. Wallis, K. P. Hilton, J. O. Maclean, D. G. Hayes, M. J. Uren and T. Martin, “Analysis of DC-RF dispersion in AlGaIn/GaN HFETs using RF waveform engineering” *IEEE Trans. Electron Devices*, vol. 56, no. 1, pp. 13-18, Jan. 2009.
- [28] J. C. M. Hwang, “Relationship between gate lag, power drift, and power slump of pseudomorphic high electron mobility transistors” *Solid-State Electronics*, vol. 43, no. 8, pp. 1325-1331, Aug. 1999.
- [29] M. Faqir, G. Verzellesi, A. Chini, F. Fantini, F. Danesin, G. Meneghesso, E. Zanoni and C. Dua, “Mechanisms of RF current collapse in AlGaIn-GaN high electron mobility transistors” *IEEE Trans. Device and Materials Reliability*, vol. 8, no. 2, pp. 240-247, June 2008.
- [30] A. Koudymov, M. S. Shur, G. Simin, K. Chu, P. C. Chao, C. Lee, J. Jimenez and A. Balistreri, “Analytical HFET I–V model in presence of current collapse” *IEEE Trans. Electron Devices*, vol. 55, no. 3, pp. 712-720, Mar 2008.
- [31] A. Koudymov, M. S. Shur and G. Simin, “Compact model of current collapse in heterostructure field-effect transistors ” *IEEE Electron Device Letters*, vol. 28, no. 5, pp. 332-335, May 2007.
- [32] S.C. Binari, K. Ikossi, J.A. Roussos, W. Kruppa, Doewon Park, H.B. Dietrich, D.D. Koleske, A.E. Wickenden and R. L. Henry, “Trapping effects and microwave power performance in AlGaIn/GaN HEMTs” *IEEE Trans. Electron Devices*, vol. 48, no. 3, pp. 465-471, Mar. 2001.
- [33] G. Meneghesso, G. Verzellesi, R. Pierobon, F. Rampazzo, A. Chini, U.K. Mishra, C. Canali and E. Zanoni, “Surface-related drain current dispersion effects in AlGaIn-GaN HEMTs” *IEEE Trans. Electron Devices*, vol. 51, no. 10, pp. 1554-1561, Oct. 2004.
- [34] G. Koley, V. Tilak, L.F. Eastman and M.G. Spencer, “Slow transients observed in AlGaIn/GaN HFETs: Effects of SiNx passivation and UV illumination” *IEEE Trans. Electron Devices*, vol. 50, no. 4, pp. 886-893, Apr. 2003.
- [35] M. Chaibi, T. Fernández, A. Mimouni, K. Zeljami, A. Tribak, F. Sánchez and M. Verdú, “Efectos térmicos y trampa en los transistores AlGaIn/GaN HEMT” *XXIV Simposium Nacional de la Unión Científica Internacional de Radio (URSI 2009)*, Septiembre 2009, Santander, España.
- [36] J.-Pierre Teyssier, P. Bouysse, Z. Ouarch, D. Barataud, T. Peyretailade and R. Quere, “40-GHz/150-ns versatile pulsed measurement system for microwave transistor isothermal characterization” *IEEE Trans. Microwave Theory and Techniques*, vol. 46, no. 12, pp. 2043-2052, Dec. 1998.
- [37] Z. Ouarch, J. M. Collantes, J.-Pierre Teyssier and R. Quere, “Measurement based nonlinear electrothermal modeling of GaAs FET with dynamical trapping effects” *IEEE MTT-S International Microwave Symposium Digest*, vol. 2, pp. 599-602, 1998.

- [38] K. Koh, H.-Min Park and S. Hong, "A large-signal FET model including thermal and trap effects with pulsed I-V measurements" *IEEE MTT-S International Microwave Symposium Digest*, vol. 1, pp. 467-470, 2003.
- [39] P. McGovern, J. Benedikt, P.J. Tasker, J. Powell, K.P. Hilton, J.L. Glasper, R.S. Balmer, T. Martin and M.J. Uren, "Analysis of DC-RF dispersion in AlGaIn/GaN HFETs using pulsed I-V and time-domain waveform measurements" *IEEE MTT-S International Microwave Symposium Digest*, pp. 503-506, 2005.
- [40] J. Joh, J. A. del Alamo and J. Jimenez, "A simple current collapse measurement technique for GaN high-electron mobility transistors" *IEEE Electron Device Letters*, vol. 29, no. 7, pp. 665-667, Jul. 2008.
- [41] A. Platzker, A. Palevsky, S. Nash, W. Struble and Y. Tajima, "Characterization of GaAs devices by a versatile pulsed I-V measurement system" *IEEE MTT-S International Microwave Symposium Digest*, vol. 3, pp. 1137-1140, 1990.
- [42] T. Fernández, "Estudio del Comportamiento Dinámico y Modelado Gran Señal de dispositivos GaAs MESFET para comunicaciones en Tecnología Monolítica" *Tesis de Doctorado*, Universidad de Cantabria, Santander-Spain, Octubre 1995.
- [43] A. H. Jardal, "Large-signal modeling of GaN device for high power amplifier design" *Tesis de Doctorado*, University of Kassel, November 2006.
- [44] O. Jardel, "Contribution a la modélisation des transistors pour l'amplification de puissance aux fréquences microondes. Développement d'un nouveau modèle électrothermique de HEMT AlGaIn/GaN incluant les effets de pièges" *Tesis de Doctorado*, Université de Limoges, Limoges-France, Abril 2008.
- [45] R. Vetury, "Polarization Induced 2DEG in AlGaIn/GaN HEMTs: On the origin, DC and transient characterization" *Tesis de Doctorado*, University of California Santa Barbara, USA, December 2000.
- [46] Bao Jianwen, R. E. Leoni III, Du Xiaohang, J. C. M. Hwang, D. M. Shah, J. R. Jones and M. L. Shokrani, "Reduction of substrate-induced gate lag in GaAs MESFETs" *GaAs IC Symposium 1998, IEEE 20th Annual*, pp.103-106, Nov. 1998.
- [47] J. M. Tirado, J. L. Sanchez-Rojas and J. I. Izpura, "2D simulation of static surface states in AlGaIn/GaN HEMT and GaN MESFET devices" *Semiconductor Science and Technology*, vol. 20, pp. 864-869, 2005.
- [48] N. Braga and R. Mickevicius, "Simulation of gate lag and current collapse in gallium nitride field-effect transistors" *Applied Physics Letters*, vol. 85, no. 20, pp. 4780-4782, Nov. 2004.
- [49] Y. C. Chou, D. Leung, I. Smorchkova, M. Wojtowicz, R. Grundbacher, L. Callejo, Q. Kan, R. Lai, P. H. Liu, D. Eng and A. Oki, "Degradation of AlGaIn/GaN HEMTs under elevated temperature lifetesting" *Microelectronics Reliability*, vol. 44, pp. 1033-1038, 2004.
- [50] J. Joh, L. Xia and J. A. del Alamo, "Gate current degradation mechanisms of GaN high electron mobility transistors" *IEEE International Electron Devices Meeting, IEDM 2007*, pp. 385-388, 2007.

- [51] S. Lee, R. Vetury, J. D. Brown, S. R. Gibb, W. Z. Cai, J. Sun, D. S. Green and J. Shealy, "Reliability assessment of AlGaIn/GaN hemt technology on SiC for 48V applications" *IEEE 46th Annual International Reliability Physics Symposium*, pp. 446-449, 2008.
- [52] R. Vetury, J. B. Shealy, D. S. Green, J. McKenna, J. D. Brown, S. R. Gibb, K. Leverich, P. M. Garber and M. J. Poulton, "Performance and RF reliability of GaN-on-SiC HEMT's using dual-gate architectures" *IEEE MTT-S International Microwave Symposium Digest*, pp. 714-717, June 2006.
- [53] M. Dammann, W. Pletschen, P. Waltereit, W. Bronner, R. Quay, S. Müller, M. Mikulla, O. Ambacher, P. J. van der Wel, S. Murad, T. Rödle, R. Behtash, F. Bourgeois, K. Riepe, M. Fagerlind and E. Ö. Sveinbjörnsson, "Reliability and degradation mechanism of AlGaIn/GaN HEMTs for next generation mobile communication systems" *Microelectronics Reliability*, vol. 49, pp. 474-477, 2009.
- [54] K. Matsushita, S. Teramoto, H. Sakurai, Y. Takada, J. Shim, H. Kawasaki, K. Tsuda and K. Takagi, "Reliability study of AlGaIn/GaN HEMTs device" *CS MANTECH Conference*, Austin, Texas, USA, pp. 87-89, May, 2007.
- [55] H. Kim, V. Tilak, B. M. Green, Ho-young Cha, J. A. Smart, J. R. Shealy and L. F. Eastman, "Degradation characteristics of AlGaIn-GaN high electron mobility transistors" *IEEE 39th Annual International Reliability Physics Symposium*, pp. 214-218, 2001.
- [56] R. J. Trew, G.L. Bilbro, W. Kuang, Y. Liu and H. Yin, "Microwave AlGaIn/GaN HFETs" *IEEE Microwave Magazine*, vol. 6, pp. 56-66, 2005.
- [57] X. Dang, P. M. Asbeck, E. T. Yu, K. S. Boutros and J. M. Redwing, "Long time-constant trap effects in nitride heterostructure field-effect transistors" *Proceedings of Material Research Society Symposium*, vol. 622, pp. T6.28.1-T6.28.6, 2000.
- [58] G. Simin, A. Koudymov, A. Tarakji, X. Hu, J. Yang, M. A. Khan, M. Shur and R. Gaska, "Induced strain mechanism and current collapse in AlGaIn/GaN heterostructure field-effect transistor" *Applied Physics Letters*, vol. 79, pp. 2651-2653, Oct. 2001.
- [59] R. Vetury, N. Q. Zhang, S. Keller and U. K. Mishra, "The impact of surface states on the DC and RF characteristics of AlGaIn/GaN HFETs" *IEEE Trans. Electron Devices*, vol. 48, no. 3, pp. 560-566, Mar. 2001.
- [60] C. P. Lee, S. J. Lee and B. M. Welch, "Carrier injection and backgating effect in GaAs MESFET's" *IEEE Electron Device Letters*, vol. EDL-3, no. 4, pp. 97-98, Apr. 1982.
- [61] L. Zhang, L. F. Lester, A. G. Baca, R. J. Shul, P. C. Chang, C. G. Willison, U. K. Mishra, S. P. Denbaars and J. C. Zolper, "Epitaxially-grown GaN junction field effect transistors" *IEEE Trans. Electron Devices*, vol. 47, no. 3, pp. 507-511, Mar. 2000.
- [62] S. T. Bradley, A. P. Young, L. J. Brillson, M. J. Murphy and W. J. Schaff, "Role of barrier and buffer layer defect states in AlGaIn/GaN HEMT structures" *Journal of Electronic Materials*, vol. 30, no. 3, pp. 123-128, Mar. 2001.

- [63] F. Schwierz and O. Ambacher, "Recent advances in GaN HEMT development" *IEEE 11th International Symposium on the Electron Devices for Microwave and Optoelectronic Applications, EDMO 2003*, pp. 204-209, Nov. 2003.
- [64] J. F. Wager and A. J. McCamant, "GaAs MESFET Interface Considerations" *IEEE Trans. Electron Devices*, vol. ED-34, no. 5, pp. 1001-1007, May 1987.
- [65] K. Kunihiro and Y. Ohno, "A large-signal equivalent circuit model for substrate-induced drain-lag phenomena in HJFET's" *IEEE Trans. Electron Devices*, vol. 43, no. 9, pp. 1336-1342, Sep. 1996.
- [66] M. Lee and L. Forbes, "A self-backgating GaAs MESFET model for low-frequency anomalies" *IEEE Trans. Electron Devices*, vol. 37, no. 10, pp. 2148-2157, Oct. 1990.
- [67] N. Sengouga and B. K. Jones, "Backgating effects in GaAs FETs with a channel-semi-insulating substrate boundary" *Solid-State Electronics*, vol. 38, no. 7, pp. 1413-1421, 1995.
- [68] J. Kuzmik, M. Blaho, D. Pogany, E. Gornik, A. Alam, Y. Dikme, M. Hueken, P. Javorka, M. Marso and P. Kordos, "Backgating, high-current and breakdown characterisation of AlGaIn/GaN HEMTs on silicon substrates" *33rd Conference on European Solid-State Device Research, ESSDERC '03*, pp. 319-322, Sept. 2003.
- [69] M. Bouya, N. Malbert, N. Labat, D. Carisetti, P. Perdu, J. C. Clément, B. Lambert and M. Bonnet, "Analysis of traps effect on AlGaIn/GaN HEMT by luminescence techniques" *Microelectronics Reliability*, vol. 48, pp. 1366-1369, 2008.
- [70] C. H. Kim, I. K. Han, J. I. Lee, K. N. Kang, S. D. Kwon, B. Choe, H. L. Park, J. Her and H. Lim, "Effect of ultraviolet illumination on the charge trapping behaviour in SiN_x/InP metal-insulator-semiconductor structure provided by plasma enhanced chemical vapour deposition" *Journal of Materials Science Letters*, vol. 13, pp. 563-565, 1994.
- [71] A. Singh, M. Gupta and R. S. Gupta, "Model for illumination-dependent trap occupancy in optically biased GaN metal-semiconductor field effect transistor for improved electrical characteristics" *Optical Engineering*, vol. 42, no. 9, Aug. 2003.
- [72] J. D. Albrecht, R. P. Wang and P. P. Ruden, "Electron transport characteristics of GaN for high temperature device modeling" *Journal of Applied Physics*, vol. 83, no. 9, pp. 4777-4781, May 1998.
- [73] R. Anholt, "Electrical and thermal characterization of MESFETs, HEMTs, and HBTs" *Artech House, Inc.*, Boston, London, 1995.
- [74] J. Y. Shiu, V. Desmaris, N. Rorsman, K. Kumakura, T. Makimoto, H. Zirath and E. Y. Chang, "DC and microwave performance of AlGaIn/GaN HEMTs passivated with sputtered SiN_x" *Semiconductor Science and Technology*, vol. 22, pp. 717-721, 2007.

- [75] G. W. Charache, S. Akram, E. W. Maby and I. B. Bhat, "Surface passivation of GaAs MESFET's" *IEEE Trans. Electron Devices*, vol. 44, no. 11, pp. 1837-1842, Nov. 1997.
- [76] T. Kagiya, Y. Saito, K. Otobe and S. Nakajima, "Improvement of power performance in planar type AlGaAs/GaAs MESFET by substrate surface oxidation" *Applied Surface Science*, vol. 216, pp. 542-548, 2003.
- [77] J. G. Tenedorio and P. A. Terzian, "Effects of Si₃N₄, SiO₂, and polyimide surface passivations on GaAs MESFET amplifier RF stability" *IEEE Electron Device Letters*, vol. EDL-5, no. 6, pp. 199-202, June 1984.
- [78] J.-Cherl Her, S.-Won Kim, K.-Chul Jang, G.-Seon Seol, M.Koo Han, J.-Eung Oh and K.-Seok Seo, "Enhanced schottky gate and pulsed IV characteristics of AlGaNGaN HEMT on Si with gate-annealing and SiN_x passivation" *Proceedings of the 1st European Microwave Integrated Circuits Conference*, pp. 69-71, Sep. 2006.
- [79] J.-Kyu Yang , H.-Ho Park, H. Kim , H. W. Jang , J.-Lam Lee and S. Im, "Improved performance of GaAs MESFETs through sulfidation of Pt/GaAs interface" *Thin Solid Films*, pp. 447-448 (626-631), 2004.
- [80] B. Heying, I. P. Smorchkova, R. Coffie, V. Gambin, Y. C. Chen, W. Sutton, T. Lam, M. S. Kahr, K. S. Sikorski and M. Wojtowicz, "In situ SiN passivation of AlGaIn/GaN HEMTs by molecular beam epitaxy" *Electronics Letters*, vol. 43, no. 14, Jul. 2007.
- [81] D. Ducatteau, M. Werquin, C. Gaquière, D. Théron, T. Martin, E. Delos, B. Grimbert1, E. Morvan, N. Caillas, V. Hoëll, J. C. De Jaeger and S. Delage, "Influence of passivation on high-power AlGaIn/GaN HEMT devices at 10GHz" *12th GAAS Symposium*, Amsterdam, pp. 203-206, 2004.
- [82] Y. Dong, X. M. Ding, X. Y. Hou, Y. Li and X. B. Li, "Sulfur passivation of GaAs metal-semiconductor field-effect transistor" *Applied Physics Letters*, vol. 77, no. 23, pp. 3839-3841, Dec. 2000.
- [83] S. Arulkumaran, "Surface passivation effects in AlGaIn/GaN HEMTs on high-resistivity Si substrate" *International Workshop on Physics of Semiconductor Devices, IWPSD 2007*, pp. 317-322, Dec. 2007.
- [84] B. Yang, P. D. Ye, K. Ng. J. Bude and G. Wilk, "Minimizing gate lag of a planar high-power GaAs MESFET by Al₂O₃ passivation and optimized gate process" *Reliability of Compound Semiconductors (ROCS Workshop)*, pp. 61-68, Oct. 2004.
- [85] A. P. Edwards, J. A. Mittereder, S. C. Binari, D. S. Katzer, D. F. Storm and J. A. Roussos, "Improved reliability of AlGaIn-GaN HEMTs using an NH₃ plasma prior to SiN passivation" *IEEE Electron Device Letters*, vol. 26, no. 4, pp. 225-227, Apr. 2005.
- [86] K. Prasad, "Effects of plasma surface pre-treatments on the electrical properties of silicon nitride passivated GaAs MESFETs" *Conference on Optoelectronic and Microelectronic Materials Devices*, pp. 272-274, 1998.

- [87] H. Tamotsu, O. Shinya and H. Hideki, "Suppression of current collapse in insulated gate AlGaIn/GaN heterostructure field effect transistors using ultrathin Al₂O₃ dielectric" *Applied Physics Letters*, vol. 83, no. 14, pp. 2952-2954, Oct. 2003.
- [88] P. Javorka, J. Bernát, A. Fox, M. Marso, H. Lüth and P. Kordos, "Influence of SiO₂ and Si₃N₄ passivation on AlGaIn/GaN/Si HEMT performance" *Electronics Letters*, vol. 39, no. 15, pp. 1155-1157, Jul. 2003.
- [89] K.-Po Hsueh, H.-Tsao Hsu, C.-His Wu and Y.-Ming Hsin, "Surface oxygen implantation for GaAs MESFETs passivation" *Semiconductor Science and Technology*, vol. 19, pp. L118-L120, 2004.
- [90] A. J. Martín, "Crecimiento y fabricación de transistores HEMT de AlGaIn/GaN por epitaxia de haces moleculares" *Tesis de Doctorado*, Universidad Politécnica de Madrid, Madrid-Spain, Junio 2003.
- [91] W. Lu, V. Kumar, R. Schwindt, E. Piner and I. Adesida, "A comparative study of surface passivation on AlGaIn/GaN HEMTs," *Solid-State Electronics*, vol. 46, pp. 1441-1444, 2002.
- [92] L. Selmi and B. Riccò, "Modeling temperature effects in the DC I-V characteristics of GaAs MESFET's" *IEEE Trans. Electron Devices*, vol. 40, no. 2, pp. 273-277, Feb. 1993.
- [93] W. L. Liu, V. O. Turin and A. A. Balandin, "The ambient temperature effect on current-voltage characteristics of surface-passivated GaN-based field-effect transistors" *MRS Internet Journal of Nitride Semiconductor Research*, vol. 9, art. 7, 2004.
- [94] M. Chaibi, T. Fernández, J. Rodríguez-Tellez, J. L. Cano and M. Aghoutane, "Accurate large-signal single current source thermal model for GaAs MESFET/HEMT" *Electronics Letters*, vol. 43, no. 14, pp. 775-777, Jul. 2007.
- [95] L. Selmi and B. P. Stothard, "Modeling temperature effects in the DC I-V characteristics of GaAs MESFET's" *IEEE Trans. Electron Devices*, vol. 40, no. 2, pp. 273-277, Feb. 1993.
- [96] R. E. Anholt and S. E. Swirhun, "Experimental investigation of the temperature dependence of GaAs FET equivalent circuit" *IEEE Trans. Electron Devices*, vol. 39, no. 9, pp. 2029-2036, Sep. 1992.
- [97] T. Fernández, Y. Newport, J. M. Zamanillo, A. Tazón and A. Mediavilla, "Extracting a bias-dependent large signal MESFET model from pulsed I/V measurements" *IEEE Trans. Microwave Theory and Techniques*, vol. 44, no. 3, pp. 372-378, Mar. 1996.
- [98] S. M. Lardizabal, A. S. Fernandez and L. P. Dunleavy, "Temperature-dependent modeling of gallium arsenide MESFET's" *IEEE Trans. Microwave Theory and Techniques*, vol. 44, no. 3, pp. 357-363, Mar. 1996.
- [99] M. Feng, D. R. Scherrer, P. J. Apostolakis and J. W. Kruse, "Temperature dependent study of the microwave performance of 0.25- μ m gate GaAs MESFET's

- and GaAs Pseudomorphic HEMT's" *IEEE Trans. Electron Devices*, vol. 43, no. 6, pp. 852-860, June 1996.
- [100] J. C. Webber and M. W. Pospieszalski, "Microwave instrumentation for radio astronomy" *IEEE Trans. Microwave Theory and Techniques*, vol. 50, no. 3, pp. 986-995, Mar. 2002.
- [101] M. W. Pospieszalski, "Extremely low-noise amplification with cryogenic FETs and HEMTs: 1970-2004" *IEEE Microwave Magazine*, vol. 6, no. 3, pp. 62-75, Sep. 2005.
- [102] M. W. Pospieszalski, S. Weinreb, R. D. Norrod and R. Harris, "FET's and HEMT's at cryogenic temperatures their properties and use in low-noise amplifiers" *IEEE Trans. Microwave Theory and Techniques*, vol. 36, no. 3, pp. 552-560, Mar. 1988.
- [103] L. Escotte, F. Séjalon and J. Graffeuil, "Noise Parameter measurement of Microwave Transistors at Cryogenic Temperature" *IEEE Trans. Instrumentation and Measurement*, vol. 43, no. 4, pp. 536-543, Aug. 1993.
- [104] C. A. Liechti and R. B. Larrick, "Performance of GaAs MESFET's at low temperatures" *IEEE Trans. Microwave Theory and Techniques*, vol. 24, no. 6, pp. 376-381, June 1976.
- [105] A.N. Ernst, M.H. Somerville and J. A. D. Alamo, "Dynamics of the kink effect in InAlAs/InGaAs HEMTs" *IEEE Electron Device Letters*, vol. 18, no. 12, pp. 613-615, Dec. 1997.
- [106] R. Cuerdo, Y. Pei, Z. Chen, S. Keller, S. P. DenBaars, F. Calle and U. K. Mishra, "The kink effect at cryogenic temperatures in deep submicron AlGaIn/GaN HEMTs" *IEEE Electron Device Letters*, vol. 30, no. 3, pp. 209-212, Mar. 2009.
- [107] F. Principato, A. Caddemi and G. Ferrante, "Experimental investigation of the kink effect and the low frequency noise properties in pseudomorphic HEMT's" *Solid-State Electronics*, vol. 49, pp. 915-922, 2005.

Capítulo IV

Modelado de los Efectos Térmicos y Trampa en los Transistores MESFET y HEMT

I. Introducción

En el capítulo anterior, se pusieron de manifiesto el impacto de los efectos térmicos y trampa sobre el comportamiento de los transistores MESFET y HEMT. También se han visto las ventajas de la utilización de la medida pulsada de las características I/V tanto para caracterizar estos efectos como para obtener modelos gran señal de estos dispositivos teniendo en cuenta dichos efectos.

En este capítulo se introduce un modelo no lineal del transistor que, junto con una topología circuital adecuada y un proceso determinado de extracción de los valores de sus parámetros, permitirá reproducir su comportamiento en regímenes DC, Pulsado, RF pequeña señal y RF gran señal a un rango amplio de temperatura. Así, el modelo desarrollado será capaz de tener en cuenta, a la vez, los efectos térmicos (auto-calentamiento y temperatura exterior) y los efectos trampa (colapso de corriente debido a los efectos gate-lag y drain-lag).

En primer lugar, se hará un breve resumen de las importantes técnicas usadas para el modelado de los dichos efectos. En segundo lugar, se presentará y se discutirán todas las etapas tanto del desarrollo del nuevo modelo como de la extracción de los valores de sus elementos y de sus parámetros. La bondad del método de modelado presentado se pondrá de manifiesto mediante la presentación de los resultados obtenidos aplicando la técnica de modelado propuesta a distintos tipos de dispositivos de distintas tecnologías.

II. Técnicas de modelado de los efectos trampa

II.1 Técnica de backgate (self-backgating)

Como se ha visto en el capítulo anterior, con el efecto de backgating se hace referencia a la aparición de una zona de depleción entre el canal y el substrato que controla el estrechamiento de éste mediante la formación de una puerta virtual trasera (backgate) debido a la carga atrapada. El modelado de este fenómeno se puede llevar a cabo mediante el añadido de una simple red $R-C$ (figura IV.1) en el terminal drenador-fuente del modelo circuital del transistor, y la fuente de corriente I_{ds} pasa a ser controlada por

tres tensiones en vez de dos, que son V_{gs} , V_{ds} y la tensión de la puerta virtual V_b responsable de controlar el efecto de degradación de la corriente [1-6]. Por ejemplo, en un modelo simple de Curtice [7] la expresión original de la fuente de corriente I_{ds} va a pasar a tener la forma de la expresión (IV.1).

$$I_{ds} = \beta \cdot (V_{gsi} + \gamma \cdot V_b - V_T)^2 (1 + \lambda \cdot V_{dsi}) \cdot \tanh(\alpha \cdot V_{dsi}) \quad (IV.1)$$

El valor de la tensión V_b va a depender de la tensión V_{ds} y de la constante de tiempo definida por los valores de la resistencia y la capacidad de la red R - C añadida.

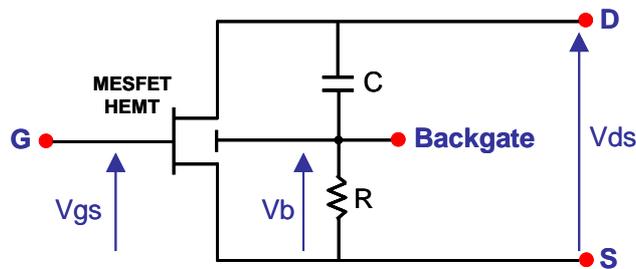


Figura IV.1: *Circuito equivalente del modelo de un transistor MESFET/HEMT utilizando la técnica de backgating.*

Nótese que la idea original fue añadir solamente la red R - C en el modelo pequeña señal del transistor para el modelado de la dispersión frecuencial, debido a los efectos trampa, de la conductancia de salida del transistor [8] como se muestra en la figura IV.2. Esta técnica, actualmente, se encuentra en la mayoría de los modelos no lineales implementados en los simuladores comerciales.

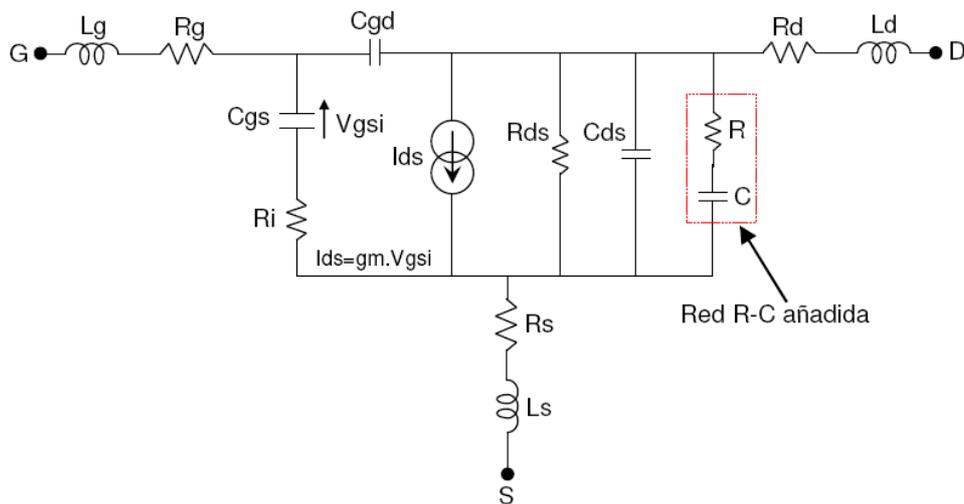


Figura IV.2: *Modelo típico pequeña señal de un MESFET/HEMT utilizando la red R-C.*

En ambos casos, el valor de la resistencia se fija a un valor muy superior al valor de la resistencia de salida del transistor mientras que el valor de la capacidad se calcula después bien mediante el término $1/2\pi RC$ que se fija en el valor de la frecuencia de transición [6] o bien ajustando la respuesta en frecuencia de la impedancia de salida del transistor medida y modelada [8].

Aunque la técnica del backgating parece simple de implementar en los modelos del transistor, presenta limitaciones importantes para el modelado de los efectos trampa. En primer lugar, la técnica tiene la desventaja de que tiene en cuenta solamente los estados energéticos trampa situados en el sustrato semi-aislante y no aquellos situados en la superficie. En segundo lugar, los tiempos de captura y emisión son diferentes entre sí y dependen del punto de polarización, de las tensiones dinámicas aplicadas al transistor y de la temperatura, y no es posible su modelado mediante una sola red R-C que nos da solamente una única determinada constante de tiempo. Además, como se ha demostrado anteriormente, los efectos trampa dependen del punto de polarización de reposo, y un modelo basado sobre la técnica del backgating no va a ser capaz de reproducir las características I/V del transistor en función del punto de polarización (nivel de trampas y auto-calentamiento).

II.2 Modelado utilizando la medida pulsada

El modelado no lineal de los transistores MESFET y HEMT basado en medidas pulsadas multibias de las características I/V aparece como una buena opción, como se describió en el capítulo anterior, dado que se pueden tener en cuenta tanto los efectos del auto-calentamiento como el colapso de la corriente, debido a los efectos trampa, a la hora de desarrollar un modelo no lineal de estos transistores. Sin embargo, no resulta fácil extraer los valores de los parámetros de un modelo basándose en las medidas que se llevan a cabo en varios puntos de polarización, lo cual supone un reto a la hora de la extracción de los parámetros del modelo.

II.2.1 Modelado con doble fuente

El objetivo de esta técnica es obtener un modelo no lineal para transistores MESFET y HEMT, basándose en las medidas pulsadas, que sea capaz de reproducir su comportamiento en diferentes regímenes de funcionamiento (DC, Pulsada, RF pequeña y gran señal) teniendo en cuenta, por lo tanto, los efectos dispersivos que presentan estos dispositivos [9]. El circuito eléctrico del dicho modelo se muestra en la figura IV.3.

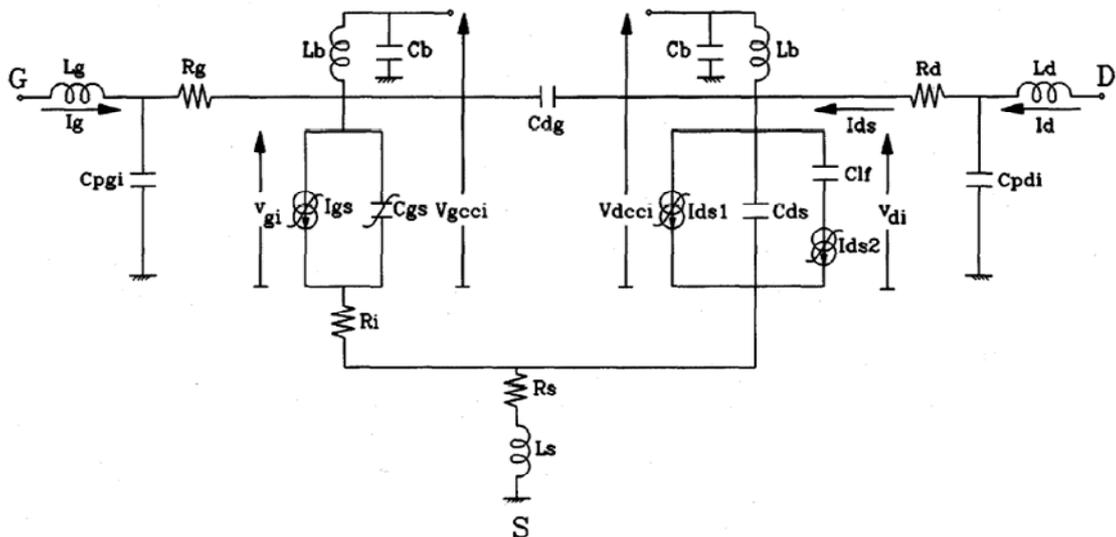


Figura IV.3: Topología circuital del modelo de doble fuente.

Las diferencias apreciables, en este caso, con respecto a los modelos no lineales clásicos de los transistores MESFET y HEMT son la aparición de una segunda fuente no lineal de corriente, I_{ds2} , y la existencia de unas redes $L-C$ tipo paso bajo que extraen los valores de las tensiones continuas de polarización de reposo, V_{gcc} y V_{dcc} , de las tensiones V_{gi} y V_{di} como se muestra en la figura IV.3.

El conjunto formado por el paralelo de la fuente de corriente I_{ds1} con la capacidad C_{lf} y la fuente de corriente I_{ds2} será la responsable de reproducir el comportamiento de la fuente de corriente total I_{ds} del transistor en régimen continuo y en régimen de pulsada y tienen las siguientes formas:

$$I_{ds1} = I_{ds_{DC}}(V_{gcci}, V_{dcci}) \quad (IV.2)$$

$$I_{ds2} = I_{ds_{RF}}(V_{gi}, V_{di}, V_{gcci}, V_{dcci}) - I_{ds_{DC}}(V_{gcci}, V_{dcci}) \quad (IV.3)$$

Como se ve en las ecuaciones (IV.2) y (IV.3), la fuente de corriente I_{ds1} está compuesta solamente por una función, $I_{ds_{DC}}$, que depende solamente de las tensiones de polarización de reposo V_{gcci} y V_{dcci} (tensiones continuas) y ella que va a ser la encargada de reproducir el comportamiento del modelo en régimen de continua, mientras que la fuente I_{ds2} está compuesta por la misma función $I_{ds_{DC}}$ y por otra función, $I_{ds_{RF}}$, que está controlada por las tensiones continuas de polarización de reposo y las tensiones dinámicas V_{gi} y V_{di} que es la responsable de reproducir el comportamiento del modelo en régimen dinámico (Pulsada ó RF). Los parámetros de la función $I_{ds_{DC}}$ se obtienen a partir del ajuste de las características I/V del transistor llevadas a cabo en régimen de DC, y los parámetros de la función $I_{ds_{RF}}$ se extraen a partir de las mismas estas características pero medidas en régimen pulsado en diferentes puntos de polarización.

Suponiendo que se está trabajando en régimen de DC, la capacidad C_{lf} se comporta como un circuito abierto, con lo que la corriente que entrega la fuente I_{ds2} no contribuirá a la corriente total, I_{ds} , del modelo, por lo que se queda activada en el modelo únicamente la fuente I_{ds1} que representa el comportamiento del transistor en régimen de DC.

Ahora suponiendo que se está trabajando en régimen dinámico y eligiendo el valor de la capacidad C_{lf} de forma que, a la frecuencia a la que las magnitudes dispersivas han alcanzado su valor final, su impedancia sea un cortocircuito, se tendrá que la corriente total I_{ds} del transistor se calculará como la suma de I_{ds1} e I_{ds2} (IV.4).

$$I_{ds} = I_{ds1} + I_{ds2} = I_{ds_{RF}}(V_{gi}, V_{di}, V_{gcci}, V_{dcci}) \quad (IV.4)$$

Con el conjunto anteriormente presentado, es posible contar con un modelo de transistor que no sólo reproduce el comportamiento DC del transistor, sino también es capaz de dar una buena representación de la dispersión frecuencial de g_m y g_{ds} [10-12] así como de las variaciones de las características I/V del transistor en función del punto de polarización de reposo, a través de la fuente I_{ds2} .

Sin embargo, si bien es cierto que, debido a la variedad de regímenes de funcionamiento y fenómenos de los que da cuenta, la técnica utilizada se confirma como una potente herramienta dentro del modelado no lineal de los transistores MESFET y HEMT, no es menos cierto que hay fenómenos que no han sido incluidos en el mismo. Esto es el caso de la dependencia del comportamiento del transistor con la temperatura externa. Además, el modelo cuenta con dos fuentes de corriente de drenador, hecho que no contempla nuestro objetivo que es tener un modelo no lineal con una sola fuente de corriente I_{ds} y es capaz de tener en cuenta los efectos gate-lag, drain-lag y los efectos térmicos (auto-calentamiento y temperatura externa).

II.2.2 Modelado con una fuente única

En este caso, el objetivo es tener un modelo no lineal capaz de tener en cuenta los efectos dispersivos que presentan los transistores MESFET y HEMT pero con una fuente única de corriente I_{ds} . En este sentido se han llevado a cabo muchos trabajos que proponen diferentes maneras para lograr este objetivo basándose en las medidas pulsadas de las características I/V [13-22].

En estos trabajos, en general se proponen dos formas para modificar la forma original de las fuentes de corriente I_{ds} para que sean capaces de reproducir las características I/V

del transistor en régimen pulsado. La primera forma es añadir a la expresión de esta fuente de corriente que reproduce el comportamiento del transistor en régimen de DC, I_{dsDC} , un término, que dependerá de las diferencias entre las tensiones de polarización de reposo V_{gscc} y V_{dscc} y las tensiones dinámicas instantáneas aplicadas al transistor en cada momento V_{gsd} y V_{dsd} [13-16]. Así, se puede incluir el efecto de colapso de la corriente del drenador en el modelo tal y como se expresa mediante la expresión (IV.5).

$$I_{ds} = I_{dsDC} + f_1((V_{gsd} - V_{gscc}), (V_{dsd} - V_{dscc})) + f_2(P_{dis}) \quad (IV.5)$$

Donde f_1 es una función que es la responsable del modelado del colapso de la corriente de drenador relacionado con los efectos trampa, y f_2 es la responsable del modelado de la degradación de la corriente I_{ds} debido a la potencia disipada en el transistor (P_{dis}). Todo esto para que la fuente de corriente I_{ds} sea capaz de reproducir las características I/V dinámicas del transistor.

La segunda forma es sustituir las tensiones de control V_{gs} y V_{ds} por tensiones efectivas V_{gsef} y V_{dsef} que dependerán también de las tensiones de polarización de reposo y de las tensiones dinámicas instantáneas según la forma general expresada por las expresiones (IV.6), (IV.7) y (IV.8) [17-22].

$$I_{ds} = g(V_{gsef}, V_{dsef}) \quad (IV.6)$$

$$V_{gsef} = h_1(V_{gscc}, V_{dscc}, V_{gsd}, V_{dsd}) \quad (IV.7)$$

$$V_{dsef} = h_2(V_{gscc}, V_{dscc}, V_{gsd}, V_{dsd}) \quad (IV.8)$$

Donde g es una función que describe el comportamiento del transistor en régimen de DC mientras que las funciones h_1 y h_2 son las responsables del modelado del colapso de la corriente del drenador del dispositivo.

Sin embargo, los modelos presentados en estos trabajos presentan limitaciones importantes que deberían tener en cuenta. Por ejemplo, en los modelos basados en la primera aproximación, será muy difícil, o casi imposible, que se cumpla, para todos los puntos de polarización de reposo, la condición de que el valor de la corriente dinámica

I_{ds} sea nulo ($I_{ds}=0A$) cuando la tensión de control total, $V_{ds}=V_{dscc}+V_{dsd}$, sea igual a cero ($V_{ds}=0V$), hecho que se contradice con la práctica. Para los modelos que tomen como alternativa la segunda aproximación, en la mayoría de ellos solo cambian la forma de la tensión de control V_{gs} limitándose, por lo tanto, el colapso de la corriente de drenador solamente con la variación de la tensión puerta-fuente. De hecho, se ha visto en el capítulo anterior que los efectos trampa, y por lo tanto el colapso de corriente, depende de ambas tensiones de polarización de reposo, V_{gscc} y V_{dscc} , y de las tensiones instantáneas V_{gs} y V_{ds} . Nótese que aunque en algunos modelos [22] cambian las formas de las dos tensiones de control, V_{gsef} y V_{dsef} , no se ha logrado cumplir con la condición de que las características I/V dinámicas crucen por cero cuando V_{ds} es igual a cero. En la figura IV.4 se representa las características I/V de un transistor reproducidas por un modelo que no es capaz de cumplir con esta condición.

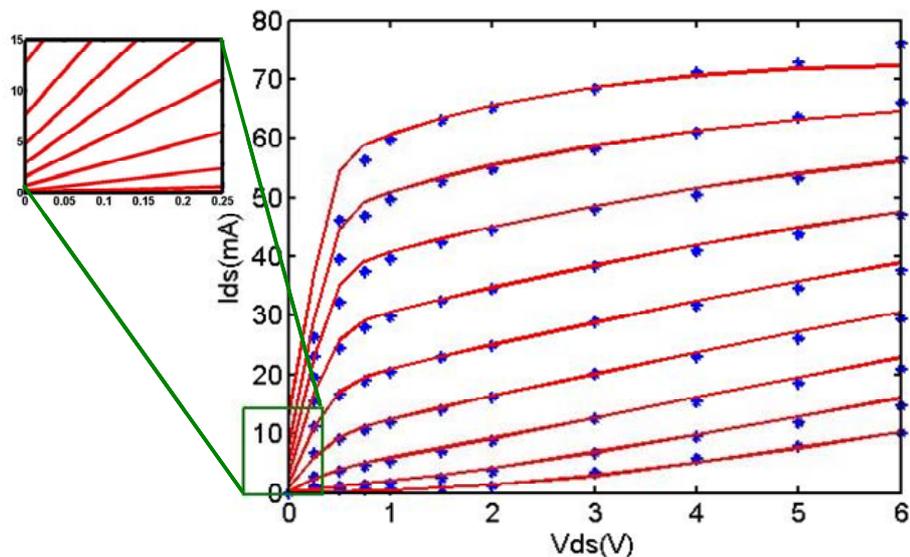


Figura IV.4: Características I/V pulsadas de un GaAs MESFET reproducidas por un modelo que no es capaz de asegurar el cruce por cero de la corriente para $V_{ds}=0V$, medidas (símbolos), simulación (líneas).

III. El nuevo modelo propuesto

Teniendo en cuenta lo anteriormente expuesto en el capítulo III y las limitaciones que tienen las aproximaciones usadas para el modelado de los efectos trampa que presentan los transistores MESFET y HEMT, se propone un modelo de la fuente de corriente I_{ds} que será capaz, de forma natural, de reproducir las características I/V del dispositivo en régimen de DC y predecir estas características en régimen de pulsada para cada punto de polarización de reposo teniendo en cuenta también los efectos térmicos tanto los relacionados con el auto-calentamiento como los relacionados con la temperatura externa.

III.1 Topología circuital

La topología circuital asociada al tipo de modelado que se va a llevar a cabo es la que se muestra en la figura IV.5.

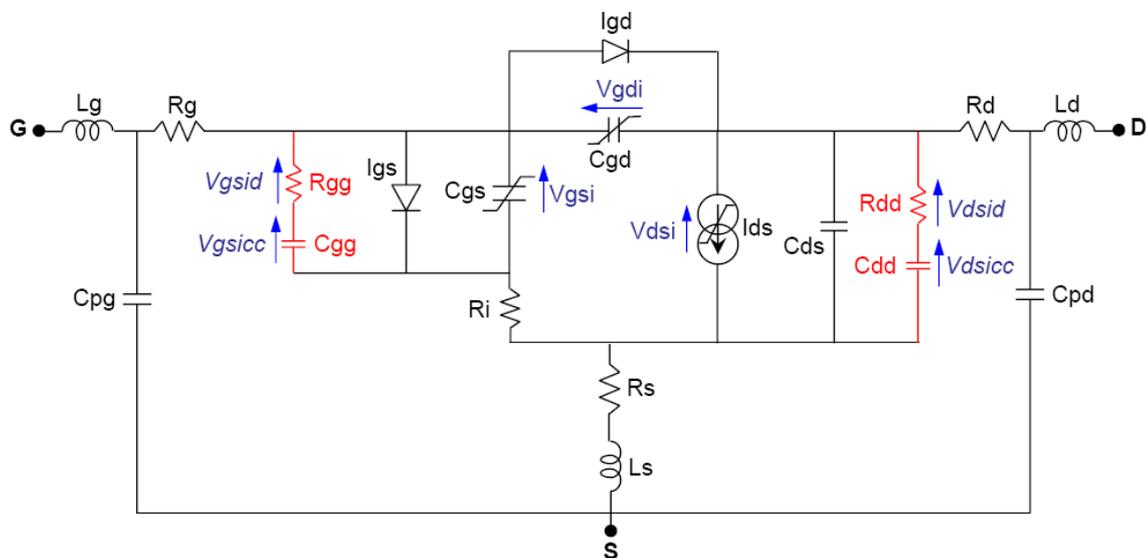


Figura IV.5: Topología circuital del modelo propuesto.

La diferencia apreciable con respecto a los modelos clásicos de transistores MESFET y HEMT es la aparición de dos redes R - C en la entrada (R_{gg} - C_{gg}) y la salida (R_{dd} - C_{dd}) del transistor encargadas de extraer las componentes intrínsecas dinámicas (V_{gsid} y

V_{dsid}) y de continua (V_{gsicc} y V_{dsicc}) de las tensiones V_{gsi} y V_{dsi} . Estas componentes van a ser necesarias para nuestro modelo ya que la nueva fuente de corriente I_{ds} dependerá de ellas y no directamente de las tensiones V_{gsi} y V_{dsi} como en los modelos clásicos. Así, nuestro objetivo se va a enfocar en la fuente I_{ds} , la no linealidad más importante del modelo, que sufrirá importantes modificaciones con objetivo de ser capaz de reproducir el comportamiento del dispositivo tanto en régimen de DC como dinámico aunque también se va a modificar otros elementos para que el modelo entero sea capaz de simular estas características a un rango determinado de temperatura externa.

III.2 Descripción del modelo

III.2.1 Modelado de la fuente de corriente I_{ds}

III.2.1.1 Modelado de los efectos trampa

La ecuación del nuevo modelo propuesto de la fuente de corriente I_{ds} se basa en cualquier modelo clásico DC existente, sin alterar su comportamiento en este régimen de funcionamiento, como pueden ser, por ejemplo, los referidos en [23-26]. Elegir entre uno u otro dependerá de nuestro grado de acuerdo con el modelo elegido. En nuestro caso se ha tomado como expresión de partida aquella desarrollada en nuestro departamento ya que no solamente es capaz de reproducir las características I/V del transistor sino también las derivadas de orden superior de la transconductancia y la conductancia de salida del mismo, hecho que es de alta importancia para la elección del punto de polarización o la condición de línea de carga para minimizar la distorsión de la intermodulación en las aplicaciones para amplificadores o mezcladores [27]. La expresión de la ecuación del dicho modelo viene dada por:

$$I_{ds} = I_{dss} \cdot e^{-(v_{gflch}^{\delta} / \mu)} \cdot (v_{giteff})^{(E + K_E \cdot v_{gsi})} \cdot \left(1 + \frac{S_S \cdot v_{dsi}}{I_{dss}}\right) \cdot \tanh\left(\frac{S_L \cdot v_{dsi}}{I_{dss} \cdot (1 - K_G \cdot v_{gsi})}\right) \quad (IV.8)$$

siendo,

$$v_{giteff} = \frac{1}{2.\eta} . (\chi.v_{git} + v_{gitlch}); v_{gitlch} = \ln(2.\cosh(\chi.v_{git}))$$

$$v_{giflch} = \ln(2.\cosh(v_{gif})); v_{git} = v_{gsi} - (V_P + \gamma.v_{dsi}); v_{gif} = v_{gsi} - V_{PF}$$

La expresión de la fuente de corriente I_{ds} (IV.8) presenta la forma general expresada por la ecuación (IV.9). En esta ecuación f es una función que describe el comportamiento no lineal de I_{ds} en función de las tensiones intrínsecas de control V_{gsi} y V_{dsi} .

$$I_{ds} = f(V_{gsi}, V_{dsi}) \quad (IV.9)$$

La principal limitación de la expresión (IV.9) reside en que el modelo depende solamente de los valores de las tensiones V_{gsi} y V_{dsi} , lo cual no se puede distinguir si son continuas o dinámicas y, por lo tanto, el modelo va a ser capaz de reproducir solamente las características I/V en régimen de DC, o pulsadas pero solamente en un solo punto de polarización de reposo el cual ha sido utilizado para extraer sus parámetros. De esta forma, el modelo en ningún caso va a ser capaz de reproducir el comportamiento dinámico del transistor variando el punto de polarización y, por lo tanto, no tendrá en cuenta los efectos trampa y los efectos del auto-calentamiento.

En este sentido, y para resolver el problema que nos ocupa, la idea básica de la técnica propuesta es sustituir las tensiones V_{gsi} y V_{dsi} por unas nuevas tensiones V_{gsi_total} y V_{dsi_total} (IV.11)-(IV.13) que dependerán en *cada instante* del punto de polarización de reposo y de los niveles de las tensiones dinámicas aplicadas al transistor.

La meta perseguida en este caso es el hecho de que simplemente modificando las expresiones de las tensiones internas de control, manteniendo los valores de los parámetros extraídos a partir del ajuste de las características I/V en régimen de DC, la nueva expresión de I_{ds} sea capaz de reproducir no solamente el comportamiento del

dispositivo en régimen de DC sino también en pulsada (régimen dinámico) para cada punto de polarización de reposo. De esta forma, la expresión de I_{ds} va a tener la forma general de la expresión (IV.10).

$$I_{ds} = f(V_{gsi_total}, V_{dsi_total}) \Leftrightarrow f(V_{gsicc}, V_{dsicc}, V_{gsid}(t), V_{dsid}(t)) \quad (IV.10)$$

$$V_{gsi_total} = \alpha_1 \cdot V_{gsid} + \alpha_2 \cdot V_{gsid}^2 + \alpha_3 \cdot V_{dsid} + \alpha_4 \cdot V_{dsid}^2 + V_{gsicc} \quad (IV.11)$$

$$V_{dsi_total} = (1 + \alpha_5 \cdot V_{dsid} + \alpha_6 \cdot V_{dsid}^2 + \alpha_7 \cdot V_{gsid} + \alpha_8 \cdot V_{gsid}^2) \cdot (V_{dsid} + V_{dsicc}) \quad (IV.12)$$

$$V_{gsid} = (V_{gsi}(t) - V_{gsicc}); V_{dsid} = (V_{dsi}(t) - V_{dsicc}) \quad (IV.13)$$

Los parámetros $\alpha_i (i=1,8)$ son los parámetros del ajuste del modelo que van a ser responsables del modelado de la diferencia entre las características I/V continuas y pulsadas (colapso de corriente), y sus valores se van a extraer solamente desde las características I/V pulsadas llevadas a cabo en unos puntos determinados de polarización de reposo. V_{gsid} y V_{dsid} son las diferencias entre las señales dinámicas y las tensiones estáticas (polarización de reposo) en cada instante de tiempo.

Además de la capacidad del modelo de reproducir el comportamiento del transistor en régimen dinámico en función del punto de polarización de reposo, no se pierde la capacidad del mismo de reproducir el comportamiento del mismo en régimen de continua que el modelo original de partida es capaz de reproducir; de hecho, cuando no hay señal dinámica, esto es $V_{gsid}=0V$ y $V_{dsid}=0V$, las nuevas tensiones de control, V_{gsi_total} y V_{dsi_total} , se reducen a V_{gsicc} y V_{dsicc} respectivamente. Otra característica muy importante que garantiza el modelo es el hecho de que al ser la tensión V_{dsi} igual a cero ($V_{dsi} = V_{dsid} + V_{dsicc} = 0V$), todas las curvas de las características I/V cruzan por cero ($I_{ds}=0A$), razón por lo cual la expresión de V_{dsi_total} (IV.12) aparece multiplicada por el término $(V_{dsid} + V_{dsicc})$, no como ocurría en otros modelos como se ha visto anteriormente.

III.2.1.2 Modelado de los efectos térmicos

La dependencia del modelo con las tensiones de polarización de reposo nos garantiza que el mismo será capaz, de forma natural, tener en cuenta los efectos térmicos debidos al auto-calentamiento.

Sin embargo, la idea fundamental para el modelado de los efectos de la temperatura ambiental reside en el hecho de que, logrando simular de forma precisa la dependencia de las características I/V estáticas con la temperatura externa (T), las características dinámicas (pulsadas y/o RF) podrán ser simuladas en función de la temperatura ambiente sin necesidad de incluir dicha temperatura como parámetro dentro de las expresiones elegidas para el modelo dinámico. De hecho, la expresión de la fuente de corriente I_{ds} tendrá la forma general de la expresión (IV.14).

$$I_{ds} = f(V_{gsicc}, V_{dsicc}, V_{gsid}(t), V_{dsid}(t), T) \quad (IV.14)$$

En este sentido para la introducción de la variable de temperatura, T , en el modelo se ha supuesto que los distintos parámetros de DC de la fuente I_{ds} presentan una variación con la temperatura externa según la forma de la expresión (IV.15).

$$p_i(T) = p_i(T_0) + k_i \cdot (T - T_0) \quad (IV.15)$$

siendo $p_i(T)$ el valor del parámetro “ i ” ($i=1,13$) del modelo original (IV.8) estimado a la temperatura ambiente de interés T , $p_i(T_0)$ representa el valor del mismo parámetro extraído a la temperatura de referencia T_0 ($T_0=27^\circ\text{C}/300\text{K}$ en este trabajo) y k_i es el nuevo parámetro responsable del modelado de la dependencia del modelo con la temperatura ambiente y su valor se extrae a partir de las medidas de las características I/V DC llevadas a cabo a varias temperaturas. Sin embargo, se ha asumido que los parámetros α_i , responsables del comportamiento dinámico del modelo, no dependen de la temperatura, así, sus valores se extraen solamente a partir de las medidas de las características I/V pulsadas llevadas a cabo a la temperatura de referencia.

III.2.1.3 Extracción de los parámetros del modelo

El proceso de la extracción de los parámetros de la fuente de corriente I_{ds} se lleva a cabo en tres pasos como se muestra en el organigrama de la figura IV.6.

- 1- En primer lugar se extraen los parámetros de DC, $p_i(T_0)$, del modelo ajustando las medidas de las características I/V del transistor, llevadas a cabo en régimen de DC a la temperatura de referencia ($T_0=27^\circ\text{C}$), a la expresión de I_{ds} dada por la expresión (IV.8). De esta forma se tendrán disponibles los valores de los parámetros de la expresión base del modelo a la que se van a referir en la expresión del modelado del efecto de la temperatura.
- 2- En segundo lugar, y una vez se tiene extraídos estos parámetros de DC de referencia, se procede a extraer los valores de los parámetros k_i , responsables del modelado de los efectos de la temperatura, ajustando el modelo a las medidas de las características I/V llevadas a cabo a diferentes temperaturas dentro del rango de interés. En este caso el ajuste es lo mismo que en el caso de la temperatura de referencia, es decir, utilizando la expresión (IV.8) con diferencia, en este caso, de que los parámetros del modelo son variantes con la temperatura según la expresión de la ecuación (IV.15). Así, finalizando esta etapa, se tendrá los parámetros de continua del modelo, variantes con la temperatura $p_i(T)$, y por lo tanto, se tendrá la expresión base a la que se van a referir las referencias con respecto a la corriente dinámica.
- 3- Por último, mediante las medidas de las características I/V pulsadas llevada a cabo en unos puntos concretos de polarización de reposo y solamente a la temperatura ambiente (T_0), se va a ajustar de nuevo la expresión del modelo (IV.8) pero en este caso utilizando los parámetros extraídos en la *etapa 1* y las tensiones de control V_{gsi_total} y V_{dsi_total} fijando como parámetros de ajuste los parámetros α_i que controlan el comportamiento dinámico del transistor según las expresiones (IV.11) y (IV.12).

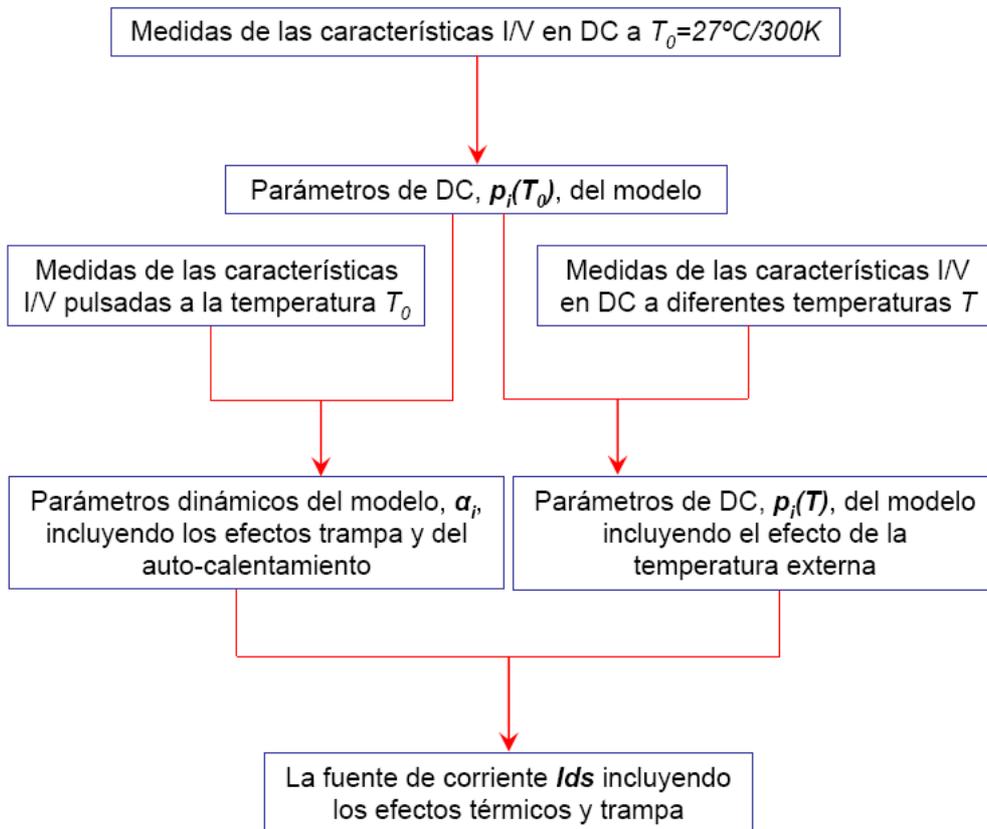


Figura IV.6: Organigrama del proceso de extracción de los parámetros de la fuente I_{ds} .

Quizá el punto más importante para asegurar un proceso de extracción sencillo pero a la vez válido para cualquier dispositivo independientemente de su tipo (tecnología, tamaño, etc.), sea definir con precisión los puntos de polarización de reposo de las medidas pulsadas de las características I/V en los que es necesario realizar el ajuste del modelo para obtener los valores de los parámetros α_i . En este sentido, se ha comprobado que, seleccionando unos puntos determinados de polarización de reposo basándose sobre lo anteriormente descrito en el capítulo de la caracterización de los efectos trampa, se ha asegurado que la precisión en posteriores simulaciones, para cualquier punto de polarización de reposo diferente a estos puntos utilizados en la extracción de los parámetros dinámicos, sea la adecuada. De esta forma en el proceso de extracción de los parámetros del modelo no es necesario utilizar todas las medidas pulsadas llevadas a cabo en todos los puntos de polarización de las características I/V estáticas, lo que reduce la complejidad del mismo. En la figura IV.7 se indica la

distribución de estos cinco puntos (P1-P5), conocidos en este trabajo como “*puntos llave*” sobre unas características I/V de DC.

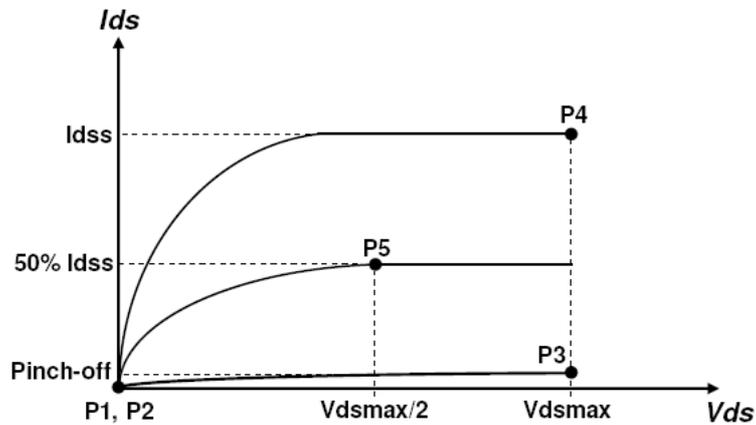


Figura IV.7: *Distribución de los puntos llave sobre unas características típicas I/V de DC. P1($V_{gscc}=0V, V_{dscc}=0V$); P2($V_{gscc}=V_p, V_{dscc}=0V$); P3($V_{gscc}=V_p, V_{dscc}=V_{dsmax}$); P4($V_{gscc}=0V, V_{dscc}=V_{dsmax}$); P5($V_{gscc}(I_{dss}/2), V_{dscc}=V_{dsmax}/2$).*

Como aclaración a la notación que se refleja en la figura IV.7, decir que V_{dsmax} hace referencia a la máxima tensión de polarización de reposo V_{dscc} que requiere ser considerada en el modelo multibias dinámico a obtener, e I_{dss} representa el valor de la corriente de saturación I_{ds} en régimen de DC cuando $V_{gscc}=0V$.

Como se verá a continuación, el hecho de elegir los puntos de polarización mencionados asegura que el modelo final obtenido será fiable para cualquier punto de polarización de reposo que se encuentre dentro del rango que marcan los límites de tensiones considerados sobre las características I/V estáticas del dispositivo en cuestión.

Decir por último que el valor de V_{dsmax} será diferente en cada transistor bajo test y que, para determinados dispositivos (sobre todo en los de alta potencia), puede darse el caso de que el punto $P4$ no pueda escogerse igual a V_{dsmax} , debido a que el dispositivo no sea capaz de disipar la potencia que dicho punto de polarización implica, lo que obligará a elegir un punto V_{dscc} de valor menor a V_{dsmax} , aunque el método presentado seguirá teniendo la misma validez.

III.2.1.4 Validación del modelo

Para probar la validez del modelo propuesto, se ha aplicado la técnica a dos dispositivos diferentes. El primero de los dispositivos que se va a considerar es el transistor MGF19213 (GaAs MESFET de Mitsubishi Semiconductor) encapsulado de baja potencia, mientras que el segundo es un transistor de alta potencia de la tecnología de nitruro de galio (AlGaIn/GaN HEMT 8x75 μ m AEC1303) fabricado dentro del marco del proyecto europeo KORRIGAN EDA (RTP 102.052).

Nótese que para obtener los valores de las tensiones intrínsecas V_{gsicc} , V_{dsicc} , V_{gsid} y V_{dsid} , será necesario tener los valores de las resistencias de acceso R_g , R_d y R_s (figura IV.5). Estos valores se obtienen mediante las técnicas de extracción lineal utilizando la medida RF de los parámetros de Scattering, como se verá más adelante, o bien mediante métodos de medida en régimen de DC [26,28,29].

- **GaAs MESFET (MGF1923)**

En la tabla IV.1 se muestran los valores de todos los parámetros que definen el modelo de la fuente de corriente I_{ds} .

Parámetros DC ($T_0=+27^\circ\text{C}/300\text{K}$)		Parámetros térmicos	
P_1	$I_{dss}=80.703$ (mA)	k_1	$3.0863e^{-4}$ (A/K)
P_2	$V_P=-1.0006$ (V)	k_2	$-4.9478e^{-3}$ (V/K)
P_3	$V_{PF}=1.5865$ (V)	k_3	$4.0932e^{-3}$ (V/K)
P_4	$\gamma=-0.2204$	k_4	$1.554e^{-4}$ (K^{-1})
P_5	$\chi=2.5268$	k_5	$1.2362e^{-2}$ (K^{-1})
P_6	$\eta=10.6678$	k_6	$7.0145e^{-2}$ (K^{-1})
P_7	$K_G=-0.0285$ (V^{-1})	k_7	$5.0438e^{-4}$ (V^{-1}/K)
P_8	$S_L=0.226$	k_8	$7.7293e^{-4}$ (K^{-1})
P_9	$S_S=17.95$ (mA/V)	k_9	$-4.8846e^{-5}$ (A/(V.K))
P_{10}	$K_E=-0.9899$ (V^{-1})	k_{10}	$8.3934e^{-4}$ (V^{-1}/K)
P_{11}	$E=-0.9181$	k_{11}	$1.7394e^{-4}$ (K^{-1})
P_{12}	$\mu=0.8186$	k_{12}	$-1.7036e^{-3}$ (K^{-1})
P_{13}	$\delta=0.3714$	k_{13}	$-1.7808e^{-3}$ (K^{-1})

Parámetros dinámicos			
α_1	$9.8581e^{-1}$	α_5	$-2.2847e^{-2} (V^{-1})$
α_2	$5.6258e^{-3} (V^{-1})$	α_6	$-3.5691e^{-3} (V^{-2})$
α_3	$2.5401e^{-2}$	α_7	$-2.7685e^{-2} (V^{-1})$
α_4	$-1.7223e^{-4} (V^{-1})$	α_8	$-1.7875e^{-2} (V^{-2})$
Resistencias de acceso			
$R_g = 1.82\Omega$; $R_d = 1.58\Omega$; $R_s = 1.52\Omega$			

Tabla IV.1: *Valores de los parámetros de I_{ds} para el dispositivo MGF1923.*

En las figuras IV.8a, IV.8b y IV.8c se muestran los ajustes obtenidos de las características I/V, en régimen de DC, llevados a cabo a tres temperaturas diferentes ($-70^\circ C$, $+27^\circ C$ y $+70^\circ C$) donde se muestra el excelente grado de acuerdo entre las medidas y los resultados que proporciona el modelo.

En las gráficas de las figuras IV.9a y IV.9b se muestran los resultados obtenidos mediante el proceso de ajuste de las características I/V pulsadas en dos puntos *llave* llevadas a cabo a la temperatura de referencia ($T_0 = +27^\circ C$). En las figuras IV.10a, IV.10b y IV.10c es posible observar la comparación entre los resultados obtenidos por simulaciones y por medidas de las características I/V pulsadas, en tres puntos de polarización de reposo diferentes a cualquiera de los puntos *llave* presentados en la figura IV.7, llevados a cabo a tres temperaturas diferentes viéndose el buen grado de acuerdo entre ambos. También se ha obtenido mejores resultados para otros puntos de polarización de reposo y a otras temperaturas.

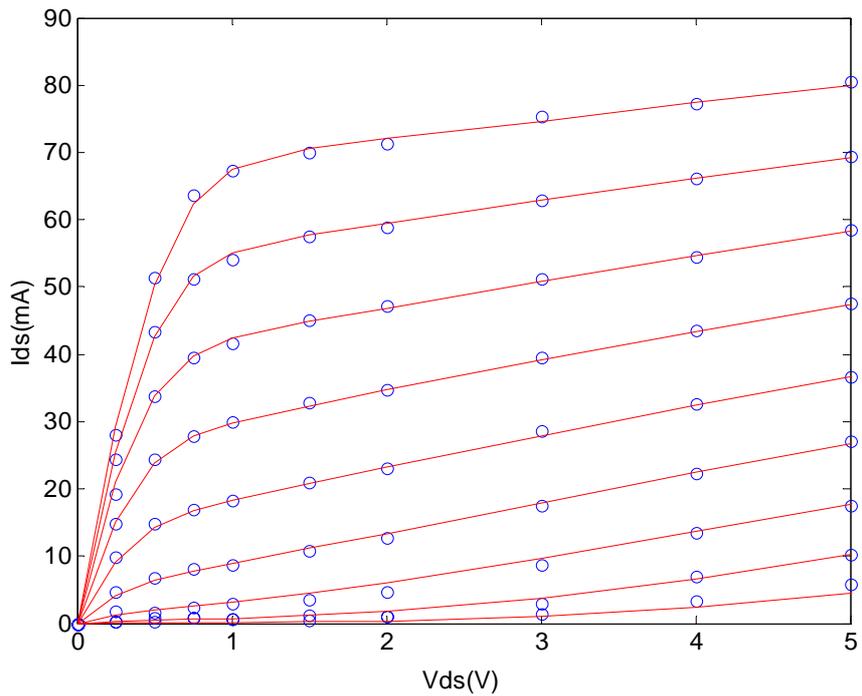


Figura IV.8a: Ajuste de las características I/V en régimen de DC a -70°C para el dispositivo MGF1923. Ajuste (líneas), medidas (círculos). (V_{gs} : desde -1.6V hasta 0V).

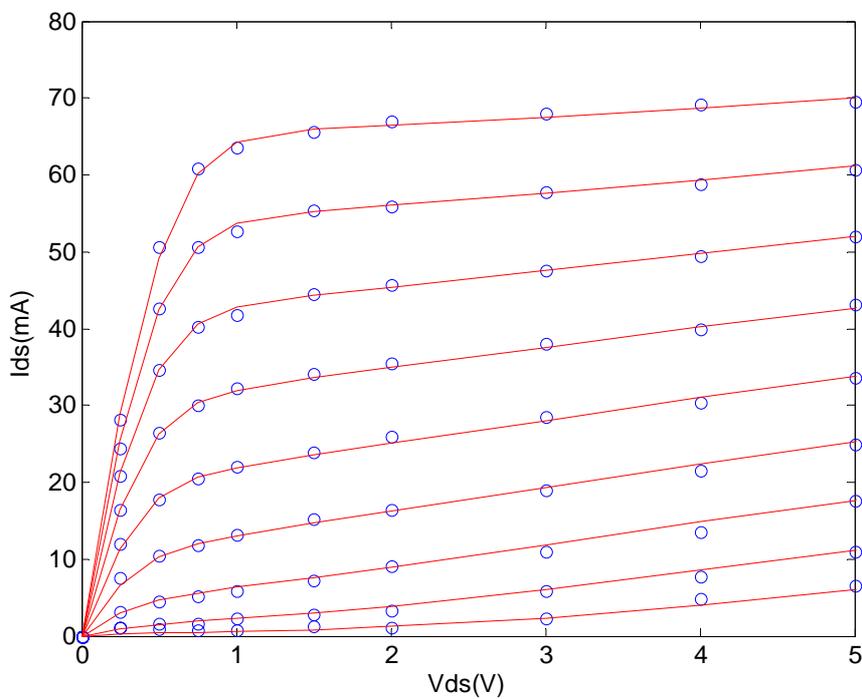


Figura IV.8b: Ajuste de las características I/V en régimen de DC a $+27^{\circ}\text{C}$ para el dispositivo MGF1923. Ajuste (líneas), medidas (círculos). (V_{gs} : desde -1.6V hasta 0V).

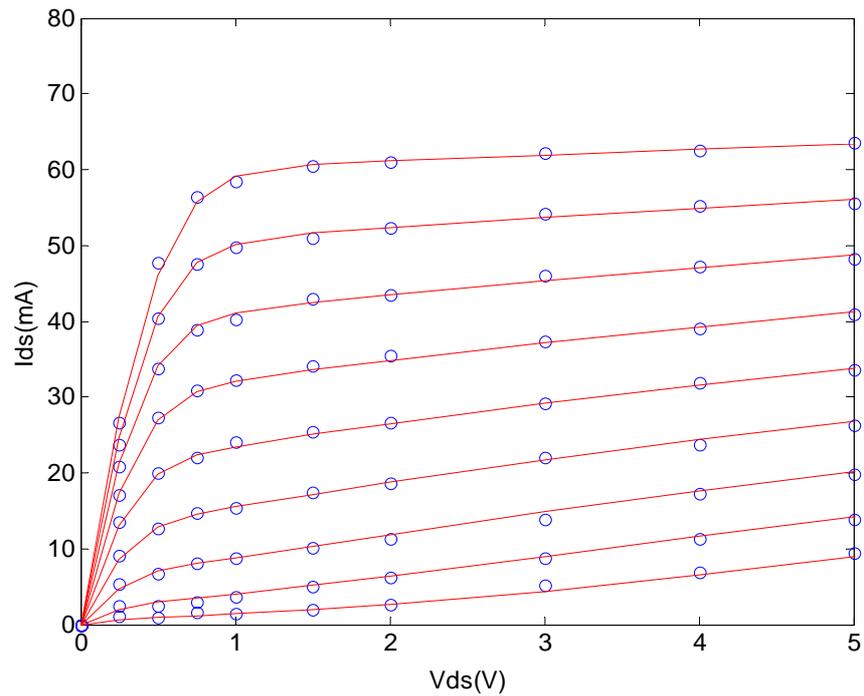


Figura IV.8c: Ajuste de las características I/V en régimen de DC a $+70^{\circ}\text{C}$ para el dispositivo MGF1923. Ajuste (líneas), medidas (círculos). (V_{gs} : desde -1.6V hasta 0V).

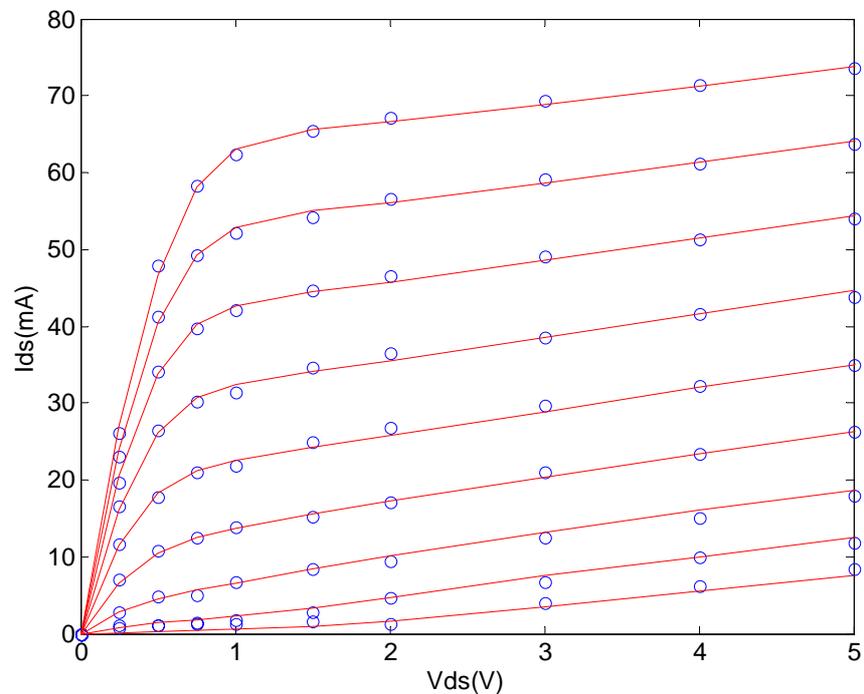


Figura IV.9a: Ajuste de las características I/V pulsadas en un punto llave para el dispositivo MGF1923 llevadas a cabo a $+27^{\circ}\text{C}$. Ajuste (líneas), medidas (círculos). (V_{gs} : desde -1.6V hasta 0V); ($V_{gscc} = -1.6\text{V}$, $V_{dscc} = 0\text{V}$).

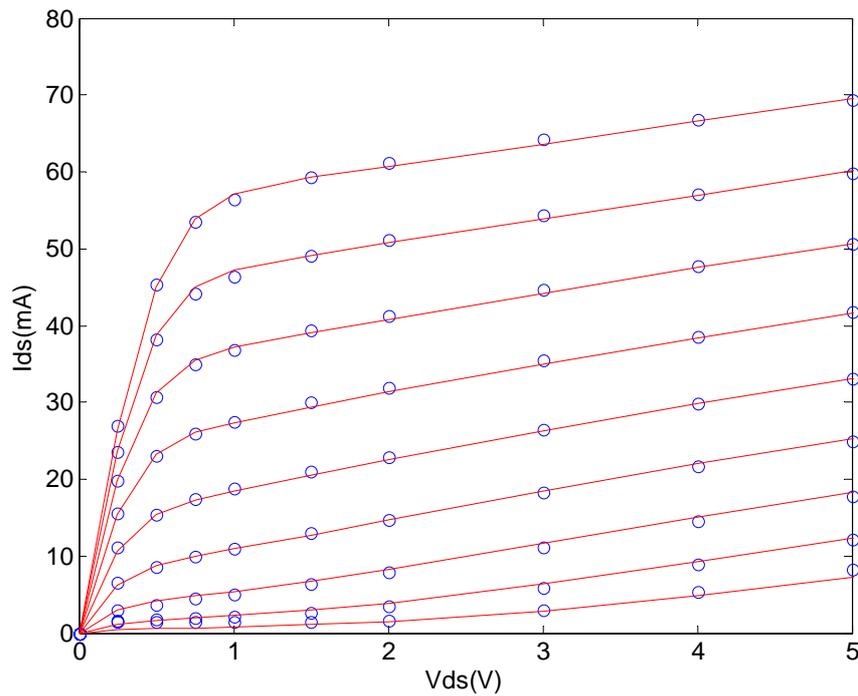


Figura IV.9b: Ajuste de las características I/V pulsadas en un punto llave para el dispositivo MGF1923 llevadas a cabo a $+27^{\circ}\text{C}$. Ajuste (líneas), medidas (círculos). (V_{gs} : desde -1.6V hasta 0V); ($V_{gsc} = 0\text{V}$, $V_{dsc} = 5\text{V}$).

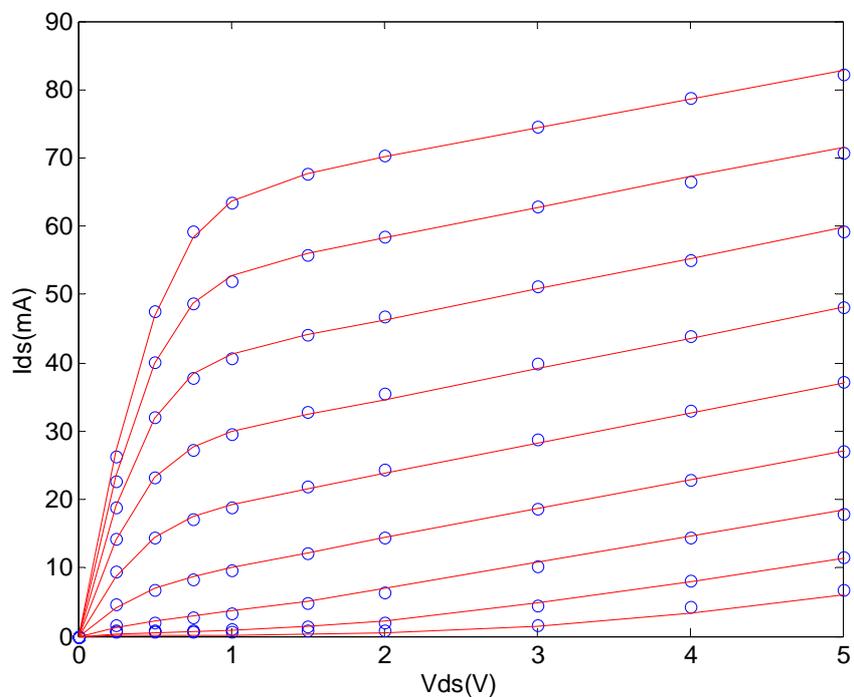


Figura IV.10a: Simulación de las características I/V pulsadas para el dispositivo MGF1923 llevadas a cabo a -70°C . Simulación (líneas), medidas (círculos). (V_{gs} : desde -1.6V hasta 0V); ($V_{gsc} = -0.4\text{V}$, $V_{dsc} = 2\text{V}$).

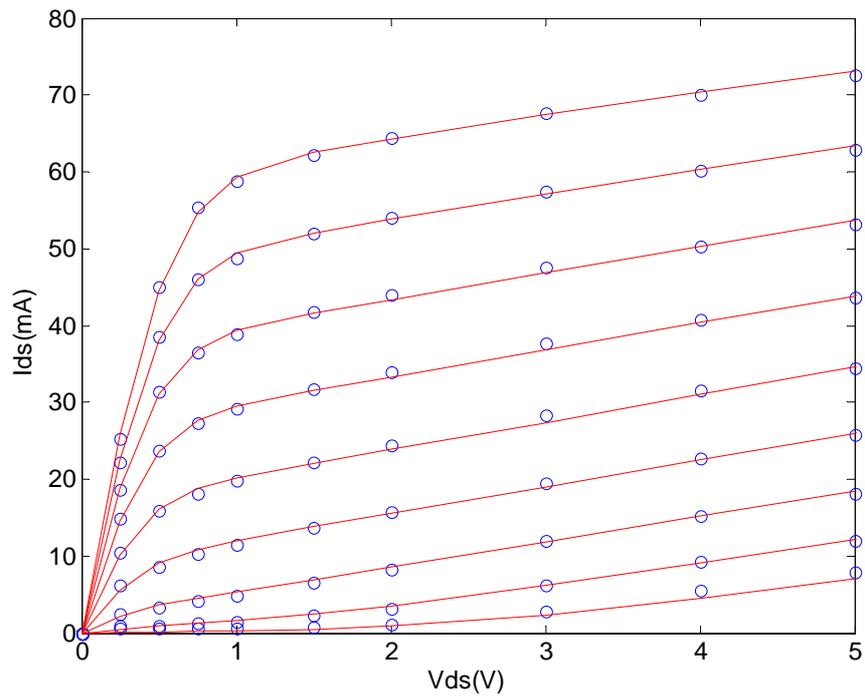


Figura IV.10b: Simulación de las características I/V pulsadas para el dispositivo MGF1923 llevadas a cabo a $+27^{\circ}\text{C}$. Simulación (líneas), medidas (círculos). (V_{gs} : desde -1.6V hasta 0V); ($V_{gscc}=-1.6\text{V}$, $V_{dscc}=1\text{V}$).

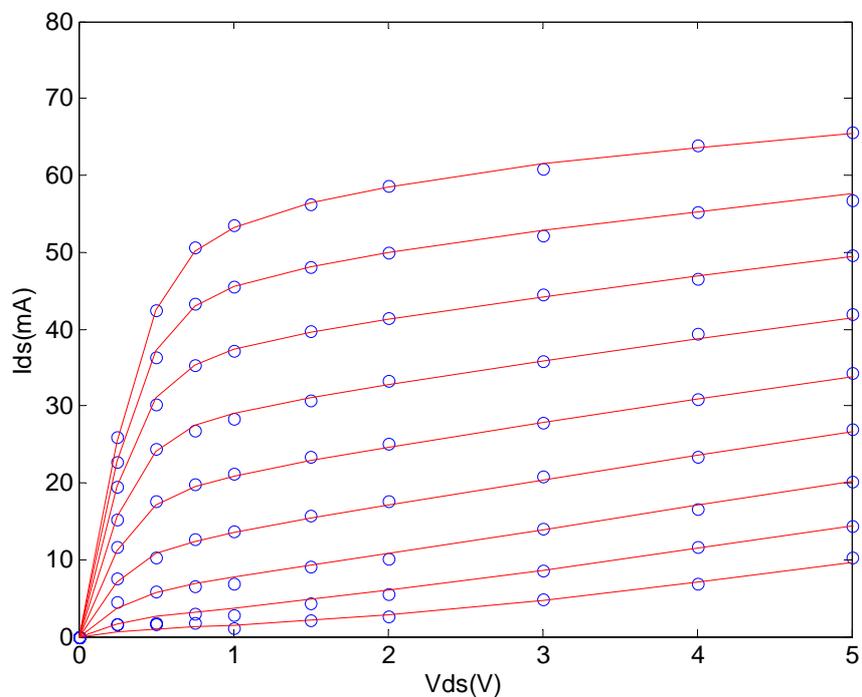


Figura IV.10c: Simulación de las características I/V pulsadas para el dispositivo MGF1923 llevadas a cabo a $+70^{\circ}\text{C}$. Simulación (líneas), medidas (círculos). (V_{gs} : desde -1.6V hasta 0V); ($V_{gscc}=-0.8\text{V}$, $V_{dscc}=4\text{V}$).

• **AlGaN/GaN HEMT (8x75μm AEC1303)**

En los transistores GaN HEMT las excursiones de las tensiones aplicadas en el drenador del dispositivo pueden alcanzar valores muy altos, lo que implica que la diferencia entre la parte dinámica y estática, V_{dsid} , de la señal aplicada (IV.13) puede alcanzar valores muy grandes. Por esta razón se ha visto que la técnica propuesta no ha sido capaz de reproducir las características I/V pulsadas de un transistor GaN HEMT. En la figura IV.11 se muestra el ajuste obtenido de las características I/V pulsadas del transistor 8x75μm GaN HEMT donde se ve claramente la incapacidad del modelo de reproducir estas características mientras que el mismo es capaz de reproducir las características I/V en régimen de DC con un excelente grado de acuerdo entre el ajuste y las medidas.

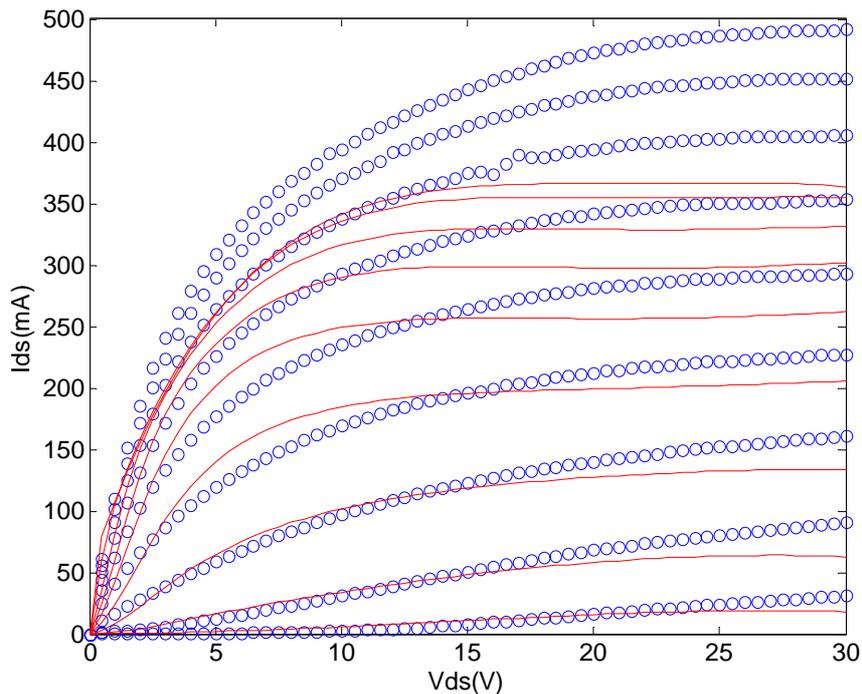


Figura IV.11: Ajuste de las características I/V pulsadas ($V_{gsc}=0V$, $V_{dsc}=0V$) del transistor GaN HEMT 8x75μm AEC1303 utilizando la técnica propuesta. Ajuste (líneas), medidas (círculos). (V_{gs} : desde -4V hasta 0V).

III.2.1.5 Mejora del modelo presentado

A la vista de lo anterior, se ha propuesto una modificación de esta técnica para que sea capaz de lograr el objetivo planteado. Se trata, entonces, de trasladar la dependencia del modelo con el punto de polarización de reposo, V_{gsicc} y V_{dsicc} y las tensiones dinámicas, V_{gsid} y V_{dsid} , a los propios parámetros del modelo original de partida en vez de las tensiones de control V_{gsi} y V_{dsi} . De esta forma todos los parámetros DC del modelo van a tener una dependencia con las diferencias entre las tensiones de polarización de reposo y las tensiones dinámicas según la expresión de la ecuación (IV.16) mientras que las tensiones de control van a tener las formas de la expresión (IV.17).

$$P_i = P_{i_DC} \cdot (1 + \lambda_i \cdot V_{gsid} + \beta_i \cdot V_{dsid}) \quad (IV.16)$$

$$V_{gsi} = V_{gsicc} + V_{gsid}; \quad V_{dsi} = V_{dsicc} + V_{dsid} \quad (IV.17)$$

Donde P_i ($i=1:13$ en este caso) representa el valor dinámico del parámetro “ i ” del modelo y P_{i_DC} representa su valor estimado en régimen de DC. λ_i y β_i son los parámetros del modelado del comportamiento dinámico del dispositivo. Las tensiones V_{gsid} y V_{dsid} guardan la misma forma de la expresión (IV.13).

La forma de las expresiones (IV.16) y (IV.17) garantiza que el modelo guarda las mismas propiedades deseadas, que son la capacidad del modelo de reproducir las características I/V en régimen dinámico (pulsado) y en el mismo tiempo en régimen de DC, y la corriente sea nula ($I_{ds}=0A$) cuando V_{dsi} es igual a cero ($V_{dsi}=0V$). De hecho, cuando no hay señal dinámica ($V_{gsid}=0V$ y $V_{dsid}=0V$), los parámetros dinámicos del modelo P_i se reducen a sus parámetros originales de DC, P_{i_DC} .

El proceso de extracción de los valores de los parámetros del modelo va a ser el mismo que en el caso anterior. En primer lugar, se extraen los valores de los parámetros de DC del modelo original de base a partir de las medidas de las características I/V estáticas del transistor llevadas a cabo a la temperatura ambiente de referencia ($T_\theta=+27^\circ C$). En segundo lugar, los parámetros k_i , responsables del modelado del efecto de la temperatura, se extraen usando las mismas características pero llevadas a cabo a

diferentes temperaturas en este caso. Por último, se extraen los valores de los parámetros dinámicos mediante el ajuste de las características I/V pulsadas utilizando solamente los puntos llave de polarización de reposo llevadas a cabo a la temperatura ambiente de referencia. La expresión final de los parámetros del modelo para que el mismo sea capaz de reproducir el comportamiento estático y dinámico del transistor incluyendo el efecto de la temperatura tiene la forma de la expresión (IV.18).

$$p_i = p_{i_DC}(T) \cdot (1 + \lambda_i \cdot V_{gsid} + \beta_i \cdot V_{dsid}) \quad (IV.18)$$

donde

$$p_{i_DC}(T) = p_{i_DC}(T_0) + k_i \cdot (T - T_0) \quad (IV.19)$$

Aplicando la técnica con las modificaciones añadidas al dispositivo $8 \times 75 \mu\text{m}$ GaN HEMT, se ha obtenido los valores de todos los parámetros que definen la nueva expresión de la fuente de corriente I_{ds} que se muestran en la tabla IV.2.

	Parámetros DC	Parámetros térmicos		Parámetros dinámicos (V^{-1})			
P_1	$I_{dss} = 443.26 \text{ (mA)}$	k_1	$-1.0061e^{-3} \text{ (A/K)}$	λ_1	$2.3899e^{-1}$	β_1	$1.0257e^{-2}$
P_2	$V_P = -2.2467 \text{ (V)}$	k_2	$-1.95e^{-3} \text{ (V/K)}$	λ_2	$-1.3725e^{-1}$	β_2	$-1.3897e^{-2}$
P_3	$V_{PF} = 0.7012 \text{ (V)}$	k_3	$2.4568e^{-4} \text{ (V/K)}$	λ_3	$-8.5789e^{-3}$	β_3	$2.1935e^{-2}$
P_4	$\gamma = -0.0657$	k_4	$9.9949e^{-5} \text{ (K}^{-1}\text{)}$	λ_4	$-2.3580e^{-2}$	β_4	$-2.3788e^{-3}$
P_5	$\chi = 0.962$	k_5	$-1.6190e^{-3} \text{ (K}^{-1}\text{)}$	λ_5	$1.1425e^{-1}$	β_5	$-1.2729e^{-2}$
P_6	$\eta = 3.612$	k_6	$-6.6054e^{-3} \text{ (K}^{-1}\text{)}$	λ_6	$1.4924e^{-2}$	β_6	$-1.2687e^{-2}$
P_7	$K_G = 73.223 \text{ (V}^{-1}\text{)}$	k_7	$6.8329e^{-1} \text{ (V}^{-1}\text{/K)}$	λ_7	$-1.9131e^{-1}$	β_7	$-8.6126e^{-3}$
P_8	$S_L = 24.8032$	k_8	$2.3443e^{-1} \text{ (K}^{-1}\text{)}$	λ_8	$-2.4482e^{-1}$	β_8	$3.3526e^{-4}$
P_9	$S_S = 423.8445 \text{ (mA/V)}$	k_9	$9.9356e^{-4} \text{ (A/(V.K))}$	λ_9	$-1.6628e^{-1}$	β_9	$8.1041e^{-3}$
P_{10}	$K_E = -0.7593 \text{ (V}^{-1}\text{)}$	k_{10}	$-7.6036e^{-4} \text{ (V}^{-1}\text{/K)}$	λ_{10}	$-6.3628e^{-2}$	β_{10}	$-7.9717e^{-3}$
P_{11}	$E = -2.8967$	k_{11}	$-3.7347e^{-3} \text{ (K}^{-1}\text{)}$	λ_{11}	$-1.5226e^{-1}$	β_{11}	$-8.6968e^{-3}$
P_{12}	$\mu = 0.2892$	k_{12}	$-4.1814e^{-4} \text{ (K}^{-1}\text{)}$	λ_{12}	$7.7157e^{-2}$	β_{12}	$-2.0771e^{-3}$
P_{13}	$\delta = 0.3102$	k_{13}	$6.4947e^{-5} \text{ (K}^{-1}\text{)}$	λ_{13}	$1.5324e^{-2}$	β_{13}	$-7.4605e^{-3}$
Resistencias de acceso							
$R_g = 0.8 \Omega$; $R_d = 1.2 \Omega$; $R_s = 0.6 \Omega$							

Tabla IV.2: Valores de los parámetros de I_{ds} para el transistor GaN HEMT $8 \times 75 \mu\text{m}$.

En las figuras IV.12a, IV.12b y IV.12c se representa el ajuste de las características I/V en régimen de DC de este transistor llevadas a cabo a tres diferentes temperaturas (-70°C, +27°C, +70°C), pudiéndose observar el excelente grado de acuerdo entre las medidas y el ajuste.

En las gráficas de la figura IV.13 se muestran dos ajustes de las características pulsadas en dos puntos llave para el dicho dispositivo. En las gráficas de las figuras IV.14a, IV.14b y IV.14c se representa la comparación entre los resultados de las simulaciones y las medidas de las características I/V pulsadas, para el mismo dispositivo que nos ocupa, en tres puntos de polarización de reposo diferentes de los puntos llave utilizados para la extracción de los valores de los parámetros del modelo llevadas a cabo a tres temperaturas diferentes. Se observa el buen grado de acuerdo entre ambos poniendo, por lo tanto, de manifiesto la validez de la técnica modificada propuesta. Nótese que se ha obtenido también mejores resultados para otros puntos de polarización de reposo y a otras temperaturas.

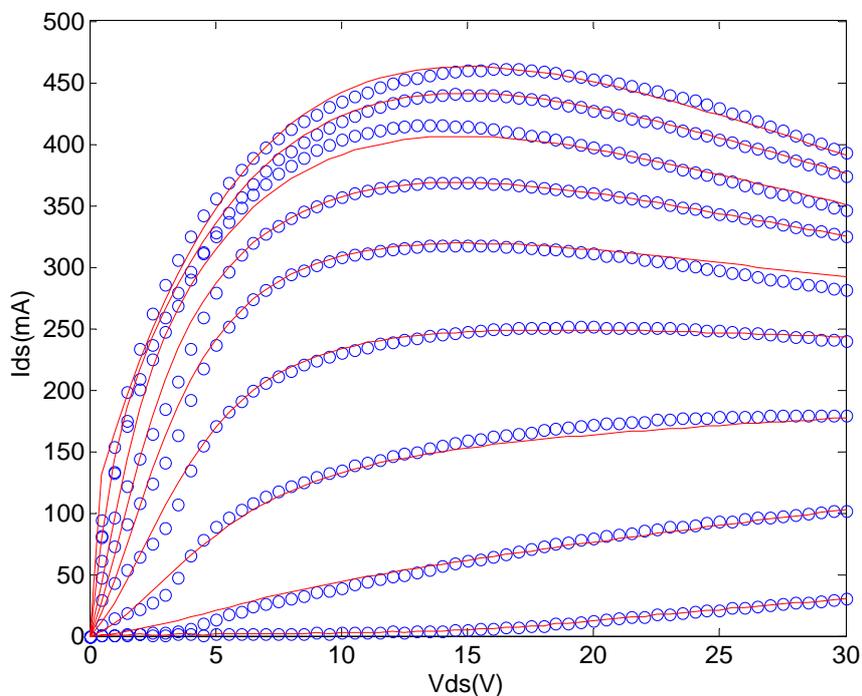


Figura IV.12a: *Ajuste de las características I/V en régimen de DC para el transistor GaN HEMT 8x75µm llevadas a cabo a -70°C. Ajuste (líneas), medidas (círculos). (Vgs: desde -4V hasta 0V).*

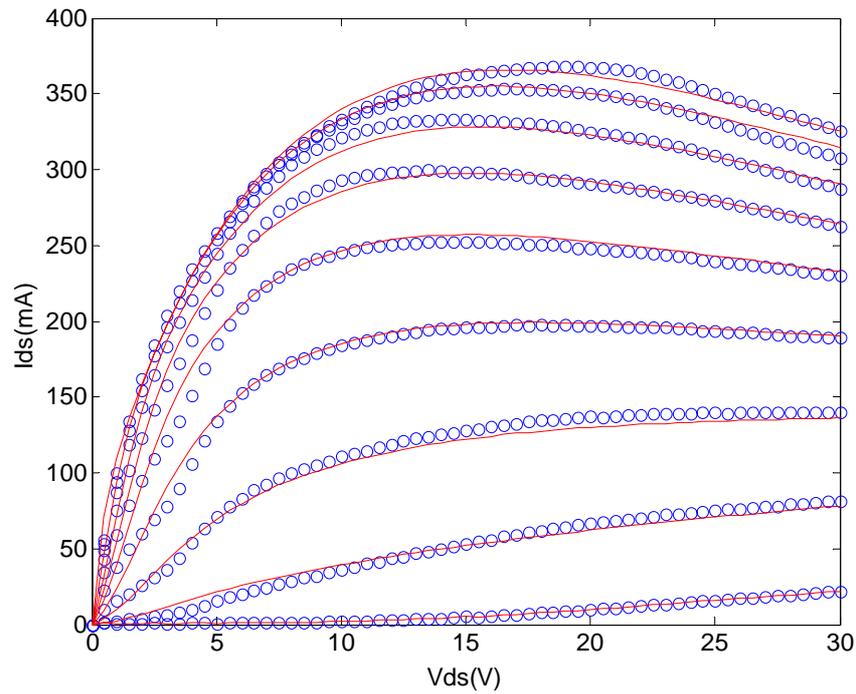


Figura IV.12b: Ajuste de las características I/V en régimen de DC para el transistor GaN HEMT $8 \times 75 \mu\text{m}$ llevadas a cabo a $+27^\circ\text{C}$. Ajuste (líneas), medidas (círculos). (V_{gs} : desde -4V hasta 0V).

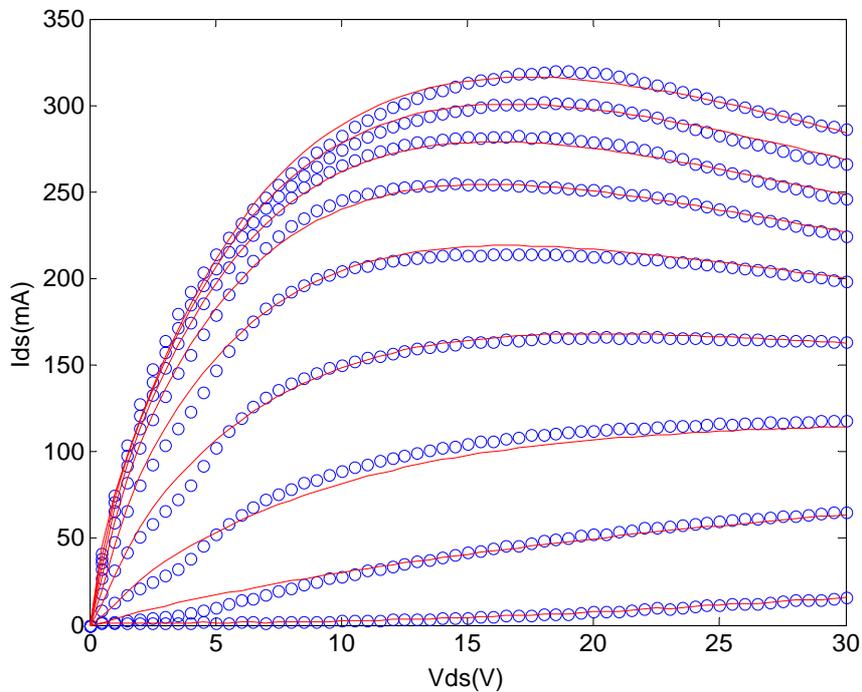


Figura IV.12c: Ajuste de las características I/V en régimen de DC para el transistor GaN HEMT $8 \times 75 \mu\text{m}$ llevadas a cabo a $+70^\circ\text{C}$. Ajuste (líneas), medidas (círculos). (V_{gs} : desde -4V hasta 0V).

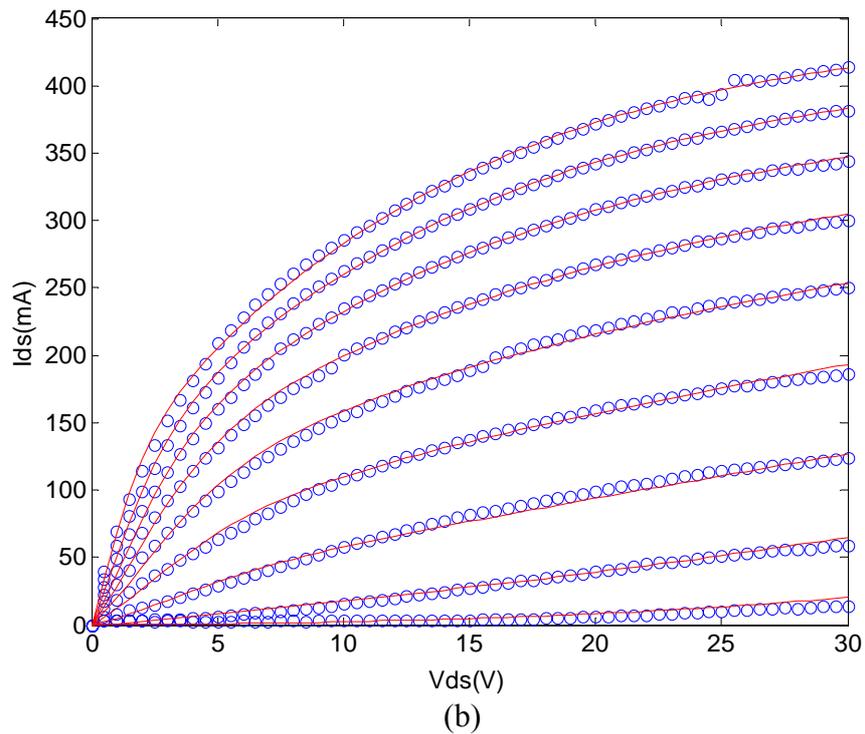
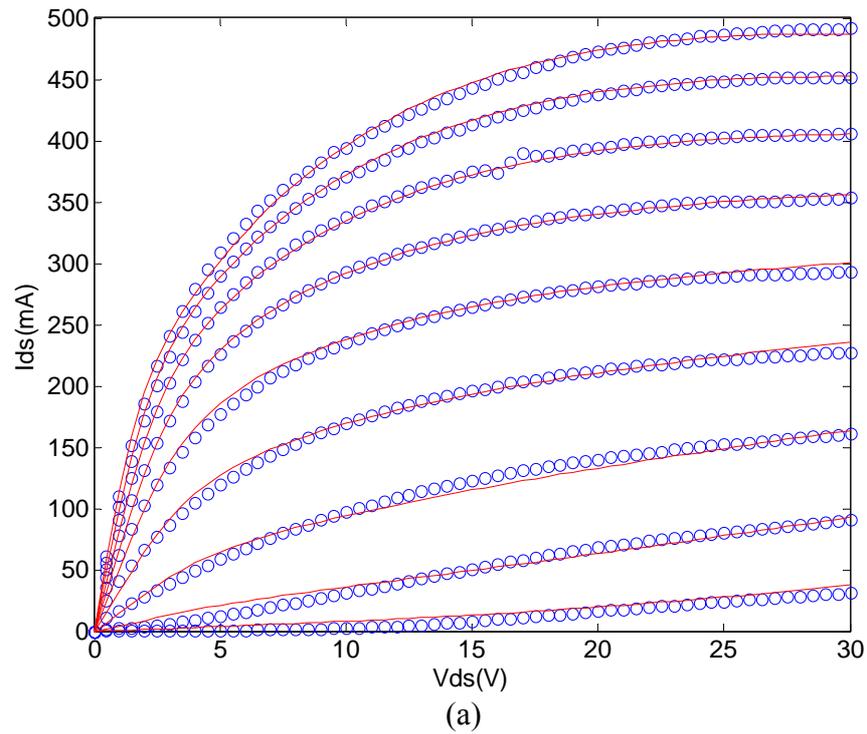


Figura IV.13: Ajuste de las características I/V pulsadas en dos puntos llave para el dispositivo $8 \times 75 \mu\text{m}$ GaN HEMT llevadas a cabo a $+27^\circ\text{C}$. Ajuste (líneas), medidas (círculos). (V_{gs} : desde -4V hasta 0V).
 (a) $V_{gsc} = 0\text{V}$, $V_{dsc} = 0\text{V}$; (b) $V_{gsc} = -4\text{V}$, $V_{dsc} = 20\text{V}$.

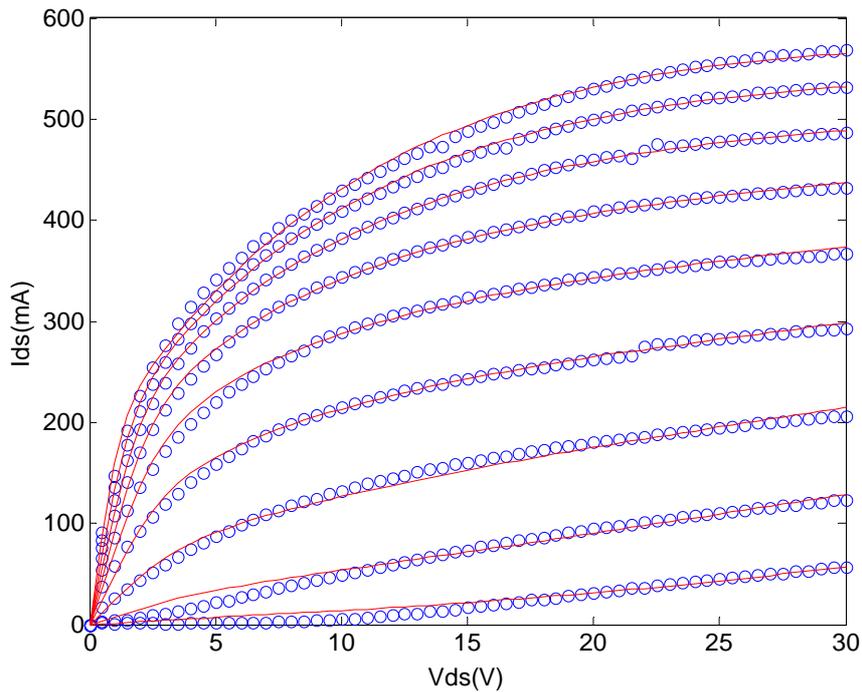


Figura IV.14a: Simulación de las características I/V pulsadas para el dispositivo $8 \times 75 \mu\text{m}$ GaN HEMT llevadas a cabo a -70°C . Simulación (líneas), medidas (círculos). (V_{gs} : desde -4 V hasta 0 V); ($V_{gsc}=-3\text{ V}$, $V_{dsc}=5\text{ V}$).

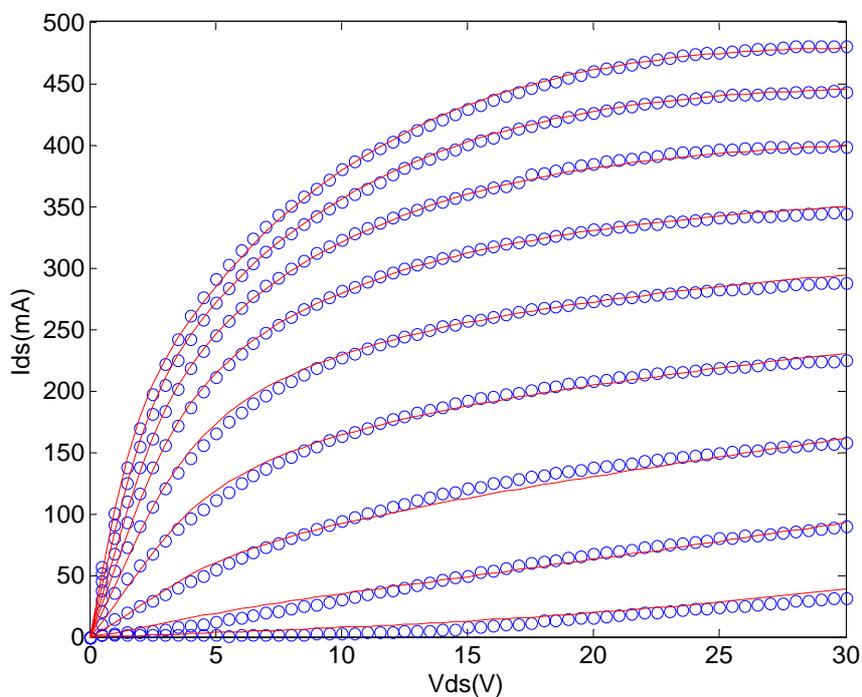


Figura IV.14b: Simulación de las características I/V pulsadas para el dispositivo $8 \times 75 \mu\text{m}$ GaN HEMT llevadas a cabo a $+27^\circ\text{C}$. Simulación (líneas), medidas (círculos). (V_{gs} : desde -4 V hasta 0 V); ($V_{gsc}=-1\text{ V}$, $V_{dsc}=3\text{ V}$).

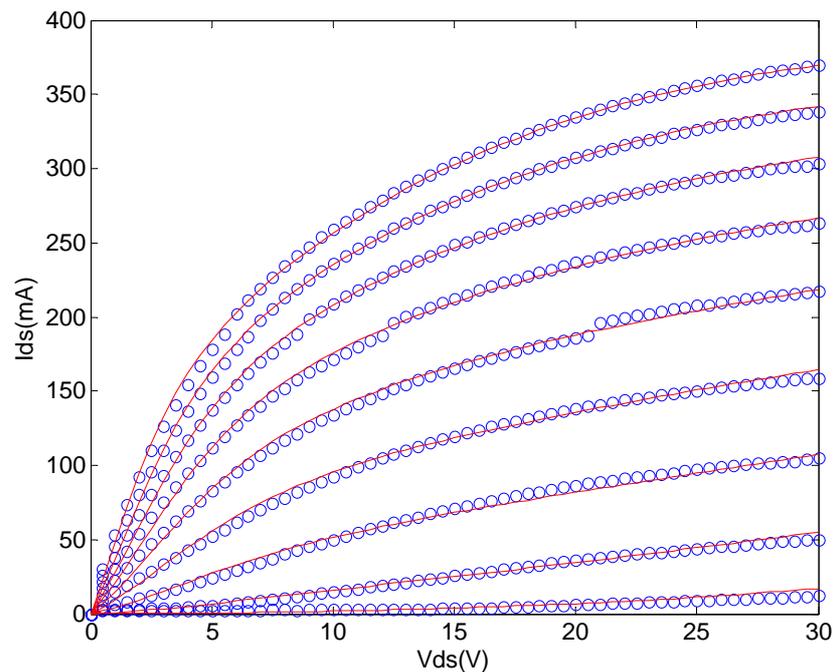


Figura IV.14c: Simulación de las características I/V pulsadas para el dispositivo $8 \times 75 \mu\text{m}$ GaN HEMT llevadas a cabo a $+70^\circ\text{C}$. Simulación (líneas), medidas (círculos). (V_{gs} : desde -4 V hasta 0 V); ($V_{gsc} = -4\text{ V}$, $V_{dsc} = 15\text{ V}$).

III.2.1.6 Generalización del modelo

Con el fin de obtener un modelo general para que sea válido para todos los dispositivos, independientemente de su tamaño o de su tecnología, se ha aplicada de nuevo la técnica modificada al dispositivo MGF1923 así como a otro dispositivo diferente. Se trata, en este caso, de un GaAs HEMT/HJFET de muy bajo ruido de NEC Electronics Corporation (NE3210S01).

En la tabla IV.3 se ven los valores de los parámetros dinámicos que definen nuevamente la ecuación modificada de la fuente I_{ds} para el transistor MGF1923. Los valores de los parámetros de DC son los mismos obtenidos, anteriormente, con el primer método y que están representados en la tabla IV.1. En las figuras IV.15a, IV.15b y IV.15c se representan la comparación entre las características I/V experimentales y simuladas del dispositivo llevadas a cabo en tres puntos de polarización que no han sido utilizadas en la extracción de los parámetros dinámicos del nuevo modelo. Como se puede ver en estas gráficas el grado de acuerdo entre las medidas y simulaciones es nuevamente excelente.

Parámetros		Parámetros dinámicos (V^{-1})			
P_1	I_{dss}	λ_1	$6.3759e^{-3}$	β_1	$-1.6558e^{-1}$
P_2	V_P	λ_2	$-4.2069e^{-2}$	β_2	$-3.8408e^{-2}$
P_3	V_{PF}	λ_3	$3.0674e^{-1}$	β_3	$-9.1495e^{-2}$
P_4	γ	λ_4	$-2.3610e^{-1}$	β_4	$6.2167e^{-2}$
P_5	χ	λ_5	$-6.6742e^{-2}$	β_5	$-5.9005e^{-2}$
P_6	η	λ_6	$3.2157e^{-3}$	β_6	$-2.5832e^{-2}$
P_7	K_G	λ_7	-2.1194	β_7	-1.7585
P_8	S_L	λ_8	$-1.2333e^{-2}$	β_8	$-1.6711e^{-1}$
P_9	S_S	λ_9	$-2.6897e^{-1}$	β_9	$2.2419e^{-2}$
P_{10}	K_E	λ_{10}	$-9.0582e^{-2}$	β_{10}	$1.3147e^{-2}$
P_{11}	E	λ_{11}	$-2.1508e^{-1}$	β_{11}	$1.0517e^{-1}$
P_{12}	μ	λ_{12}	$1.0966e^{-1}$	β_{12}	$-3.4334e^{-2}$
P_{13}	δ	λ_{13}	$-3.7102e^{-1}$	β_{13}	$-8.5548e^{-4}$

Tabla IV.3: Valores de los parámetros dinámicos de I_{ds} obtenidos por el nuevo método para el transistor MGF1923.

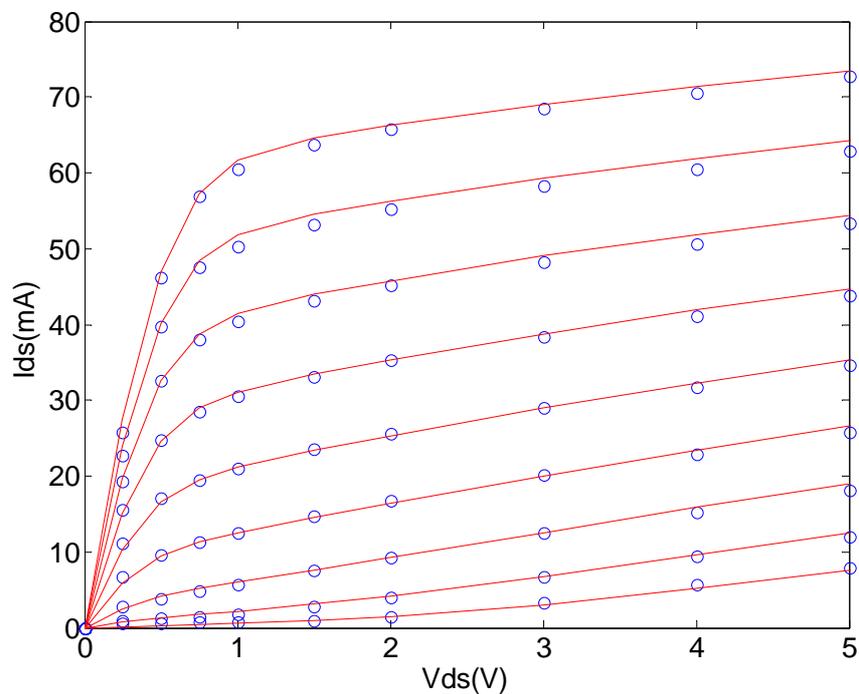


Figura IV.15a: Simulación de las características I/V pulsadas del dispositivo MGF1923 llevadas a cabo a $+27^\circ\text{C}$. Simulación (líneas), medidas (círculos). (V_{gs} : desde -1.6 V hasta 0 V); ($V_{gsc}=-1.6\text{ V}$, $V_{dsc}=1\text{ V}$).

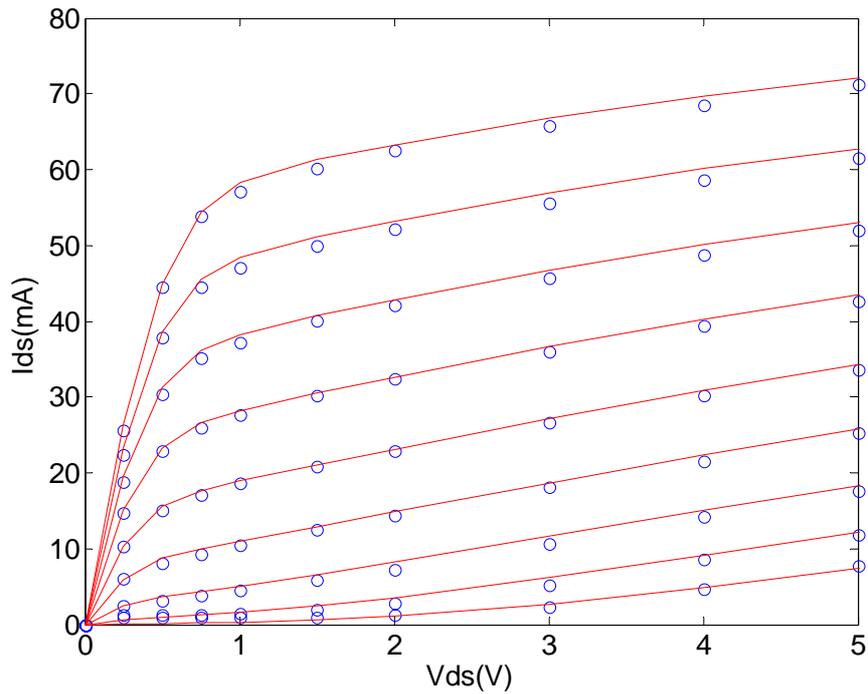


Figura IV.15b: Simulación de las características I/V pulsadas del dispositivo MGF1923 llevadas a cabo a +27°C. Simulación (líneas), medidas (círculos). (V_{gs} : desde -1.6 V hasta 0V); ($V_{gsc}=-0.8V$, $V_{dsc}=4V$).

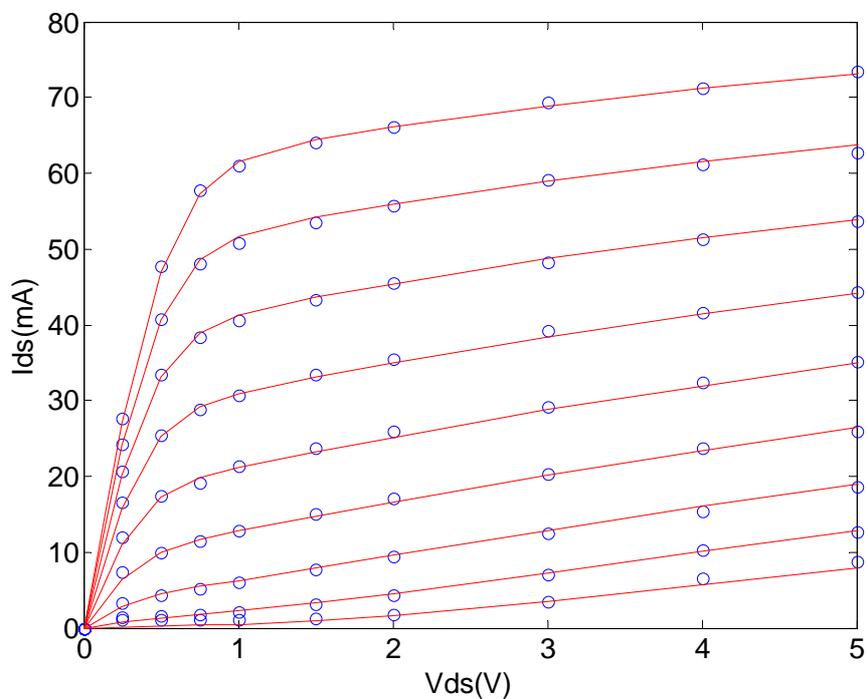


Figura IV.15c: Simulación de las características I/V pulsadas del dispositivo MGF1923 llevadas a cabo a +27°C. Simulación (líneas), medidas (círculos). (V_{gs} : desde -1.6 V hasta 0V); ($V_{gsc}=-0.4V$, $V_{dsc}=2V$).

Se ha llevado a cabo el mismo proceso de extracción de los valores de los parámetros del modelo de I_{ds} , utilizando la técnica modificada, para el transistor NE3210S01. Así, se han obtenido los valores de dichos parámetros mostrados en la tabla IV.4. Para los valores de las resistencias de acceso del transistor se ha utilizado los del fabricante que se encuentran en la hoja de datos “*datasheet*” del transistor.

Con estos parámetros, del dicho transistor, se han obtenido los resultados mostrados en las siguientes gráficas. Así, en la gráfica de la figura IV.16 se muestra el ajuste de las características I/V en régimen de DC llevadas a cabo a +27°C, pudiéndose observar el buen grado de acuerdo entre la medida y el ajuste. De la misma manera, en la figura IV.17 se muestran el ajuste de las medidas pulsadas I/V en dos puntos llave de polarización que han sido utilizados, junto con otros, en el proceso de extracción de los valores de los parámetros dinámicos del modelo. En la figura IV.18 se observa la comparación entre los resultados de medida y de simulación en dos puntos de polarización diferentes a cualquiera de los puntos llave. Todas las medidas pulsadas se han llevado a cabo a la temperatura ambiente de +27°C. En ambos casos, tanto en el caso de ajuste como en simulación, se puede observar el buen grado de acuerdo entre los resultados de medidas y del modelado.

La validación de la nueva técnica para diferentes dispositivos (GaAs MESFET, GaAs HEMT y GaN HEMT) le confiere la característica de que es un modelo general para cualquier dispositivo independientemente de su tecnología. De esta forma, se consolidará con esta técnica para las futuras simulaciones después de la implementación del modelo en un simulador comercial que se presentará a continuación en el próximo capítulo. Aunque se pueda considerar que esta técnica presenta la desventaja, en comparación con la primera técnica, de que aporta más parámetros al modelo original, como se verá a continuación, no presenta ninguna dificultad para su implementación en un simulador ni tampoco se han encontrado problemas de convergencia en análisis de tipo balance armónico.

	Parámetros DC	Parámetros dinámicos (V^{-1})			
P_1	$I_{dss} = 78.038 \text{ (mA)}$	λ_1	$7.7078e^{-2}$	β_1	$2.4540e^{-2}$
P_2	$V_p = -0.4098 \text{ (V)}$	λ_2	$-2.4442e^{-1}$	β_2	$-4.6620e^{-2}$
P_3	$V_{PF} = 0.3919 \text{ (V)}$	λ_3	$-1.7024e^{-1}$	β_3	$1.9480e^{-1}$
P_4	$\gamma = -0.0902$	λ_4	$2.5077e^{-1}$	β_4	$-2.5400e^{-1}$
P_5	$\chi = 5.8033$	λ_5	$-4.6309e^{-2}$	β_5	$-8.8060e^{-2}$
P_6	$\eta = 8.6880e^{-6}$	λ_6	$-5.9386e^{-2}$	β_6	$1.9730e^{-1}$
P_7	$K_G = -0.5077 \text{ (V}^{-1}\text{)}$	λ_7	$1.6256e^{-1}$	β_7	$4.2002e^{-2}$
P_8	$S_L = 0.3542$	λ_8	$-7.8291e^{-2}$	β_8	$7.4430e^{-2}$
P_9	$S_S = -2.6084 \text{ (mA/V)}$	λ_9	$6.1599e^{-2}$	β_9	$-4.229e^{-1}$
P_{10}	$K_E = -0.2032 \text{ (V}^{-1}\text{)}$	λ_{10}	$4.1373e^{-2}$	β_{10}	$-1.9907e^{-2}$
P_{11}	$E = 0.5362$	λ_{11}	$6.4501e^{-2}$	β_{11}	$-4.9525e^{-3}$
P_{12}	$\mu = 0.1254$	λ_{12}	$-8.3233e^{-2}$	β_{12}	$7.4389e^{-2}$
P_{13}	$\delta = 0.5080$	λ_{13}	$7.4135e^{-2}$	β_{13}	$-1.7502e^{-1}$
Resistencias de acceso					
$R_g = 8 \Omega$; $R_d = 0.5 \Omega$; $R_s = 3 \Omega$					

Tabla IV.4: Valores de los parámetros del modelo de I_{ds} obtenidos por el nuevo método para el transistor NE3210S01.

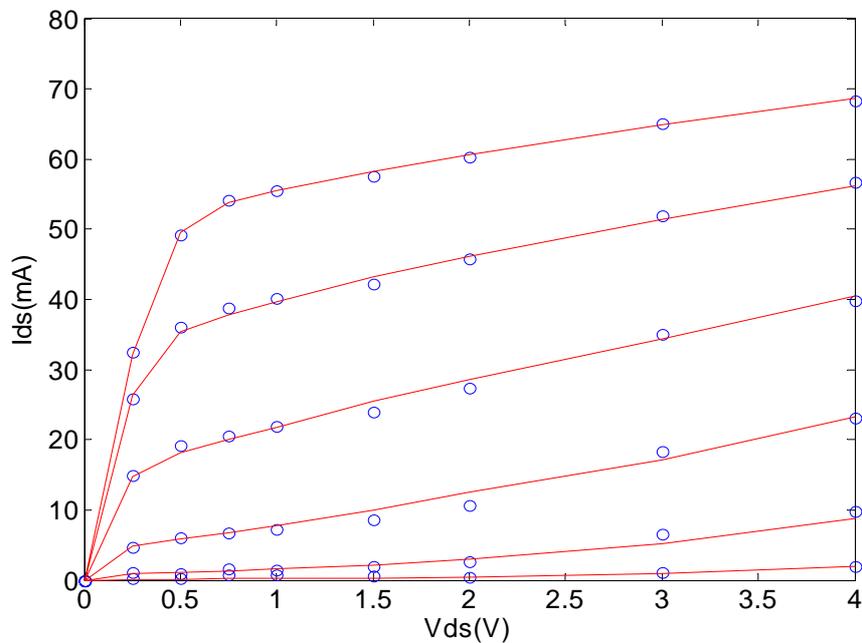


Figura IV.16: Ajuste de las características I/V en régimen de DC para el transistor NE3210S01 llevadas a cabo a $+27^\circ\text{C}$. Ajuste (líneas), medidas (círculos). (V_{gs} : desde -1V hasta 0V).

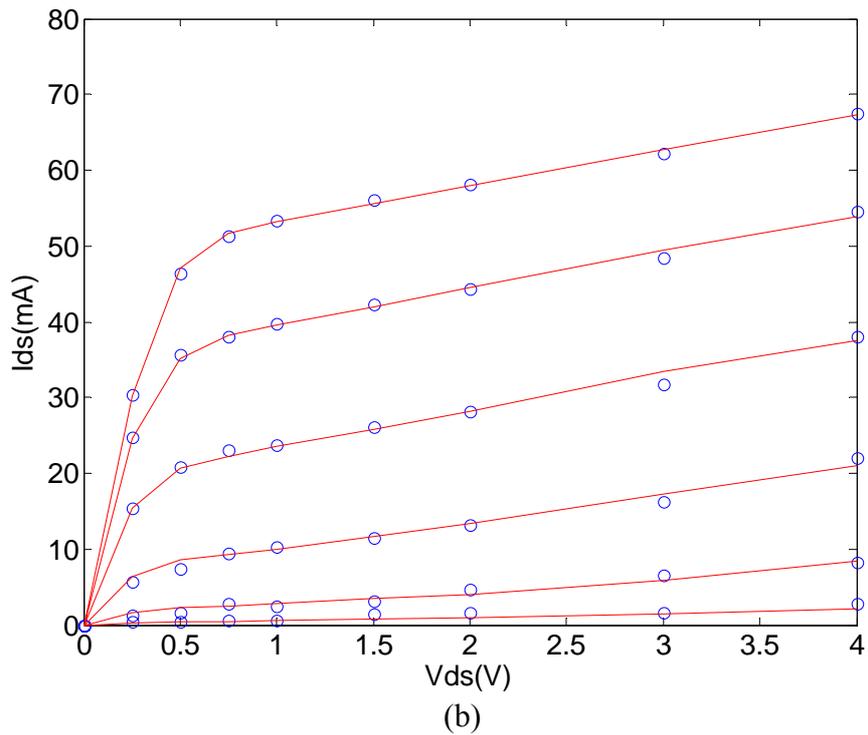
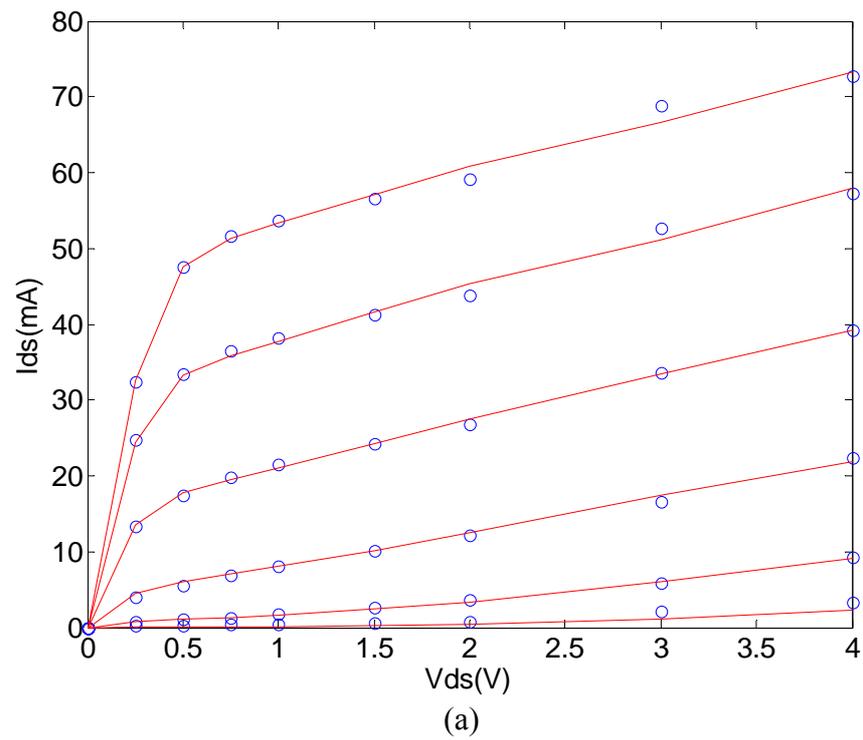


Figura IV.17: Ajuste de las características I/V pulsadas en dos puntos llave para el transistor NE3210S01 llevadas a cabo a $+27^{\circ}\text{C}$. Ajuste (líneas), medidas (círculos). (V_{gs} : desde -1V hasta 0V).

(a) $V_{gsc} = -1\text{V}$, $V_{dsc} = 0\text{V}$; (b) $V_{gsc} = 0\text{V}$, $V_{dsc} = 4\text{V}$.

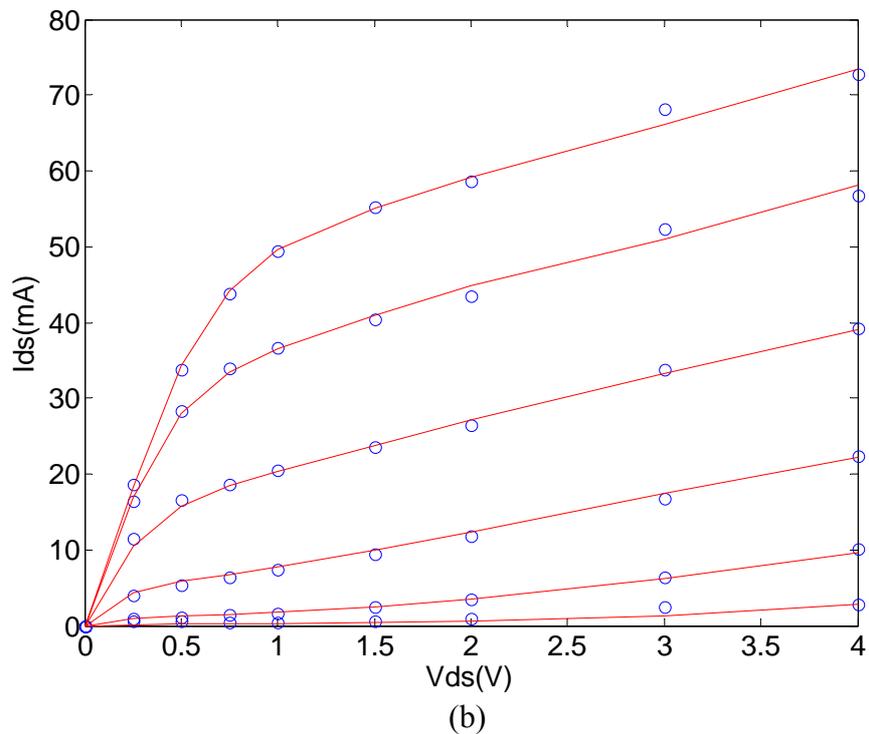
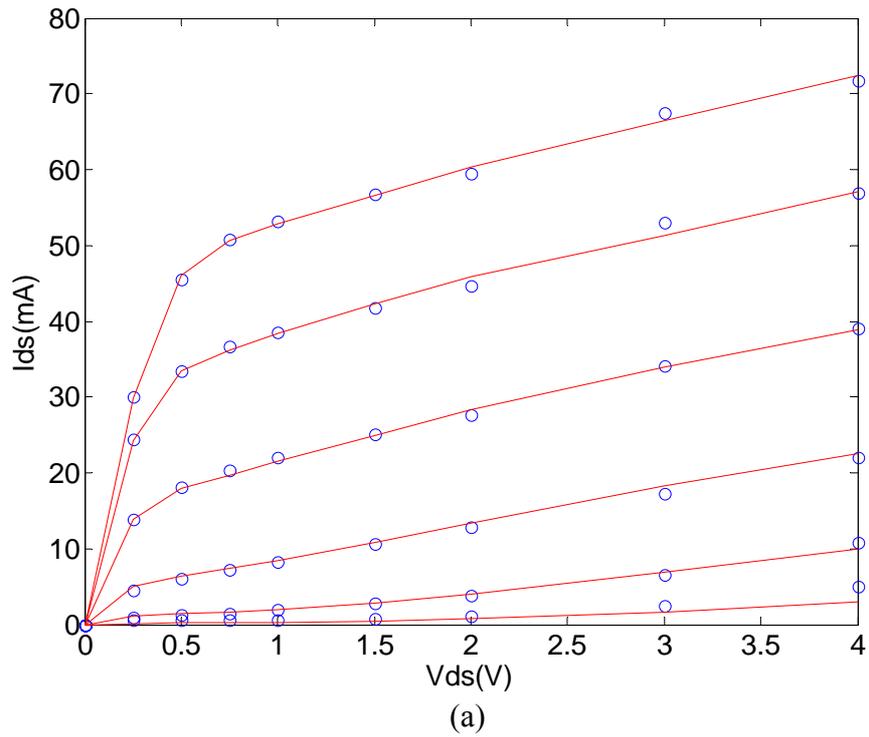


Figura IV.18: Simulación de las características I/V pulsadas para el transistor NE3210S01 llevadas a cabo a $+27^{\circ}\text{C}$. Simulación (líneas), medidas (círculos). (V_{gs} : desde -1V hasta 0V).
 (a) $V_{gsc}=-0.2\text{V}$, $V_{dsc}=1.5\text{V}$; (b) $V_{gsc}=-0.8\text{V}$, $V_{dsc}=3\text{V}$.

III.2.2 Modelado de las fuentes de corriente I_{gs} e I_{gd}

Para el modelado de los diodos I_{gs} e I_{gd} (figura IV.5), se han utilizado las siguientes expresiones típicas de una unión Schottky (IV.20), (IV.21):

$$I_{gs} = I_{nssg} \cdot \left(\exp(\alpha_g \cdot V_{gsi}) - 1 \right) \quad (\text{IV.20})$$

$$I_{gd} = I_{nssd} \cdot \left(\exp(\alpha_d \cdot V_{gdi}) - 1 \right) \quad (\text{IV.21})$$

Se ha considerado que todos los parámetros que definen las expresiones de las fuentes I_{gs} e I_{gd} (I_{nssg} , I_{nssd} , α_g y α_d) dependen de la temperatura. Por lo tanto, para la implementación de la variable de la temperatura en estas expresiones se proponen las siguientes expresiones.

$$I_{nssg}(T) = I_{nssg0} \cdot \exp\left(\beta_{g1} \cdot \left(\frac{T}{T_0} - 1\right)\right) \quad (\text{IV.22})$$

$$I_{nssd}(T) = I_{nssd0} \cdot \exp\left(\beta_{d1} \cdot \left(\frac{T}{T_0} - 1\right)\right) \quad (\text{IV.23})$$

$$\alpha_g(T) = \alpha_{g0} \cdot \exp\left(\beta_{g2} \cdot \left(\frac{T}{T_0} - 1\right)\right) \quad (\text{IV.24})$$

$$\alpha_d(T) = \alpha_{d0} \cdot \exp\left(\beta_{d2} \cdot \left(\frac{T}{T_0} - 1\right)\right) \quad (\text{IV.25})$$

Donde I_{nssg0} , I_{nssd0} , α_{g0} y α_{d0} son los valores extraídos a la temperatura de referencia ($T_0 = +27^\circ\text{C}$) de los parámetros I_{nssg} , I_{nssd} , α_g y α_d respectivamente. β_{g1} , β_{g2} , β_{d1} y β_{d2} son los parámetros del modelado del efecto de la temperatura.

Los parámetros de dichas fuentes se extraen a partir de las medidas de las corrientes directas (I_{gs} frente a V_{gs} e I_{gd} frente a V_{gd}). De hecho, en primer lugar, se extraen los parámetros I_{nssg0} , I_{nssd0} , α_{g0} y α_{d0} a partir de estas medidas llevadas a cabo a la

temperatura de referencia y, en segundo lugar se extraen los valores de los parámetros β_{g1} , β_{g2} , β_{d1} y β_{d2} usando estas mismas medidas pero esta vez tomadas a diferentes temperaturas. Hay que señalar que las tensiones intrínsecas de control V_{gsi} y V_{gdi} están definidas de una manera normal y no es necesario modificarlas como en el caso del modelado la fuente de corriente I_{ds} .

Para probar la validez del modelo, se ha aplicado la aproximación al transistor MGF1923 con cual se han obtenido los valores de los parámetros de las dos fuentes que están representados en la tabla IV.5. Nótese que se ha visto que los valores de los parámetros de las dos fuentes son casi iguales y, por lo tanto, se ha considerado que son idénticas.

En la figura IV.19 se representa el ajuste de las características I/V del diodo de la unión puerta-fuente (I_{gs} versus V_{gs}) llevadas a cabo a tres diferentes temperaturas viéndose un excelente grado de acuerdo entre las medidas y el ajuste, razón que pone de manifiesto la bondad del modelo.

Parámetros de I_{gs} e I_{gd}	
$I_{nssg0} = I_{nssd0} = 3.52e^{-11}$ (A); $\alpha_{g0} = \alpha_{d0} = 28$ (V^{-1})	
$\beta_{g1} = \beta_{d1} = 21.684$; $\beta_{g2} = \beta_{d2} = -0.675$	

Tabla IV.5: *Valores de los parámetros de I_{gs} e I_{gd} para el transistor GaAs MESFET (MGF1923).*

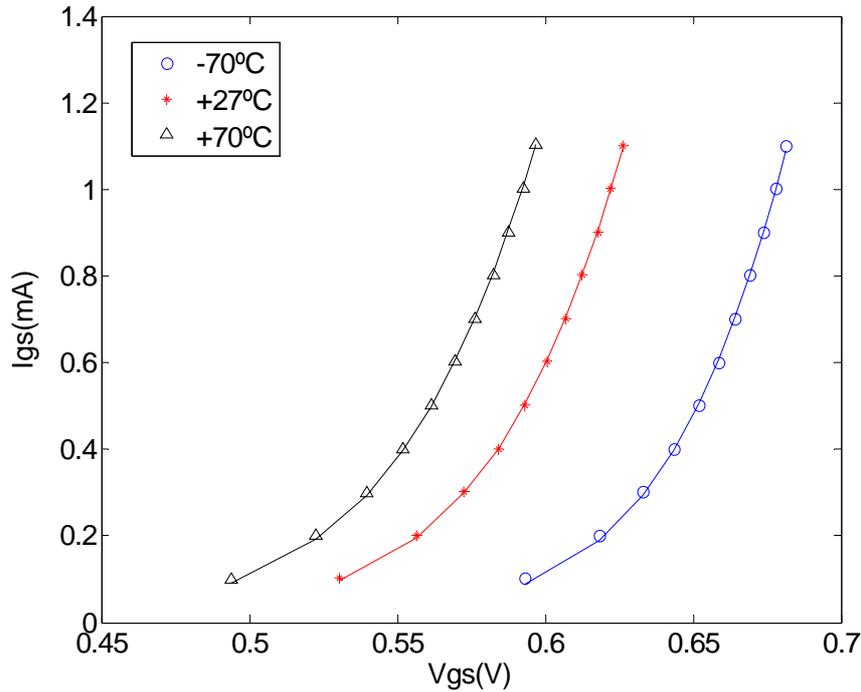


Figura IV.19: Ajuste de las características I/V del diodo I_{gs} para tres temperaturas diferentes. Ajuste (líneas), medidas (símbolos).

III.2.3 Modelado de las capacidades no lineales C_{gs} y C_{gd}

Para el modelado de las capacidades no lineales C_{gs} y C_{gd} , se ha utilizado el modelo unidimensional ($C_{gs} = f(V_{gs})$ y $C_{gd} = f(V_{gd})$) definido por las expresiones siguientes [30]:

$$C_{gs} = C_{gs0} + \frac{A_{C_{gs}}}{2} \cdot \left(1 + \tanh \left[K_{C_{gs}} \cdot (V_{gsi} - V_{C_{gs}}) \right] \right) \quad (\text{IV.26})$$

$$C_{gd} = C_{gd0} + \frac{A_{C_{gd}}}{2} \cdot \left(1 + \tanh \left[K_{C_{gd}} \cdot (V_{gdi} - V_{C_{gd}}) \right] \right) \quad (\text{IV.27})$$

Los parámetros de estas expresiones se obtienen utilizando un proceso de ajuste de las mismas a los valores experimentales obtenidos mediante la técnica de la extracción lineal multibias como se presentará a continuación en la sección dedicada a la extracción de los valores de los elementos del modelo pequeña señal basándose en las medidas de los parámetros de Scattering.

La extracción multibias de las capacidades C_{gs} y C_{gd} llevada a cabo a varias temperaturas ha mostrado que los valores de estas capacidades dependen de la temperatura. Por lo tanto, para la implementación del parámetro temperatura en el modelo de estas capacidades se ha supuesto que sus parámetros varían con la temperatura según la forma de las expresiones siguientes:

$$C_{gs0}(T) = C_{gs0T0} + C_{gs0T} \cdot (T - T_0); C_{gd0}(T) = C_{gd0T0} + C_{gd0T} \cdot (T - T_0) \quad (IV.28)$$

$$A_{C_{gs}}(T) = A_{C_{gs}T0} + A_{C_{gs}T} \cdot (T - T_0); A_{C_{gd}}(T) = A_{C_{gd}T0} + A_{C_{gd}T} \cdot (T - T_0) \quad (IV.29)$$

$$K_{C_{gs}}(T) = K_{C_{gs}T0} + K_{C_{gs}T} \cdot (T - T_0); K_{C_{gd}}(T) = K_{C_{gd}T0} + K_{C_{gd}T} \cdot (T - T_0) \quad (IV.30)$$

$$V_{C_{gs}}(T) = V_{C_{gs}T0} + V_{C_{gs}T} \cdot (T - T_0); V_{C_{gd}}(T) = V_{C_{gd}T0} + V_{C_{gd}T} \cdot (T - T_0) \quad (IV.31)$$

Donde C_{gs0T0} , $A_{C_{gs}T0}$, $K_{C_{gs}T0}$, $V_{C_{gs}T0}$, C_{gd0T0} , $A_{C_{gd}T0}$, $K_{C_{gd}T0}$ y $V_{C_{gd}T0}$ son los parámetros extraídos a la temperatura de referencia ($T_0 = +27^\circ\text{C}$) de los parámetros C_{gs0} , $A_{C_{gs}}$, $K_{C_{gs}}$, $V_{C_{gs}}$, C_{gd0} , $A_{C_{gd}}$, $K_{C_{gd}}$ y $V_{C_{gd}}$ respectivamente. C_{gs0T} , $A_{C_{gs}T}$, $K_{C_{gs}T}$, $V_{C_{gs}T}$, C_{gd0T} , $A_{C_{gd}T}$, $K_{C_{gd}T}$ y $V_{C_{gd}T}$ son los parámetros que controlan la variación de las capacidades C_{gs} y C_{gd} con la temperatura.

En la tabla IV.6 se pueden ver los valores de todos los parámetros que definen el modelo de las capacidades C_{gs} y C_{gd} estimados aplicando la técnica de extracción lineal multibias y el proceso de ajuste de sus expresiones llevados a cabo a diferentes temperaturas.

En las figuras IV.20 y IV.21 se presenta la comparación entre los valores de las capacidades C_{gs} y C_{gd} extraídos y modelados en función de la temperatura donde se ve un gran grado de acuerdo entre ambos.

Parámetros de la capacidad C_{gs}	
$C_{gs0T0} = 0.12$ (pF); $A_{C_{gsT0}} = 0.303$ (pF); $K_{C_{gsT0}} = 0.94$ (V^{-1}); $V_{C_{gsT0}} = -1.42$ (V)	
Parámetros térmicos	
$C_{gs0T} = 1.4031e^{-3}$ (pF/K);	$A_{C_{gsT}} = -1.96e^{-3}$ (pF/K)
$K_{C_{gsT}} = 1.031e^{-3}$ (V^{-1}/K);	$V_{C_{gsT}} = 4.017e^{-3}$ (V/K)
Parámetros de la capacidad C_{gd}	
$C_{gd0T0} = 23.387$ (fF); $A_{C_{gdT0}} = 98.361$ (fF); $K_{C_{gdT0}} = 1.58$ (V^{-1}); $V_{C_{gdT0}} = -0.89$ (V)	
Parámetros térmicos	
$C_{gd0T} = -4.7803e^{-2}$ (fF/K);	$A_{C_{gdT}} = -1.6865e^{-1}$ (fF/K)
$K_{C_{gdT}} = -2.8071e^{-3}$ (V^{-1}/K);	$V_{C_{gdT}} = 1.2583e^{-3}$ (V/K)

Tabla IV.6: Valores de los parámetros de las capacidades C_{gs} y C_{gd} para el transistor MGF1923.

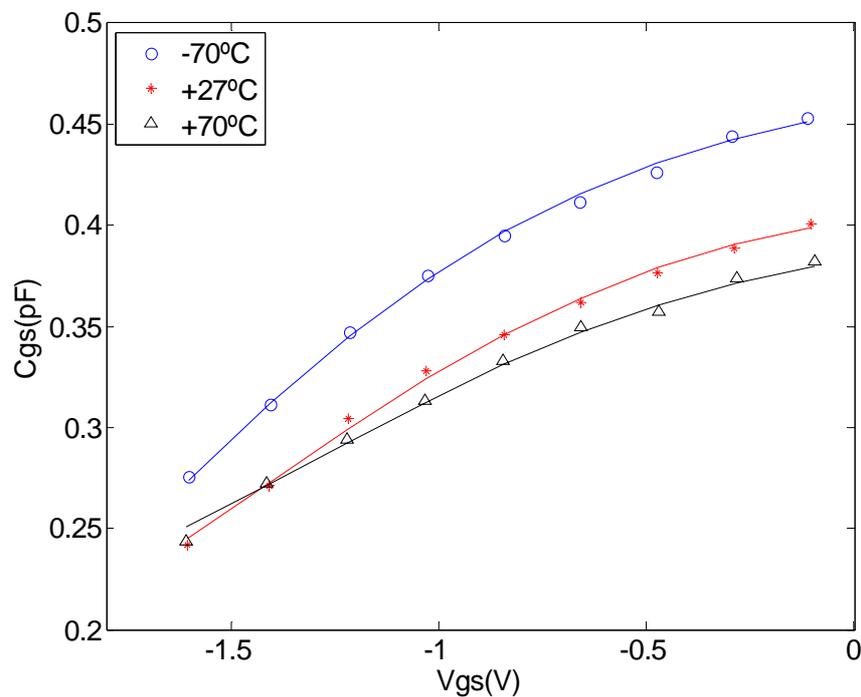


Figura IV.20: Ajuste de la capacidad no lineal C_{gs} a tres temperaturas diferentes ($V_{ds}=3V$) para el dispositivo MGF1923. Ajuste (líneas), medidas (símbolos).

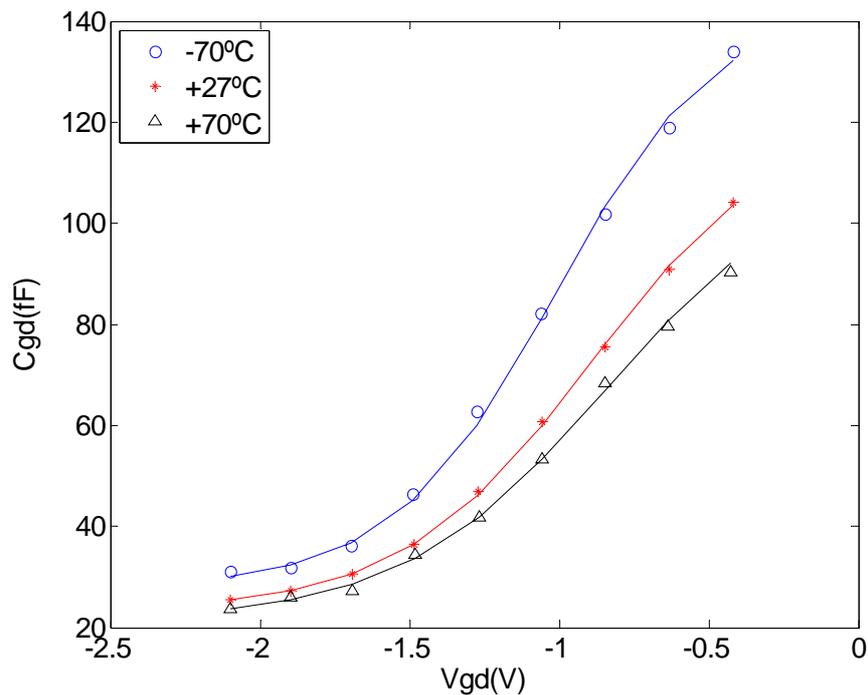


Figura IV.21: Ajuste de la capacidades no lineal C_{gd} a tres temperaturas diferentes para el dispositivo MGF1923. Ajuste (líneas), medidas (símbolos).

III.3 Modelo pequeña señal

Este tipo de modelado permite predecir el comportamiento del transistor en régimen de pequeña señal bajo condiciones de una señal RF de entrada de pequeña amplitud respecto a un punto concreto de polarización de reposo. Los valores de sus elementos se extraen a partir de las medidas de los parámetros de Scattering llevados a cabo a un rango de frecuencias de interés para un punto de polarización de reposo determinado. Por lo tanto, el modelo es válido exclusivamente para el punto de polarización de reposo con cual se han realizado las medidas.

En la figura IV.22 se ve el esquema eléctrico equivalente del modelo pequeña señal propuesto, en este trabajo, para el dispositivo MGF1923. El modelo está compuesto por dos partes: una parte intrínseca cuyos elementos dependen de la polarización de reposo (C_{gs} , C_{gd} , C_{ds} , R_i , τ , g_m , R_{ds}), y una parte extrínseca que corresponde a los elementos parásitos debido a las metalizaciones de acceso del transistor (R_g , R_d , R_s , L_g , L_d , L_s , C_{pg} , C_{pd}) que se supone que son independientes de la polarización. Nótese que se ha

incluido también unos elementos adicionales (L_{pg} , L_{pd} , C_{pgd}) para el modelado del efecto de la cápsula del transistor puesto que el dispositivo bajo prueba es un transistor encapsulado.

Los valores de los elementos intrínsecos se extraen a partir de la matriz admitancia intrínseca una vez conocidos los valores de los elementos extrínsecos, y en teoría son invariantes con la frecuencia.

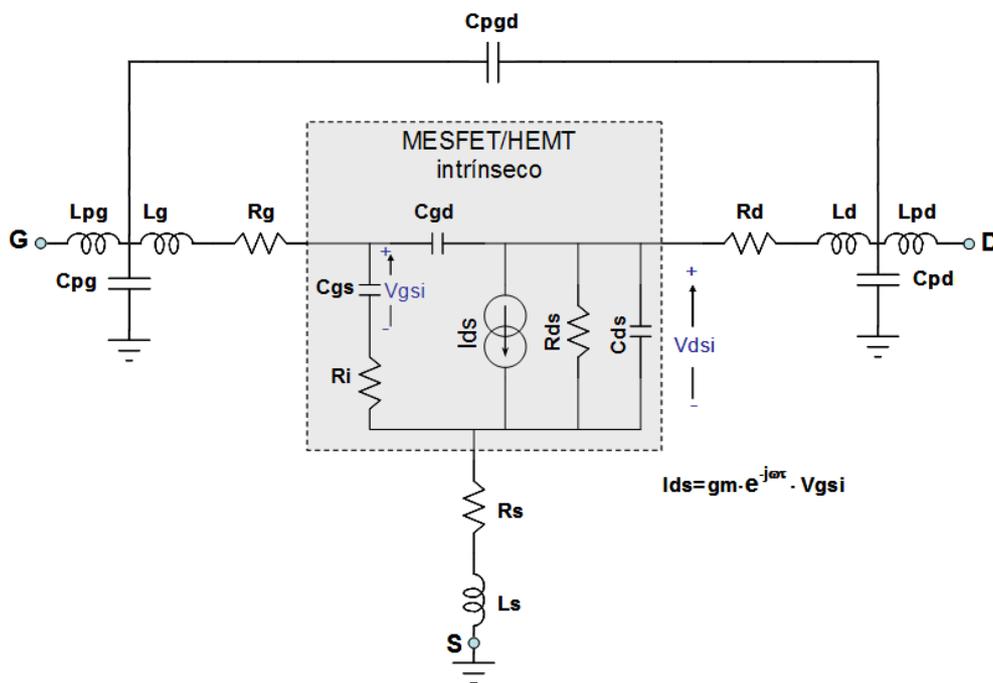


Figura IV.22: Modelo pequeña señal (lineal) de un transistor MESFET/HEMT encapsulado.

III.3.1 Determinación de los valores de los elementos del modelo

III.3.1.1 Los elementos intrínsecos

Los métodos de determinación de los elementos intrínsecos se basan en las medidas de los parámetros de Scattering llevadas a cabo en diferentes puntos de reposo (multibias).

En este primer paso supondremos que se conocen todos los valores de los elementos extrínsecos. Así, se pasa a la determinación de la matriz admitancia intrínseca, [Yint], pasando por un proceso de transformaciones matriciales y eliminando unos elementos u otros en cada etapa como se muestra en el organigrama que se representa en la figura IV.23.

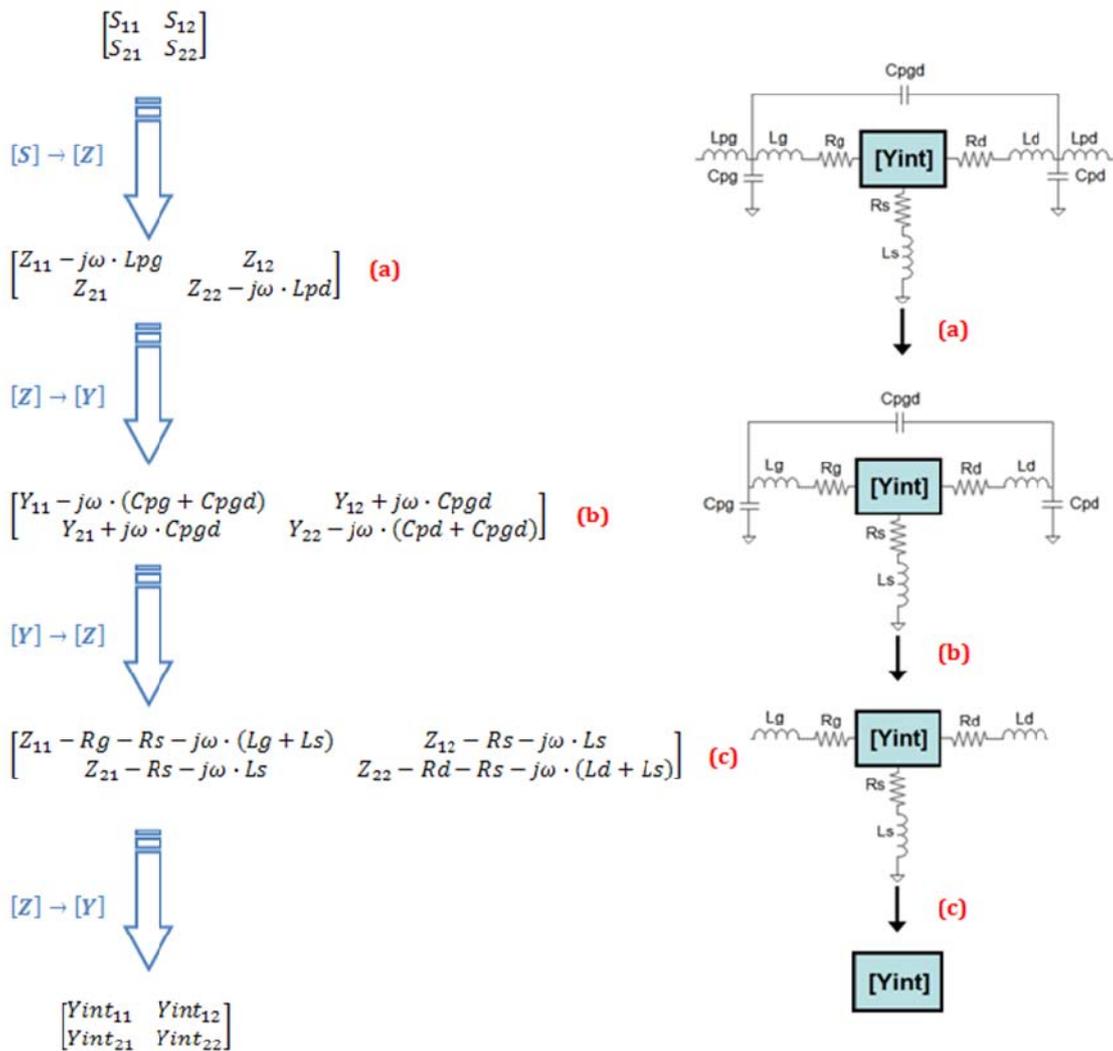


Figura IV.23: Organigrama del proceso de determinación de la matriz [Yint].

A partir de la matriz $[Y_{int}]$ se calcula analíticamente los valores de los elementos intrínsecos según las expresiones siguientes:

$$C_{gd} = \frac{-\text{Im}(y_{int12})}{\omega} \quad (\text{IV.32})$$

$$C_{ds} = \frac{\text{Im}(y_{int22}) + \text{Im}(y_{int12})}{\omega} \quad (\text{IV.33})$$

$$C_{gs} = \left(\frac{1 + D^2}{\omega} \right) \cdot (\text{Im}(y_{int11}) + \text{Im}(y_{int12})) \quad (\text{IV.34})$$

$$R_i = \frac{D}{(1 + D^2) \cdot (\text{Im}(y_{int11}) + \text{Im}(y_{int12}))} \quad (\text{IV.35})$$

$$gm = \left[\left(\text{Re}(y_{int21}) \right)^2 + \left(\text{Im}(y_{int21}) - \text{Im}(y_{int12}) \right)^2 \cdot (1 + D^2) \right]^{1/2} \quad (\text{IV.36})$$

$$\tau = \frac{-1}{\omega} \left\{ \tan^{-1} \left[\frac{D \cdot \text{Re}(y_{int21}) + (\text{Im}(y_{int21}) - \text{Im}(y_{int12}))}{\text{Re}(y_{int21}) - D \cdot (\text{Im}(y_{int21}) - \text{Im}(y_{int12}))} \right] \right\} \quad (\text{IV.37})$$

$$G_{ds} = \frac{1}{R_{ds}} = \text{Re}(y_{int22}) \quad (\text{IV.38})$$

$$D = \frac{\text{Re}(y_{int11})}{\text{Im}(y_{int11}) + \text{Im}(y_{int12})} \quad (\text{IV.39})$$

III.3.1.2 Los elementos extrínsecos

Los elementos extrínsecos se extraen a partir de las medidas de los parámetros de Scattering del transistor en dos condiciones de polarización: pinch-off ($V_{gscc} < V_p$, $V_{dscc} = 0V$) y sin polarizar ($V_{gscc} = 0V$, $V_{dscc} = 0V$) [31,32], lo que se conoce como transistor polarizado en frío. Bajo estas dos condiciones de polarización el esquema eléctrico equivalente de la figura IV.22 se reduce a otro esquema para cada condición de polarización. En las figuras IV.24 y IV.25 se representan los esquemas equivalentes de un transistor polarizado en condiciones de pinch-off y sin polarizar respectivamente.

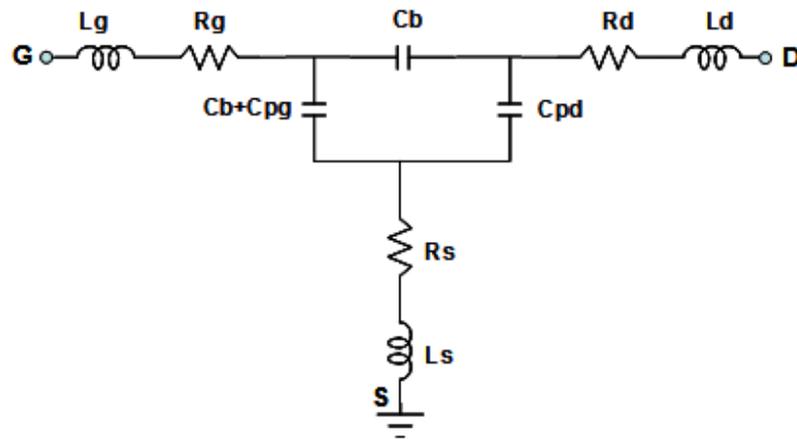


Figura IV.24: *Circuito equivalente del transistor polarizado en pinch-off.*

En el caso de polarización en Pinch-off ($V_{gscc} < V_p$ y $V_{dscc} = 0V$) el canal se encuentra “pinchado” y se puede representar por das capacidades simétricas C_b (capacidad de bloqueo) entre puerta-fuente y puerta-drenador. Hasta ciertas frecuencias (por ejemplo, hasta 5 GHz) las resistencias y las inductancias de acceso, no afectan a la parte imaginaria de la parte intrínseca [31], por lo que se puede incluir las capacidades C_{pg} y C_{pd} en la parte intrínseca (figura IV.24).

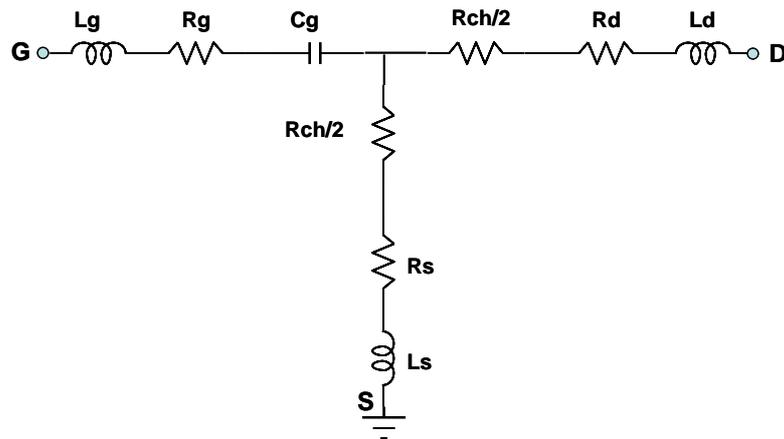


Figura IV.25: *Circuito equivalente del transistor sin polarizar.*

En el caso de la condición sin polarizar ($V_{gsc} = 0V$ y $V_{dsc} = 0V$) el canal se representa como una línea de transmisión con las resistencias $R_{ch}/2$ simétricas y la capacidad de puerta C_g , en este caso se considera que las capacidades C_{pg} y C_{pd} no tienen efecto sobre la matriz $[Z]$ del conjunto [32].

De ambas condiciones se obtienen las siguientes ecuaciones referidas a los elementos de la matriz $[Z]$ o $[Y]$ del circuito equivalente en cada caso:

- **Transistor en pinch-off:**

$$\operatorname{Re}(Z_{11_p}) = R_s + R_g \quad (\text{IV.40})$$

$$\operatorname{Re}(Z_{12_p}) = \operatorname{Re}(Z_{21}) = R_s \quad (\text{IV.41})$$

$$\operatorname{Re}(Z_{22_p}) = R_s + R_d \quad (\text{IV.42})$$

$$\operatorname{Im}(Y_{11_p}) = \omega \cdot (C_{pg} + 2 \cdot C_b) \quad (\text{IV.43})$$

$$\operatorname{Im}(Y_{12_p}) = \operatorname{Im}(Y_{21_p}) = -\omega \cdot C_b \quad (\text{IV.44})$$

$$\operatorname{Im}(Y_{22_p}) = \omega \cdot (C_{pd} + C_b) \quad (\text{IV.45})$$

- **Transistor sin polarizar:**

$$Z_{11sp} = R_s + 0.5 \cdot R_{ch} + R_g + j \left(\omega \cdot (L_g + L_s) - \frac{1}{\omega \cdot C_g} \right) \quad (\text{IV.46})$$

$$Z_{12sp} = Z_{21sp} = R_s + 0.5 \cdot R_{ch} + j\omega \cdot L_s \quad (\text{IV.47})$$

$$Z_{22sp} = R_s + R_{ch} + R_d + j\omega \cdot (L_d + L_s) \quad (\text{IV.48})$$

A. Las resistencias: R_g , R_s y R_d

Los valores de las resistencias de acceso R_g , R_s y R_d se obtienen a partir de la parte real de los elementos de la matriz $[Z]$ del transistor sin polarizar (IV.46-IV.48), y de la parte real del parámetro Z_{11p} del transistor en pinch-off (IV.40). En primer lugar se calcula la suma $R_s + R_g$ directamente de la expresión (IV.40), pasando posteriormente a la obtención de R_{ch} (IV.46), R_s (IV.47) y R_d (IV.48) respectivamente.

B. Las inductancias: L_g , L_s y L_d

Los valores de estas inductancias se determinan a partir de la parte imaginaria de los elementos de la matriz $[Z]$ del transistor sin polarizar. Así, podemos calcular L_s a cada frecuencia utilizando $Im(Z_{12sp})$ (IV.47). La inductancia L_d se determina, una vez conocida L_s , utilizando $Im(Z_{22sp})$ (IV.48). Por último el valor de L_g se estima utilizando la expresión (IV.46) mediante un proceso de optimización de los elementos L_g y C_g ajustando la parte imaginaria $Im(Z_{11sp})$.

C. Las capacidades: C_{pg} y C_{pd}

Los valores de las capacidades C_{pg} y C_{pd} se determinan a partir de la parte imaginaria de los elementos de la matriz $[Y]$ del circuito equivalente del transistor polarizado en pinch-off (figura IV.24) mediante las expresiones (IV.43), (IV.44) y (IV.45). En primer lugar se calcula el valor de C_b desde la expresión (IV.44), mientras que los valores de las capacidades C_{pg} y C_{pd} se determinan directamente después a partir de las expresiones (IV.43) y (IV.45) respectivamente.

D. Extracción de los elementos del encapsulado: L_{pg} , L_{pd} y C_{pgd}

En la literatura no existen métodos concretos basados sobre medidas concretas para la determinación de los elementos del encapsulado. Sin embargo, existen aproximaciones que se basan sobre las mismas medidas anteriores, usadas para la determinación de los elementos extrínsecos, que utilizan procesos de optimizaciones para la determinación de dichos elementos [33].

En este trabajo se ha utilizado las medidas de los parámetros de Scattering del transistor polarizado en pinch-off. Así, se optimizan los valores de estos elementos mediante la minimización de una función error que relaciona los parámetros de Scattering medidos y modelados ($||[S]_{medido} - [S]_{modelado}||$) siguiendo el circuito equivalente mostrado en la figura IV.26.

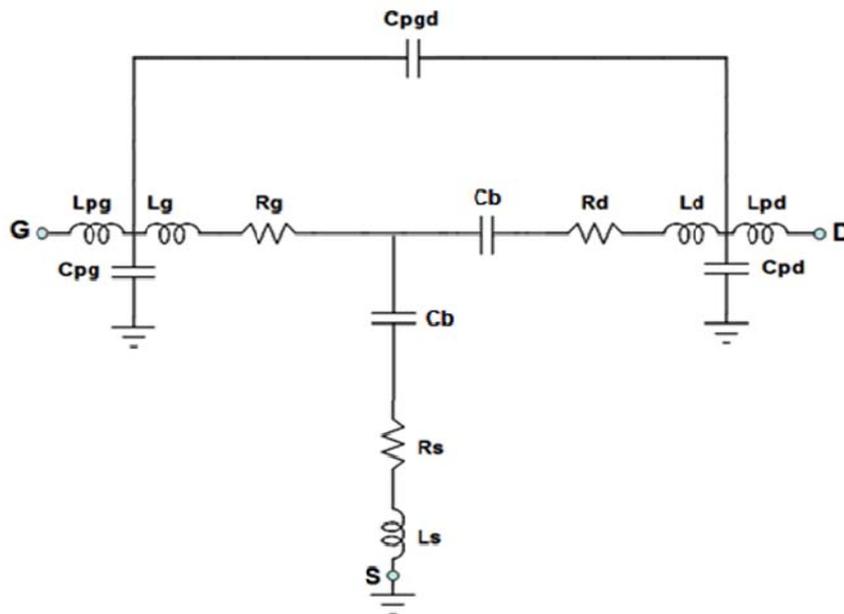


Figura IV.26: *Circuito equivalente del transistor polarizado en pinch-off incluyendo los elementos del encapsulado.*

III.3.1.3 Determinación de los valores óptimos de los elementos extrínsecos

Los valores de los elementos intrínsecos se calculan a diferentes frecuencias del rango de la medida y, por lo tanto, para tener un valor único de cada elemento, se calculan sus valores medios. Como se comentó anteriormente, los elementos intrínsecos son, en principio, invariantes con la frecuencia, sin embargo, se demostró que en realidad sí se producían variaciones, lo que genera una diferencia entre los resultados de la medida y del modelado. Para resolver este problema, se realizó un estudio de la dependencia de cada elemento con la frecuencia con el objetivo de delimitar un rango donde su valor es poco variable con la misma. Posteriormente, se ha llevado a cabo un proceso de optimización de los valores de los elementos extrínsecos utilizando medidas que se han llevado a cabo para un punto de polarización distinto a lo del transistor polarizado en frío, calculando mediante el método expuesto anteriormente los elementos intrínsecos relativos a ellos en cada iteración. La función error para minimizar, en este caso, es la diferencia entre la matriz $[S]$ medida y modelada, que se calcula analíticamente aplicando la media a los parámetros intrínsecos obtenidos en cada momento bajo las correcciones mencionadas anteriormente. El objetivo deseado aquí es obtener, al final del proceso de optimización, unos valores óptimos de los elementos extrínsecos con los cuales con estos valores se pueda obtener valores medios de los elementos intrínsecos que sean ellos mismos también capaces de reproducir los parámetros de Scattering del dispositivo a toda la banda de frecuencia de trabajo. El organigrama del dicho proceso de optimización se resume en la gráfica de la figura IV.27.

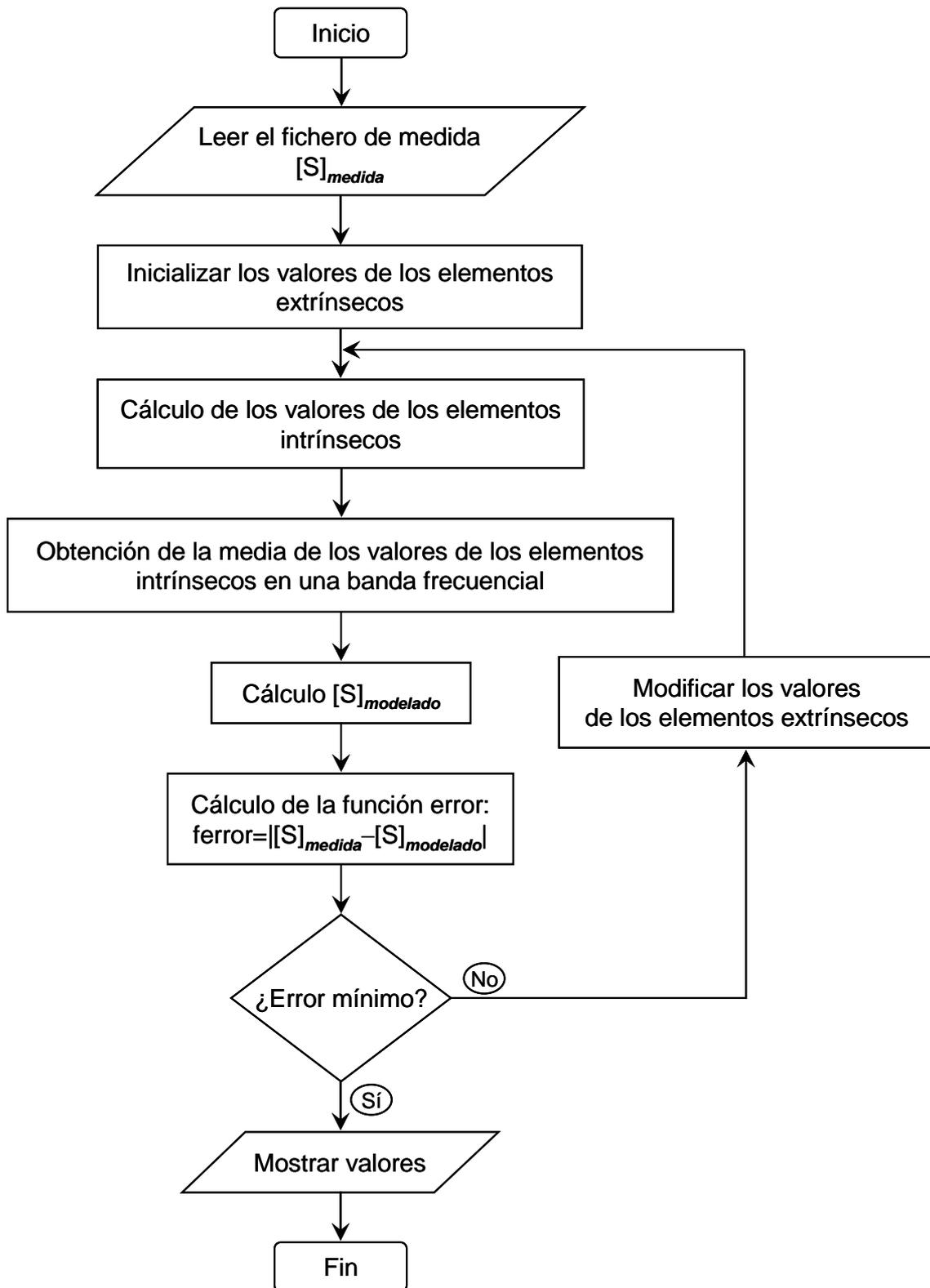


Figura IV.27: Organigrama del proceso de optimización de los parámetros extrínsecos óptimos.

III.3.2 Validación del modelo

Para validar el modelo lineal presentado se han obtenido los elementos del circuito lineal equivalente, viendo el comportamiento en diferentes puntos de polarización del funcionamiento del transistor MGF1923. Los valores de los elementos extrínsecos serán comunes para todos los puntos de polarización, obtenidos mediante las técnicas de extracción lineal anteriormente descritas. Por su parte, los elementos intrínsecos, se calcularán en cada caso dependiendo del punto de polarización elegido, siguiendo los procedimientos descritos anteriormente. Así, los puntos de polarización elegidos, como ejemplo, son los siguientes: ($V_{gscc}=-1.6V$, $V_{dscc}=5V$) y ($V_{gscc}=-0.6V$, $V_{dscc}=3V$). Los valores obtenidos de los elementos del modelo lineal se muestran en la tabla IV.7, mientras que la comparación entre los resultados de las medidas y modelado de los parámetros de Scattering, llevados a cabo a la banda de frecuencias de 0.4-15GHz, se representa en las figuras IV.28 y IV.29 para estos dos puntos de polarización respectivamente. Como se puede observar en estas gráficas, el grado de acuerdo entre las medidas y los resultados generados por el modelo es excelente validándose, por lo tanto, la estrategia de extracción utilizada.

<i>Elementos extrínsecos</i>	
$R_g=1.82 \Omega$; $R_d=1.58 \Omega$; $R_s=1.52 \Omega$ $L_g=0.58 \text{ nH}$; $L_d=0.62 \text{ nH}$; $L_s=62.42 \text{ pH}$; $L_{pg}=99.67 \text{ pH}$; $L_{pd}=0.2 \text{ nH}$ $C_{pg}=0.14 \text{ pF}$; $C_{pd}=0.156 \text{ pF}$; $C_{pgd}=17.42 \text{ fF}$	
<i>Elementos intrínsecos</i>	
$V_{gscc} = -1.6V$, $V_{dscc} = 5V$	$V_{gscc} = -0.6V$, $V_{dscc} = 3V$
$g_m=15.697 \text{ mS}$; $G_{ds}=2.806 \text{ mS}$; $R_i=1.86 \Omega$; $\tau=3.8 \text{ pseg}$; $C_{gs}=0.263 \text{ pF}$; $C_{gd}=11.84 \text{ fF}$; $C_{ds}=0.128 \text{ pF}$	$g_m=44.55 \text{ mS}$; $G_{ds}=3.668 \text{ mS}$; $R_i=6.32 \Omega$; $\tau=3.8 \text{ pseg}$; $C_{gs}=0.36 \text{ pF}$; $C_{gd}=6.3 \text{ fF}$; $C_{ds}=0.126 \text{ pF}$

Tabla IV.7: *Valores extraídos a temperatura ambiente (+27°C) de los elementos del modelo lineal para el transistor MGF1923.*

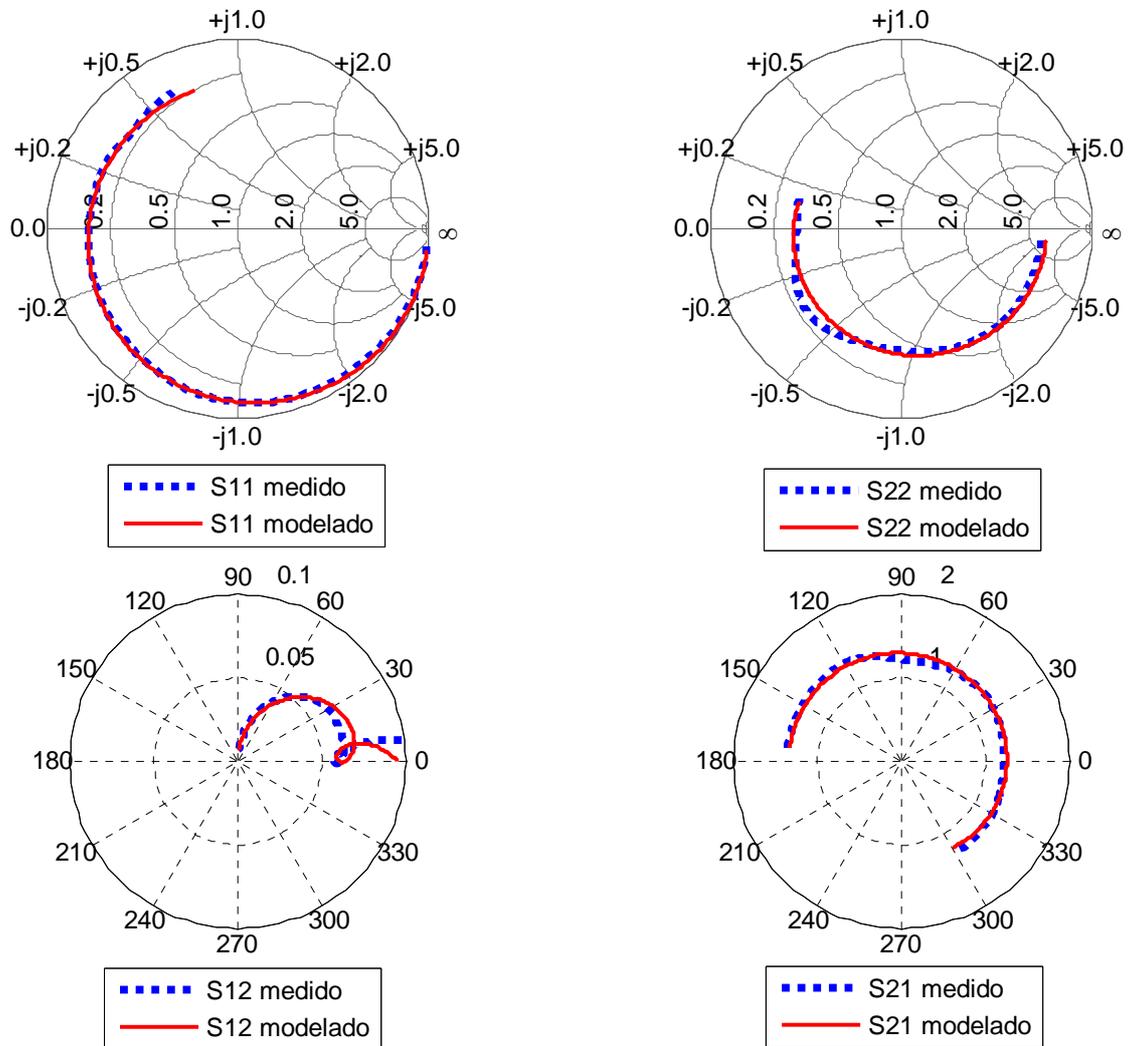


Figura IV.28: *Medidas y modelado de los parámetros de Scattering para el dispositivo MGF1923 ($V_{gscc}=-1.6V$, $V_{dscc}=5V$, $T=+27^{\circ}C$).*

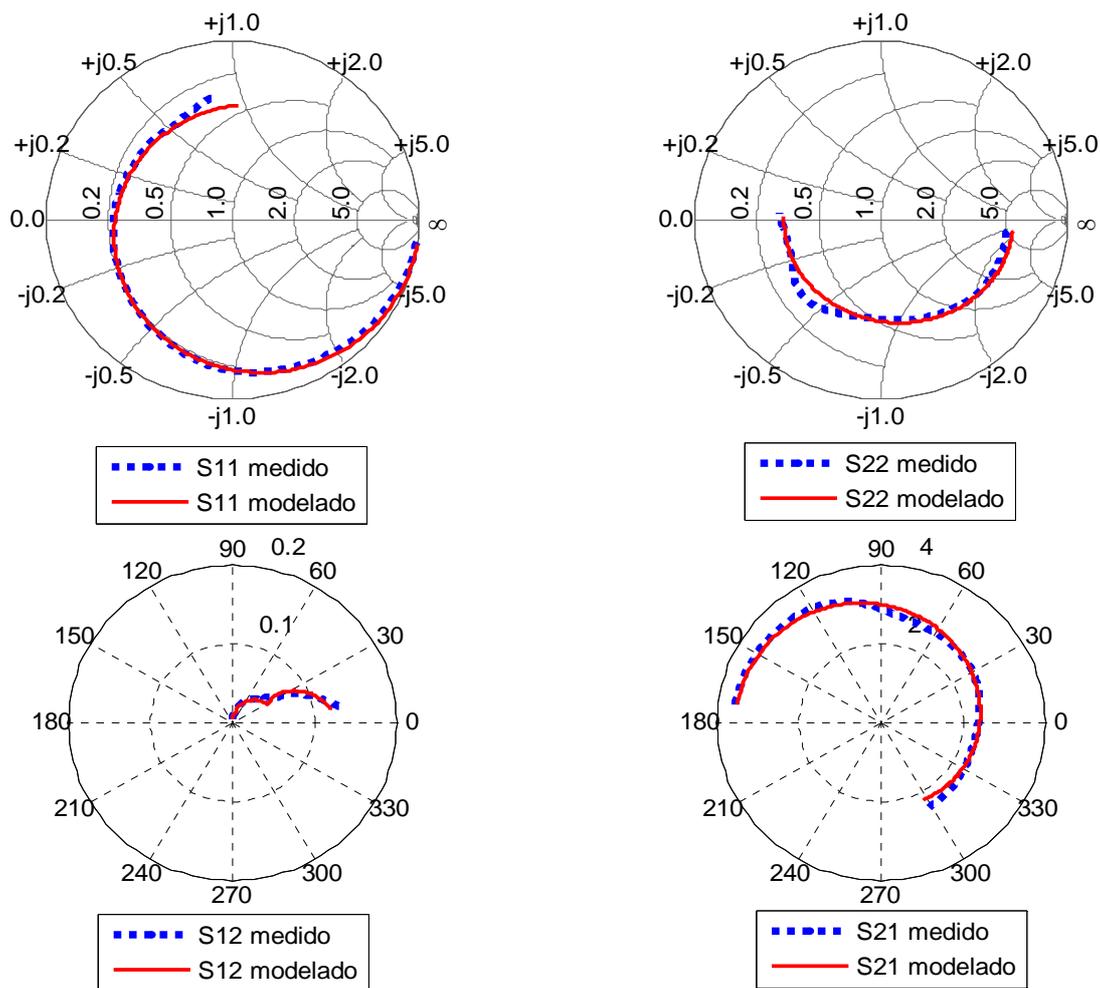


Figura IV.29: Medidas y modelado de los parámetros de Scattering para el dispositivo MGF1923 ($V_{gscc}=-0.6V$, $V_{dscc}=3V$, $T=+27^{\circ}C$).

Para ver la variación de los elementos intrínsecos del modelo con la polarización, se llevó a cabo el proceso de extracción de estos elementos para varios puntos de polarización, hecho que se conoce como “extracción multibias”. Los resultados obtenidos están representados en las siguientes figuras (IV.30-IV.36) pudiéndose ver que la variación de estos elementos con la polarización presenta la forma bien conocida en la literatura. Nótese también, como se comentó anteriormente, que la extracción lineal multibias es la base para el modelado no lineal de las capacidades C_{gs} y C_{gd} . Además, todos los elementos lineales del modelo no lineal deseado se obtienen a partir del modelo lineal. Así pues, cualquier estrategia de extracción lineal debe ser muy precisa.

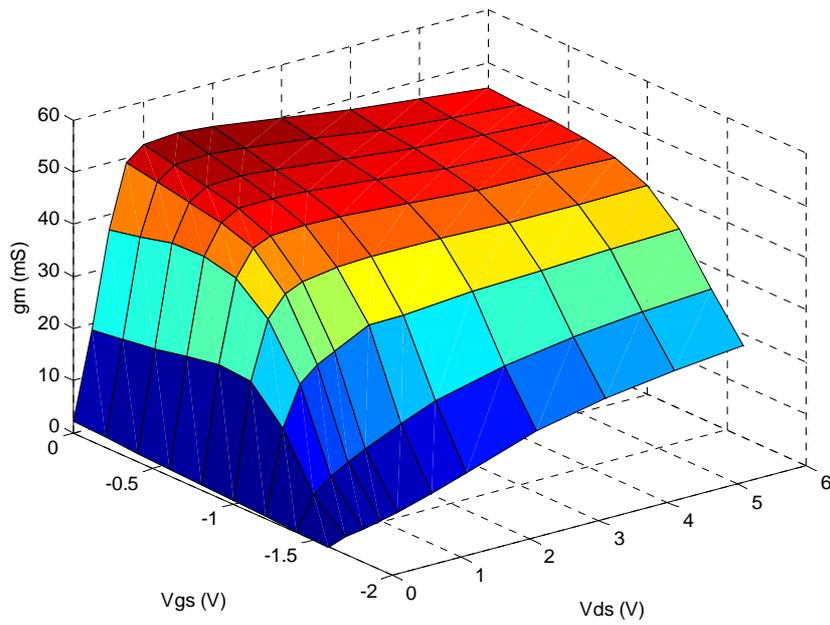


Figura IV.30: Variación de la transconductancia g_m con la polarización.

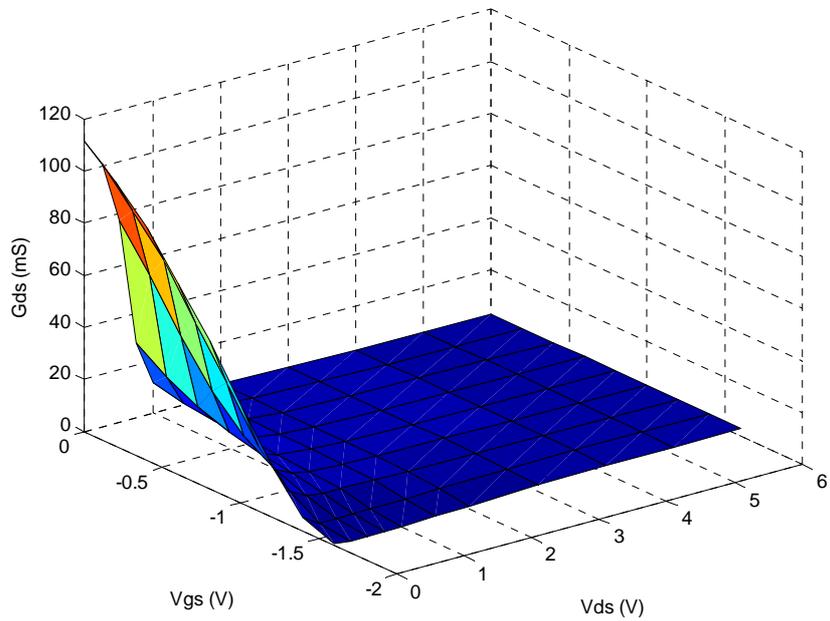


Figura IV.31: Variación de la conductancia de salida G_{ds} con la polarización.

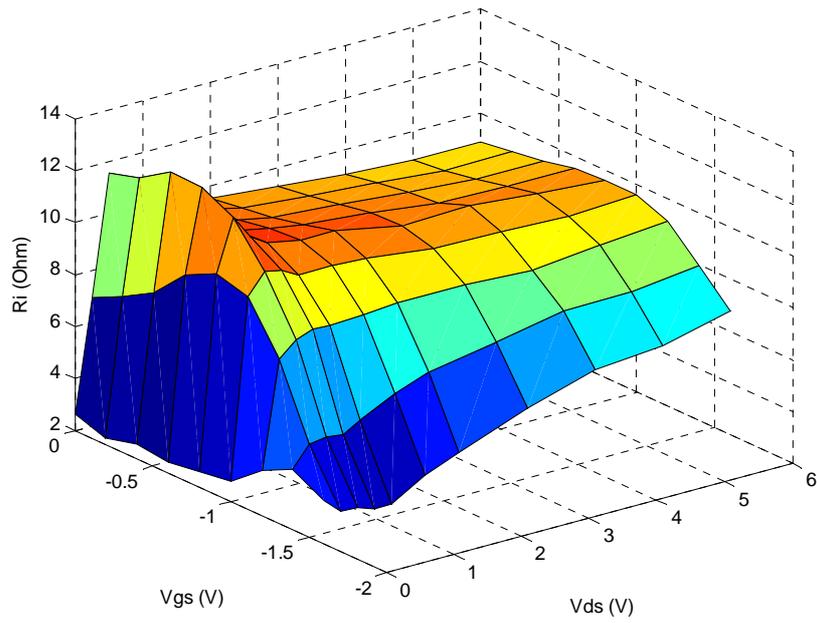


Figura IV.32: Variación de la resistencia R_i con la polarización.

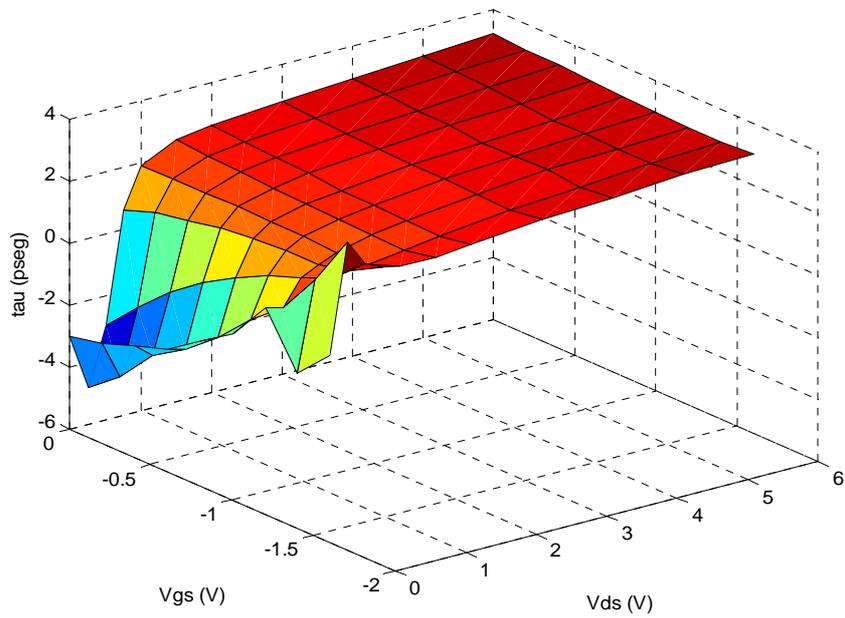


Figura IV.33: Variación del tiempo de transición τ con la polarización.

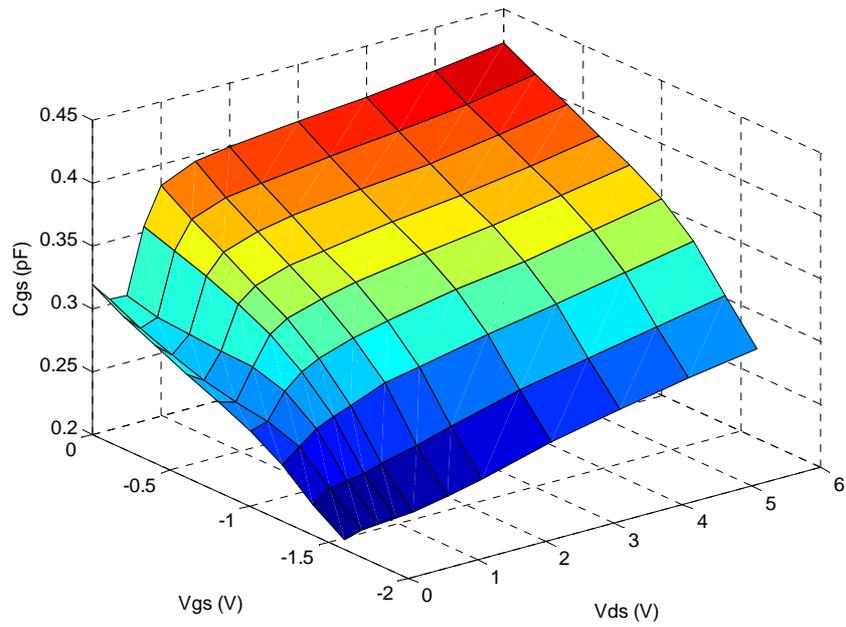


Figura IV.34: Variación de la capacidad C_{gs} con la polarización.

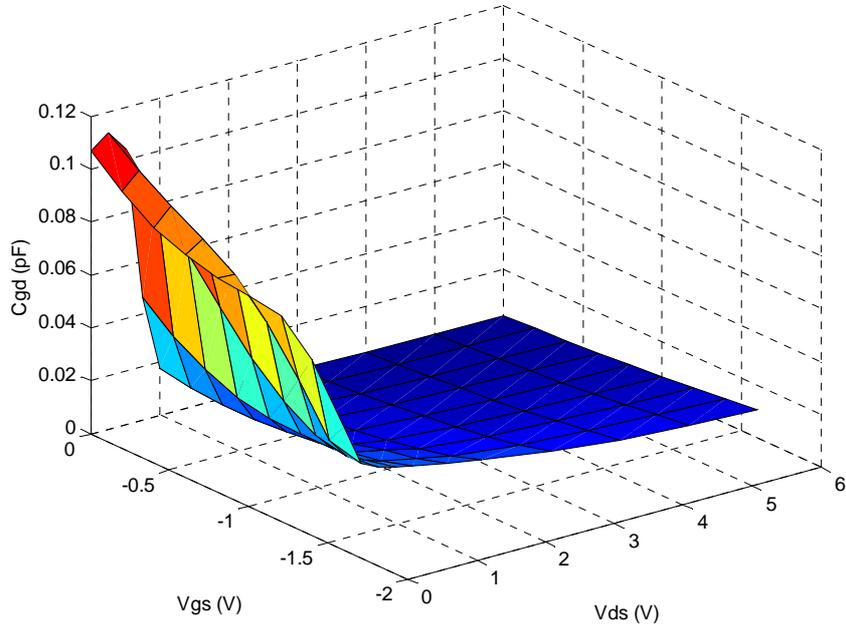


Figura IV.35: Variación de la capacidad C_{gd} con la polarización.

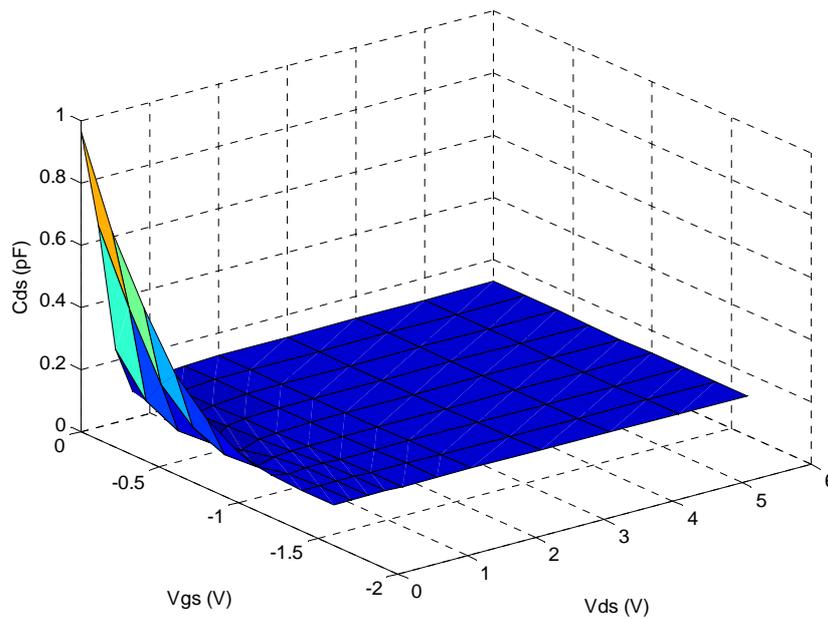


Figura IV.36: Variación de la capacidad C_{ds} con la polarización.

Cuando se efectúan medidas de los parámetros de Scattering de dispositivos discretos encapsulados, es necesaria la utilización de un test-fixture que sirva de soporte del dispositivo. En dicho elemento, el transistor se encuentra, en la mayoría de los casos, situado en un circuito de conexión formado por dos líneas microstrip de acceso, una para la puerta y otra para el drenador, permaneciendo la fuente a masa. Para eliminar los efectos del test-fixture sobre la medida del dispositivo, se utilizan, generalmente, técnicas sofisticadas de de-embedding y de descuento de líneas de acceso, o bien técnicas de calibración con estándares semejantes al propio test-fixture. En el caso de acudir a las técnicas de calibración, el proceso de de-embedding se realiza de forma automática por el propio analizador de redes usando unos estándares que se han de medir previamente y un “calkit” (archivo donde se almacenan todos los datos eléctricos de los estándares).

En este trabajo se realizó el diseño y la fabricación de los estándares necesarios para llevar a cabo una calibración tipo TRL (Thru-Reflect-Line) por ser la más conveniente a nuestro caso [34-36]. En la figura IV.37 se muestran las fotos de dichos estándares.

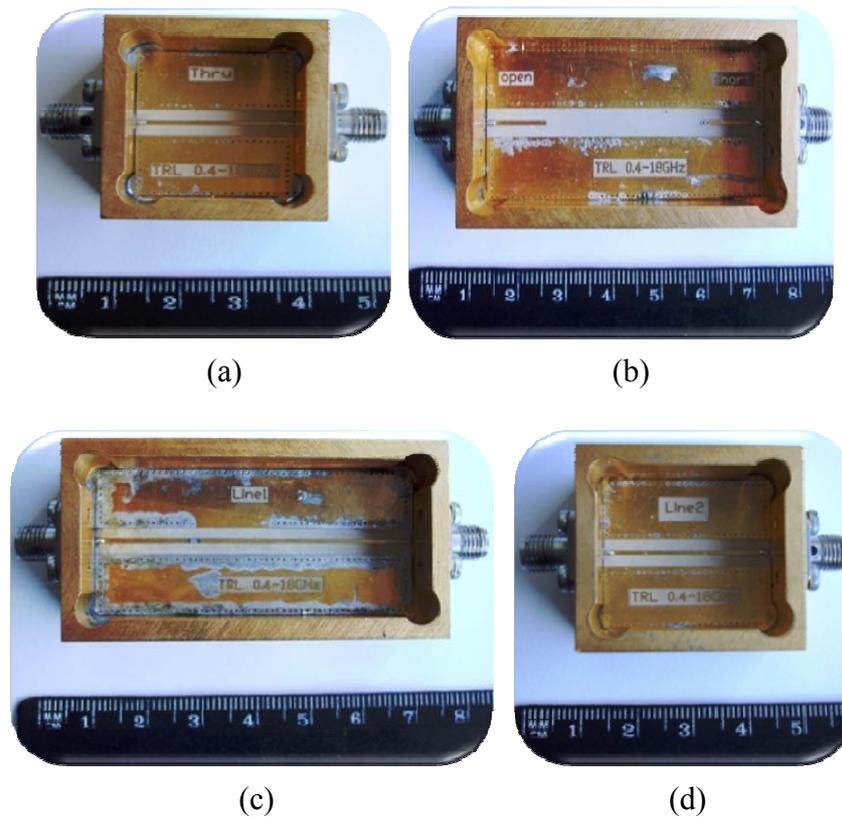


Figura IV.37: Fotografías de los estándares de calibración TRL: (a) Thru, (b) Reflect, (c) y (d) Line.

III.3.3 Dependencia del modelo con la temperatura

Para estudiar la dependencia de los elementos del modelo pequeña señal con la temperatura, se ha llevado a cabo una extracción multibandas siguiendo todo el proceso presentado anteriormente para diferentes temperaturas a un rango que va desde -70°C hasta $+70^{\circ}\text{C}$. Nótese que para realizar las medidas de los parámetros de Scattering a estas temperaturas, se ha construido un calkit para cada temperatura, así, se realizó, a cada temperatura de medida, una nueva calibración con los estándares sometidos a la misma temperatura de la medida. La razón por la que se realizó este hecho, es por la cuestión de que las propiedades eléctricas del dieléctrico, con lo que están construidos estos estándares, pueden variarse con la temperatura aunque se ha visto que su cambio no es tan significativo por lo menos en el rango de la temperatura en cuestión.

Los resultados obtenidos a partir de la extracción lineal multibias han mostrado que los valores de los elementos extrínsecos dependen poco con la temperatura, con lo cual, se puede considerar que estos elementos no dependen de la temperatura. Esto puede encontrar explicación en el hecho de que estos elementos representan el efecto del chip y del encapsulado del transistor. En cambio, los elementos intrínsecos que se pueden considerar variables con la temperatura, según los resultados obtenidos, son: la transconductancia g_m y las capacidades C_{gs} y C_{gd} . El resto de los elementos pueden considerarse independientes de la temperatura [37].

En las figuras IV.38, IV.39 y IV.40 se muestra la variación de estos elementos con la temperatura. Según los resultados mostrados en estas gráficas, la transconductancia, g_m , es el elemento que varía mucho con la temperatura, lo cual, afecta mucho la ganancia del transistor.

El estudio de la variación de los elementos del modelo pequeña señal con la temperatura es muy importante para el modelado no lineal de este tipo de transistores dado que algunos de los parámetros del modelo no lineal se obtienen a partir de la extracción lineal multibias.

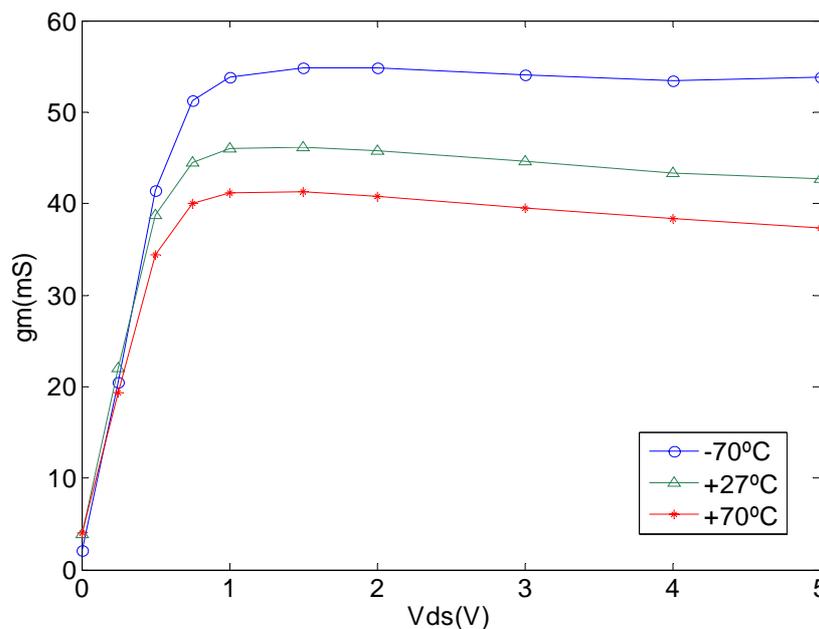


Figura IV.38: Variación de g_m con la temperatura ($V_{gs}=-0.6V$).

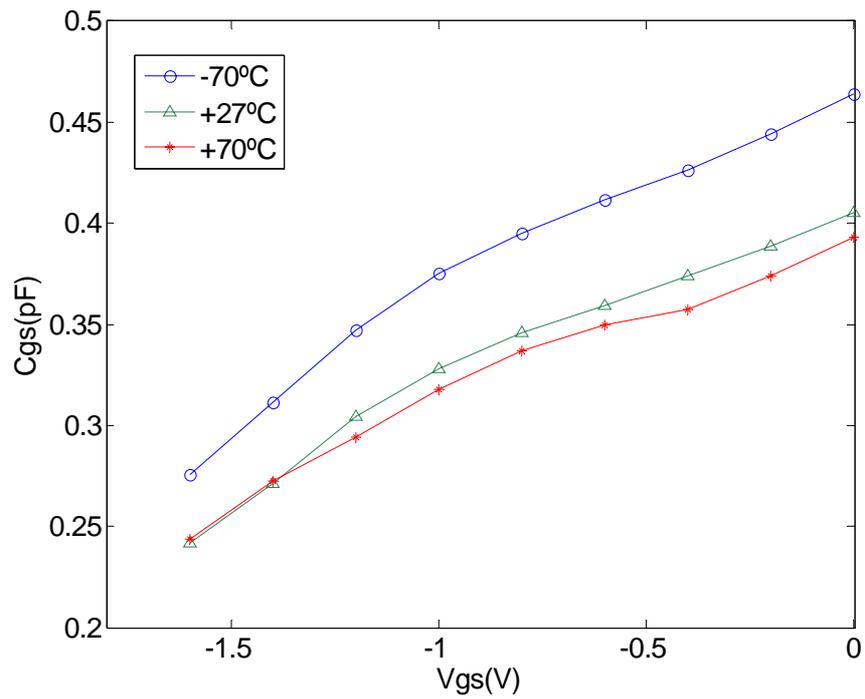


Figura IV.39: Variación de la capacidad C_{gs} con la temperatura ($V_{ds}=3V$).

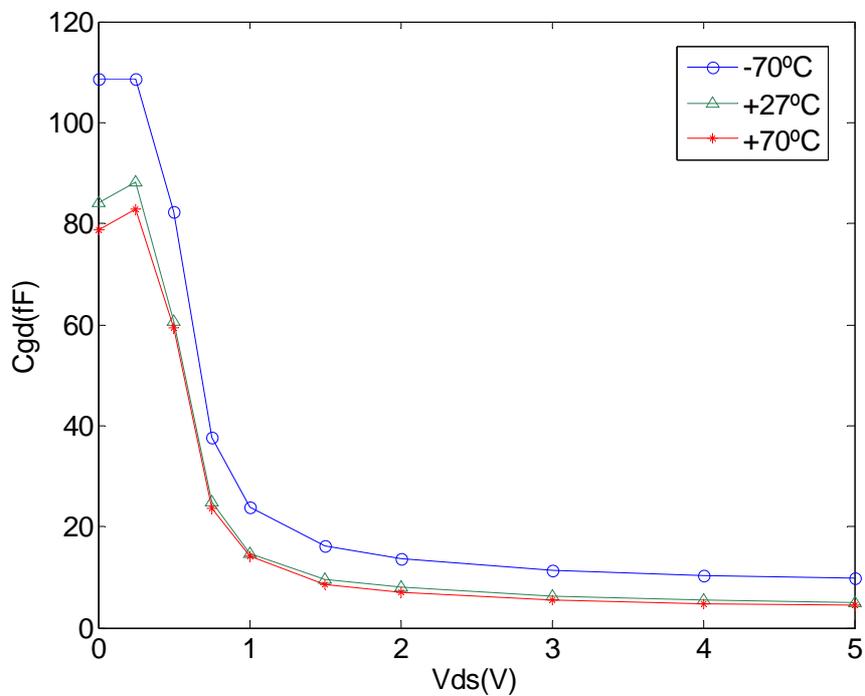


Figura IV.40: Variación de la capacidad C_{gd} con la temperatura ($V_{gs}=-0.6V$).

IV. Conclusiones

En este capítulo se ha introducido un modelo de la fuente de corriente no lineal I_{ds} , junto con una topología circuital adecuada, para los transistores MESFET y HEMT, que es capaz de tener en cuenta los efectos dispersivos, presentados en el capítulo anterior, que presentan este tipo de dispositivos. El nuevo modelo es capaz de reproducir las características I/V del transistor en régimen de DC y pulsado en cada punto de polarización de reposo a un rango amplio de temperatura ambiente. De hecho, el modelo depende en cada instante del estado de los niveles trampa y del estado térmico del dispositivo resultado, tanto por el auto-calentamiento del mismo (disipación de la potencia), como por la temperatura externa. Antes de la descripción del modelo presentado, se ha descrito brevemente algunas de las técnicas más importantes utilizadas para el modelado de los dichos efectos dispersivos. Algunas de ellas se han tomado como punto de partida para el desarrollo del modelo propuesto.

A modo de resumen, y de forma más general, la expresión general completa obtenida responde a una expresión que depende, en cada momento, de las tensiones de polarización de reposo, de las tensiones dinámicas y de la temperatura exterior (el auto-calentamiento se tiene en cuenta mediante la dependencia del modelo con el punto de polarización de reposo que fija el grado de la potencia disipada).

Como validación se ha visto como con el modelo obtenido para diferentes dispositivos de diferentes tecnologías, es posible reproducir las características I/V pulsadas, llevadas a cabo a diferentes temperaturas, en puntos de polarización distintos de los utilizados para realizar la extracción de los distintos parámetros del modelo, sin perder la capacidad de reproducir las mismas curvas llevadas a cabo en régimen continuo.

En primer lugar, se ha puesto una técnica del dicho modelado que ha sido valido para los dispositivos de GaAs que resultó incapaz de reproducir las características pulsadas de un HEMT de GaN que se cree que es debido a los importantes valores de las diferencias entre las tensiones dinámicas y de la polarización de reposo, con cual se basa el modelo, en este tipo de transistores. En segundo lugar, se modificó esta técnica

para que sea general y válida para cualquier dispositivo que, efectivamente, se validó para tres dispositivos diferentes.

También se ha propuesto una estrategia para la extracción de los valores de los elementos del modelo lineal (la versión lineal del modelo no lineal propuesto). El proceso conocido como extracción lineal multibias es muy importante para el estudio y el modelado de la variación de los elementos del modelo, tanto con la polarización, como con la temperatura.

A continuación, en el capítulo de resultados finales, se pondrá de manifiesto cómo el modelo final del transistor, mediante su implementación en un simulador comercial, responde no solo al comportamiento en régimen de DC y pulsado del mismo, sino también a los regímenes en los que el dispositivo puede ser utilizado como RF pequeña señal (parámetros de Scattering generados por el modelo no lineal) y gran señal (comportamiento potencia de salida versus potencia de entrada, P_{in}/P_{out}).

Referencias

- [1] K. Kunihiro and Y. Ohno, "A large-signal equivalent circuit model for substrate-induced drain-lag phenomena in HJFET's" *IEEE Trans. Electron Devices*, vol. 43, no. 9, pp. 1336-1342, Sep. 1996.
- [2] M. Lee and L. Forbes, "A self-backgating GaAs MESFET model for low-frequency anomalies" *IEEE Trans. Electron Devices*, vol. 37, no. 10, pp. 2148-2157, Oct. 1990.
- [3] M. Marso, M. Wolter, P. Javorka, P. Kordos and H. Lüth, "Investigation of buffer traps in an AlGaIn/GaN/Si high electron mobility transistor by backgating current deep level transient spectroscopy" *Applied Physics Letters*, vol. 82, no. 4, pp. 633-635, Jan. 2003.
- [4] F. A. Boroumand and J. G. Swanson, "Observations of backgate impedance dispersion in GaAs isolation structures" *IEEE Trans. Electron Devices*, vol. 48, no. 9, pp. 1850-1858, Sep. 2001.
- [5] H. L. Kwok, "Modelling of the sidegating and the backgating effects in GaAs MESFETs" *IEE Proceedings*, vol. 137, no. 6, pp. 459-462, Dec. 1990.
- [6] N. Scheinberg, R. Bayruns and R. Goyal, "A low-frequency GaAs MESFET circuit model" *IEEE Journal of Solid-State Circuits*, vol. 23, no. 2, pp. 605-608, Apr. 1988.
- [7] W. R. Curtice, "A MESFET model for use in the design of GaAs integrated circuits" *IEEE Trans. Microwave Theory and Techniques*, vol. MTT-28, no. 5, pp. 448-456, May 1980.
- [8] C. Camacho-Peñalosa, "Modelling frequency dependence of output impedance of microwave MESFET at low frequencies" *Electronics Letters*, vol. 21, no. 12, pp. 528-529, June 1985.
- [9] T. Fernández, Y. Newport, J. M. Zamanillo, A. Tazón and A. Mediavilla, "Extracting a bias-dependent large signal MESFET model from pulsed I/V measurements" *IEEE Trans. Microwave Theory and Techniques*, vol. 44, no. 3, pp. 372-378, Mar. 1996.
- [10] J. A. Reynoso-Hernandez and J. Graffeuil, "Output conductance frequency dispersion and low-frequency noise in HEMT's and MESFET's" *IEEE Trans. Microwave Theory and Techniques*, vol. 37, no. 9, pp. 1478-1481, Sep. 1989.
- [11] H. Kawasaki and J. Kasahara, "Low-frequency dispersion of transconductance in GaAs JFET's and MESFET's with an ion-implanted channel layer" *IEEE Trans. Electron Devices*, vol. 37, no. 8, pp. 1789-1795, Aug. 1990.
- [12] Y. Hasumi, N. Matsunaga, T. Oshima and H. Kodera, "Characterization of the frequency dispersion of transconductance and drain conductance of GaAs MESFET," *IEEE Trans. Electron Devices*, vol. 50, no. 10, pp. 2032-2038, Oct. 2003.

- [13] A. Raffo, A. Santarelli, P. A. Traverso, G. Vannini, Member, F. Palomba, F. Scappaviva, M. Pagani and F. Filicori, "Accurate pHEMT nonlinear modeling in the presence of low-frequency dispersive effects" *IEEE Trans. Microwave Theory and Techniques*, vol. 53, no. 11, pp. 3449-3459, Nov. 2005.
- [14] K. Koh, H.-M. Park and S. Hong, "A spline large-signal FET model based on bias-dependent pulsed I-V measurement" *IEEE Trans. Microwave Theory and Technique*, vol. 50, no. 11, pp. 2598-2603, Nov. 2002.
- [15] F. Filicori, G. Vannini, A. Mediavilla and A. Tazon, "Modelling of deviations between static and dynamic drain characteristics in GaAs FETs" *European microwave Conference*, vol. 23, pp. 454-457, Sep. 1993.
- [16] A. Jarndal and G. Kompa, "Large-signal for AlGaIn/GaN HEMTs accurately predicts trapping-and self-heating-induced dispersion and intermodulation distortion" *IEEE Trans. Electron Devices*, vol. 54, no. 11, pp. 2830-2836, Nov. 2007.
- [17] T. M. Roh, Y. Kim, Y. Suh, W. S. Park and B. Kim, "A simple and accurate MESFET channel-current model including bias-dependent dispersion and thermal phenomena" *IEEE Trans. Microwave Theory and Techniques*, vol. 45, no. 8, pp. 1252-1255, Aug. 1997.
- [18] Kye-ik Jeon, Young-se Kwon and Song-cheol Hong, "A frequency dispersion model of GaAs MESFET for large-signal applications" *IEEE Microwave and Guided Wave Letters*, vol. 7, no. 3, pp. 78-80, Mar. 1997.
- [19] R. E. Leoni III, M. S. Shirokov, J. Bao and J. C. M. Hwang, "A phenomenologically based transient PSPICE model for digitally modulated performance characteristics of GaAs MESFETs" *IEEE Trans. Microwave Theory and Techniques*, vol. 49, no. 6, pp. 1180-1186, June 2001.
- [20] O. Jardal, F. De Groote, T. Reveyrand, J.-Claude Jacquet, C. Charbonniaud, J.-Pierre Teyssier, D. Floriot and R. Quéré, "An electrothermal model for AlGaIn/GaN power HEMTs including trapping effects to improve large-signal simulation results on high VSWR" *IEEE Trans. Microwave Theory and Techniques*, vol. 55, no. 12, pp. 2660-2669, Dec. 2007.
- [21] K. S. Yuk and G. R. Branner, "An empirical large-signal model for SiC MESFETs with self-heating thermal model" *IEEE Trans. Microwave Theory and Techniques*, vol. 56, no. 11, pp. 2671-2680, Nov. 2008.
- [22] G. R. Valdivia, R. Brady and T. J. Brazil, "Single function drain current model for MESFET/HEMT devices including pulsed dynamic behaviour" *IEEE MTT-S International Microwave Symposium*, pp. 473-476, June 2006.
- [23] I. Angelov, L. Bengtsson and M. Garcia, "Extensions of the chalmers nonlinear HEMT and MESFET model" *IEEE Trans. Microwave Theory and Techniques*, vol. 44, no. 10, pp. 1664-1674, Oct. 1996.
- [24] W. R. Curtice, "A MESFET model for use in the design of GaAs integrated circuits" *IEEE Trans. Microwave Theory and Techniques*, vol. MTT-28, no. 5, pp. 448-456, May 1980.

- [25] H. Statz, P. Newman, I. W. Smith, R. A. Pucel and H. A. Haus, "GaAs FET device and circuit simulation in SPICE" *IEEE Trans. Electron Devices*, vol. ED-34, no. 2, pp. 160-169, Feb. 1987.
- [26] A. Materka and T. Kacprzak, "Computer calculation of large-signal GaAs FET amplifier characteristics" *IEEE Trans. Microwave Theory and Techniques*, vol. MTT-33, no. 2, pp. 129-135, Feb. 1985.
- [27] T. Fernández, J. A. García, A. Tazón, A. Mediavilla, J. C. Pedro and J. L. García, "Accurately modeling the drain to source current in recessed gate P-HEMT devices" *IEEE Electron Device Letters*, vol. 20, no. 11, pp. 557-559, Nov. 1999.
- [28] H. Fukui, "Determination of the basic device parameters of GaAs MESFET" *Bell System Technical Journal*, vol. 58, pp. 771-797, Mar. 1979.
- [29] K. Lee, M. Shur, K. W. Lee, T. Vu, P. Roberts and M. Helix, "A new interpretation of "end" resistance measurements" *IEEE Electron Device Letters*, vol. EDL-5, no. 1, pp.5-7, Jan. 1984.
- [30] C. Fager, J. C. Pedro, N. B. Carvalho and H. Zirath, "Prediction of IMD in LD MOS transistor amplifiers using a new large-signal model" *IEEE Trans. Microwave Theory and Techniques*, vol. 50, no. 12, pp. 2834-2842, Dec. 2002.
- [31] G. Dambrin, A. Cappy and F. Heliodore, "A new method for determining the FET small-signal equivalent circuit" *IEEE Trans. Microwave Theory and Techniques*, Vol. 36, no. 7, pp. 1151-1159, Jul. 1988.
- [32] R. Tayrani, J. Gerber, T. Daniel, R. S. Pengelly and U. L. Rohde, "Reliability extract MESFET and HEMT parameters" *Microwave & RF*, vol. 32, no. 6, pp. 131-135, June 1993.
- [33] J. M. Zamanillo, C. P. Vega and A. Mediavilla, "Straightforward method to extract electrical microwave packages models" *13th IEEE Mediterranean Electrotechnical Conference (MELECON 2006)*, pp. 157-160, Málaga-Spain, May 2006.
- [34] "Network Analysis Applying the 8510 TRL Calibration for No-Coaxial Measurements" Agilent Product Note 8510-8A, Agilent Technologies, 2006.
- [35] "Specifying Calibration Standards and Kits for the Agilent 8510 Network Analyzer" Agilent Product Note 8510-8B, Agilent Technologies, 2006.
- [36] "Specifying Calibration Standards and Kits for the Agilent Vector Network Analyzers" Agilent Product Note 1287-11, Agilent Technologies, 2007.
- [37] S. M. Lardizabal, A. S. Fernandez and L. P. Dunleavy, "Temperature-dependent modeling of gallium arsenide MESFET's" *IEEE Trans. Microwave Theory and Techniques*, vol. 44, no. 3, pp. 357-363, Mar. 1996.

Capítulo V

Simulaciones y Resultados Experimentales

I. Introducción

En el capítulo precedente se ha presentado un nuevo modelo no lineal de la fuente de corriente, I_{ds} , para el modelado de los efectos térmicos y trampa que presentan los transistores MESFET y HEMT, así como los distintos tipos de medidas y pasos necesarios para la extracción de los valores de sus elementos. Este capítulo confirma la validez de todo lo realizado durante todo este trabajo para la caracterización y el modelado de estos efectos dispersivos que afectan el comportamiento normal de dichos dispositivos. Aquí se muestra, por tanto, la comparación entre los resultados de las medidas y los generados por el modelo completo del transistor, una vez implementado en el simulador comercial ADS de Agilent Technologies, en diferentes regímenes de funcionamiento (DC, Pulsada, RF pequeña y gran señal) a un rango determinado de temperatura externa.

La implementación del modelo en el dicho simulador se ha llevado a cabo utilizando la herramienta “SDD” (Symbolically Defined Devices) que ofrece el mismo, gracias a las facilidades que tiene en comparación con otras alternativas, para la implementación de modelos no lineales de los componentes [1].

En primer lugar, como dispositivo de prueba, se ha utilizado el transistor MGF1923. En segundo lugar, y después de la comprobación del funcionamiento del modelo en diferentes regímenes de funcionamiento para el dicho transistor, se ha implementado el modelo de la fuente de corriente no lineal I_{ds} para el dispositivo $8 \times 75 \mu\text{m}$ GaN HEMT. La razón por la que sólo se limitó a la implementación del modelo de I_{ds} de este último dispositivo es porque este elemento se considera como el elemento más importante del modelo no lineal desarrollado cuyo objetivo es el modelado de los efectos térmicos y trampa que se manifiestan como cambios de las características I/V del dispositivo reproducidas esencialmente por el dicho elemento.

II. Validación del modelo para el transistor MGF1923

El esquema eléctrico del modelo total del transistor, incluyendo los elementos del encapsulado, se ve en la figura V.1. Mientras que en la figura V.2 se representa el esquema eléctrico del modelo implementado en el simulador ADS.

Para el modelo de la fuente de corriente I_{ds} , se ha utilizado la expresión modificada final (IV.18, IV.19). Así pues, los valores de todos los elementos del modelo que se han extraído para el dispositivo se muestran en las tablas V.1, V.2 y V.3. Usando el modelo implementado, se ha llevado a cabo una serie de simulaciones, que se presentarán a continuación en las siguientes gráficas, poniendo de manifiesto la bondad de los resultados que genera el modelo.

Nótese que para los valores de los elementos R_{gg} , R_{dd} , C_{gg} y C_{dd} de las redes R - C , añadidas en la entrada y la salida del modelo para extraer los componentes de las tensiones continuas de polarización de reposo (V_{gsicc} , V_{dsicc}) y las tensiones dinámicas (V_{gsid} , V_{dsid}) [2], han sido elegidos para que los valores de las constantes de tiempo resultantes de estas redes R - C esté dentro del intervalo de las constantes de tiempo de las trampas. En el mismo tiempo estos elementos no tienen que influir sobre la impedancia de entrada y de salida del dispositivo.

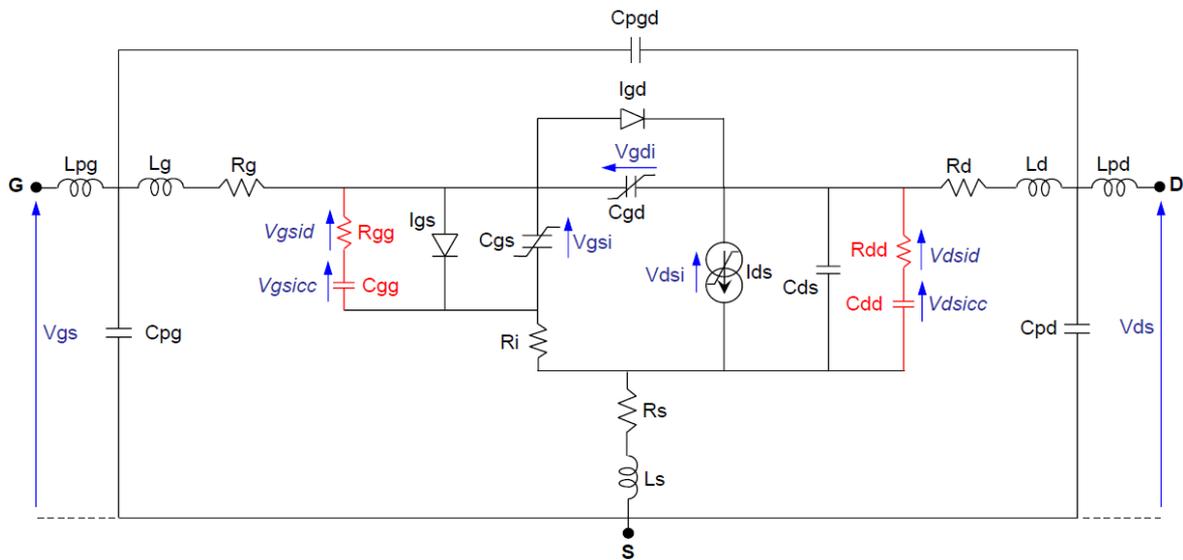


Figura V.1: Circuito equivalente del modelo no lineal propuesto para el transistor MGF1923.

Fuente de corriente I_{ds}							
Parámetros DC		Parámetros térmicos		Parámetros dinámicos (V^{-1})			
P_1	$I_{dss}=80.703 \text{ (mA)}$	k_1	$3.0863e^{-4} \text{ (A/K)}$	λ_1	$6.3759e^{-3}$	β_1	$-1.6558e^{-1}$
P_2	$V_P=-1.0006 \text{ (V)}$	k_2	$-4.9478e^{-3} \text{ (V/K)}$	λ_2	$-4.2069e^{-2}$	β_2	$-3.8408e^{-2}$
P_3	$V_{PF}=1.5865 \text{ (V)}$	k_3	$4.0932e^{-3} \text{ (V/K)}$	λ_3	$3.0674e^{-1}$	β_3	$-9.1495e^{-2}$
P_4	$\gamma=-0.2204$	k_4	$1.554e^{-4} \text{ (K}^{-1}\text{)}$	λ_4	$-2.3610e^{-1}$	β_4	$6.2167e^{-2}$
P_5	$\chi=2.5268$	k_5	$1.2362e^{-2} \text{ (K}^{-1}\text{)}$	λ_5	$-6.6742e^{-2}$	β_5	$-5.9005e^{-2}$
P_6	$\eta=10.6678$	k_6	$7.0145e^{-2} \text{ (K}^{-1}\text{)}$	λ_6	$3.2157e^{-3}$	β_6	$-2.5832e^{-2}$
P_7	$K_G=-0.0285 \text{ (V}^{-1}\text{)}$	k_7	$5.0438e^{-4} \text{ (V}^{-1}\text{/K)}$	λ_7	-2.1194	β_7	-1.7585
P_8	$S_L=0.226$	k_8	$7.7293e^{-4} \text{ (K}^{-1}\text{)}$	λ_8	$-1.2333e^{-2}$	β_8	$-1.6711e^{-1}$
P_9	$S_S=17.95 \text{ (mA/V)}$	k_9	$-4.8846e^{-5} \text{ (A/(V.K))}$	λ_9	$-2.6897e^{-1}$	β_9	$2.2419e^{-2}$
P_{10}	$K_E=-0.9899 \text{ (V}^{-1}\text{)}$	k_{10}	$8.3934e^{-4} \text{ (V}^{-1}\text{/K)}$	λ_{10}	$-9.0582e^{-2}$	β_{10}	$1.3147e^{-2}$
P_{11}	$E=-0.9181$	k_{11}	$1.7394e^{-4} \text{ (K}^{-1}\text{)}$	λ_{11}	$-2.1508e^{-1}$	β_{11}	$1.0517e^{-1}$
P_{12}	$\mu=0.8186$	k_{12}	$-1.7036e^{-3} \text{ (K}^{-1}\text{)}$	λ_{12}	$1.0966e^{-1}$	β_{12}	$-3.4334e^{-2}$
P_{13}	$\delta=0.3714$	k_{13}	$-1.7808e^{-3} \text{ (K}^{-1}\text{)}$	λ_{13}	$-3.7102e^{-1}$	β_{13}	$-8.5548e^{-4}$

Tabla V.1: Valores de los parámetros de la fuente de corriente I_{ds} para el transistor MGF1923.

Unión Puerta-Fuente	
<i>Fuente de corriente I_{gs}</i>	
$I_{nssg0} = 3.52e^{-11}$ (A); $\alpha_{g0} = 28$ (V ⁻¹); $\beta_{g1} = 21.684$; $\beta_{g2} = -0.675$	
<i>Capacidad C_{gs}</i>	
$C_{gs0T0} = 0.12$ (pF); $A_{C_{gsT0}} = 0.303$ (pF); $K_{C_{gsT0}} = 0.94$ (V ⁻¹); $V_{C_{gsT0}} = -1.42$ (V) $C_{gs0T} = 1.4031e^{-3}$ (pF/K); $A_{C_{gsT}} = -1.96e^{-3}$ (pF/K) $K_{C_{gsT}} = 1.031e^{-3}$ (V-1/K); $V_{C_{gsT}} = 4.017e^{-3}$ (V/K)	
Unión Puerta-Drenador	
<i>Fuente de corriente I_{gd}</i>	
$I_{nssd0} = 3.52e^{-11}$ (A); $\alpha_{d0} = 28$ (V ⁻¹); $\beta_{d1} = 21.684$; $\beta_{d2} = -0.675$	
<i>Capacidad C_{gd}</i>	
$C_{gd0T0} = 23.387$ (fF); $A_{C_{gdT0}} = 98.361$ (fF); $K_{C_{gdT0}} = 1.58$ (V ⁻¹); $V_{C_{gdT0}} = -0.89$ (V) $C_{gd0T} = -4.7803e^{-2}$ (fF/K); $A_{C_{gdT}} = -1.6865e^{-1}$ (fF/K) $K_{C_{gdT}} = -2.8071e^{-3}$ (V-1/K); $V_{C_{gdT}} = 1.2583e^{-3}$ (V/K)	

Tabla V.2: Valores de los parámetros de los elementos asociados a las uniones puerta-fuente y puerta-drenador.

Elementos extrínsecos		
<i>Inductancias</i>	<i>Capacidades</i>	<i>Resistencias</i>
L _{pg} =99.67 pH; L _{pd} =0.2 nH L _g =0.58 nH; L _d =0.62 nH L _s =62.42 pH	C _{pg} =0.14 pF; C _{pd} =0.156 pF C _{pgd} =17.42 fF C _{gg} = C _{dd} = 1 pF	R _g =1.82 Ω R _d =1.58 Ω R _s =1.52 Ω R _{gg} =R _{dd} =10 MΩ
Elementos intrínsecos		
R _i = 5.8 Ω; τ = 4.42 ps; C _{ds} = 0.13 pF		

Tabla V.3: Valores de los elementos lineales del modelo.

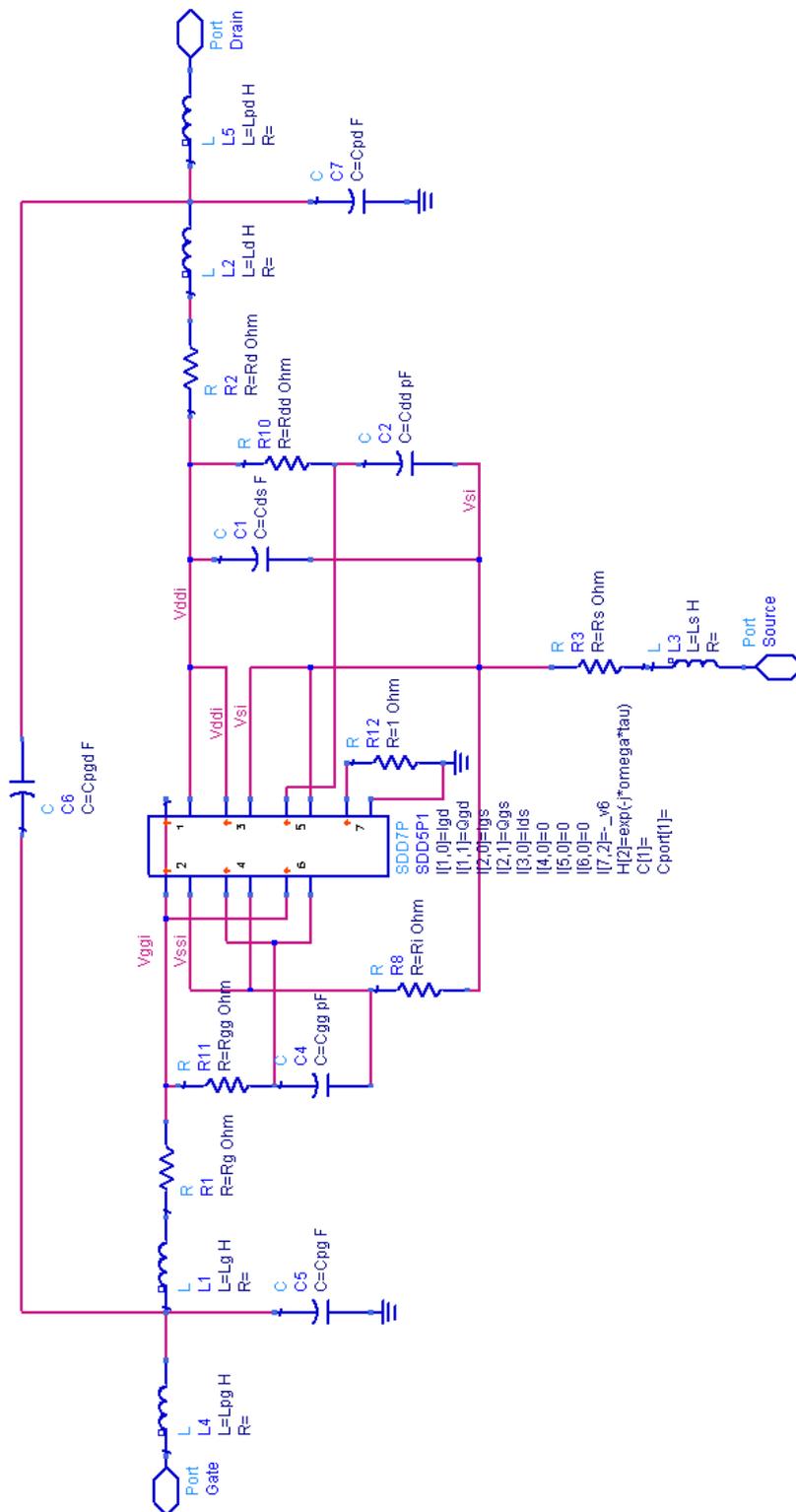


Figura V.2: Esquema eléctrico del modelo no lineal completo implementado en el simulador ADS para el transistor MGF1923.

II.1 Simulación en régimen de DC

Como ejemplo de resultados obtenidos en este régimen de funcionamiento, en las figuras V.3a, V.3b y V.3c se puede ver la representación de las curvas I/V, llevadas a cabo en el dicho régimen de operación, a tres diferentes temperaturas externas (-70°C , $+27^{\circ}\text{C}$, $+70^{\circ}\text{C}$). Como se puede observar, el modelo predice de forma excelente el comportamiento real del transistor.

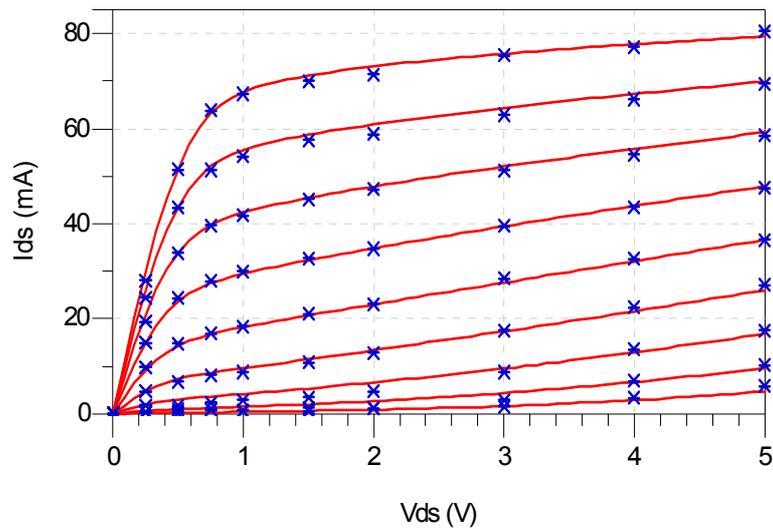


Figura V.3a: Curvas I/V simuladas (líneas) y medidas (símbolos) en régimen de DC a -70°C para el transistor MGF1923. ($V_{gs}=-1.6\text{V}$ hasta 0V).

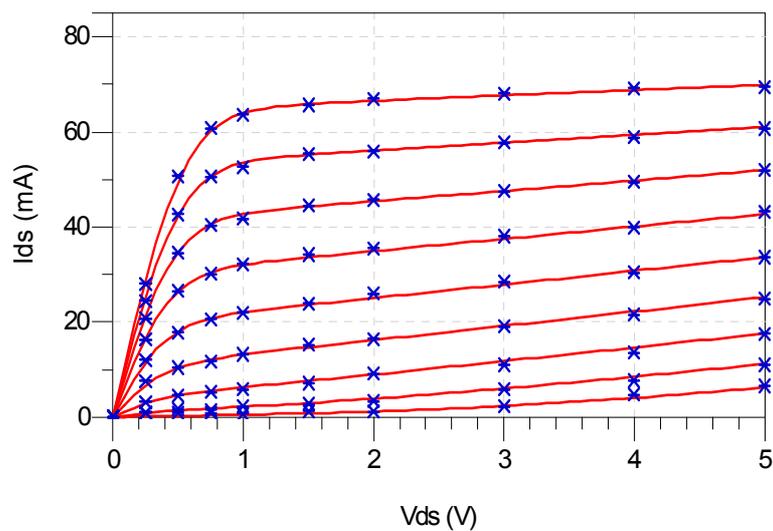


Figura V.3b: Curvas I/V simuladas (líneas) y medidas (símbolos) en régimen de DC a $+27^{\circ}\text{C}$ para el transistor MGF1923. ($V_{gs}=-1.6\text{V}$ hasta 0V).

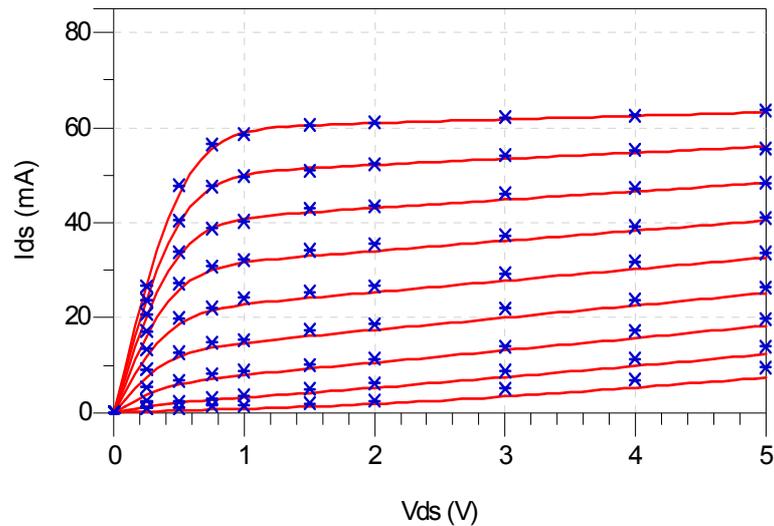


Figura V.3c: Curvas I/V simuladas (líneas) y medidas (símbolos) en régimen de DC a $+70^{\circ}\text{C}$ para el transistor MGF1923. ($V_{gs}=-1.6\text{V}$ hasta 0V).

II.2 Simulación en régimen de pulsada

En las figuras V.4a, V.4b y V.4c se muestran las comparaciones entre los resultados experimentales y los simulados de las características I/V pulsadas desde tres puntos de polarización de reposo distintos a los *puntos llave* utilizados para la extracción de los valores de los parámetros del modelo llevadas a cabo a tres temperaturas diferentes. Para la temperatura -70°C el punto de polarización corresponde a ($V_{gscc}=-0.4\text{V}$, $V_{dscc}=2\text{V}$), para la temperatura $+27^{\circ}\text{C}$ el punto de polarización es ($V_{gscc}=-1.6\text{V}$, $V_{dscc}=1\text{V}$), por último para la temperatura $+70^{\circ}\text{C}$ el punto de polarización es ($V_{gscc}=-0.8\text{V}$, $V_{dscc}=4\text{V}$).

Como se puede ver en estas gráficas, el modelo tiene una gran capacidad para simular el comportamiento dinámico del transistor a un rango determinado de temperatura. Nótese que también se han obtenido excelentes resultados en otros puntos de polarización y a otras temperaturas.

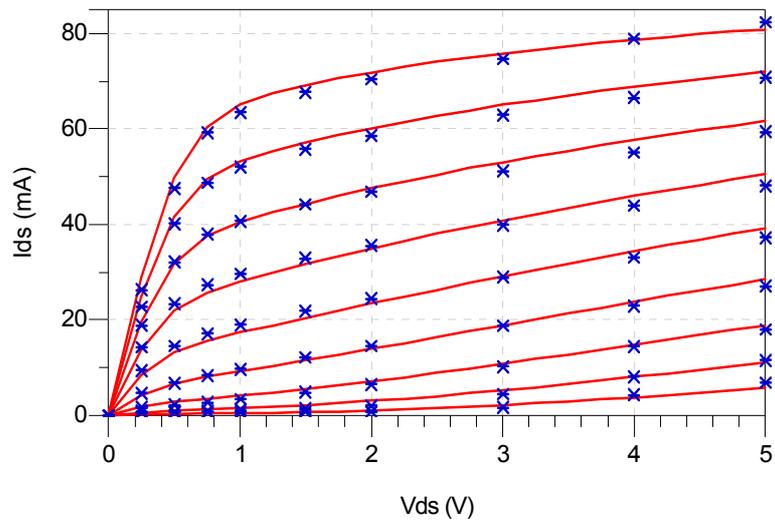


Figura V.4a: Curvas I/V en régimen pulsado a -70°C , simuladas (líneas) y experimentales (símbolos) para el transistor MGF1923. ($V_{gs}=-1.6\text{V}$ hasta 0V).

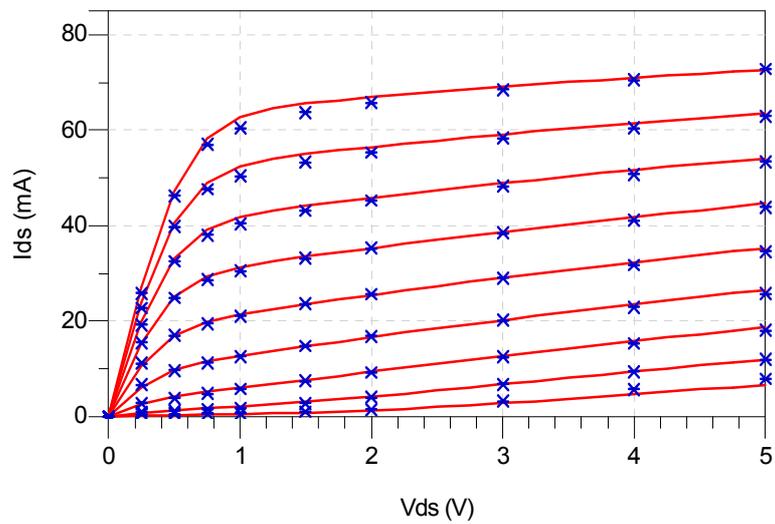


Figura V.4b: Curvas I/V en régimen pulsado a $+27^{\circ}\text{C}$, simuladas (líneas) y experimentales (símbolos) para el transistor MGF1923. ($V_{gs}=-1.6\text{V}$ hasta 0V).

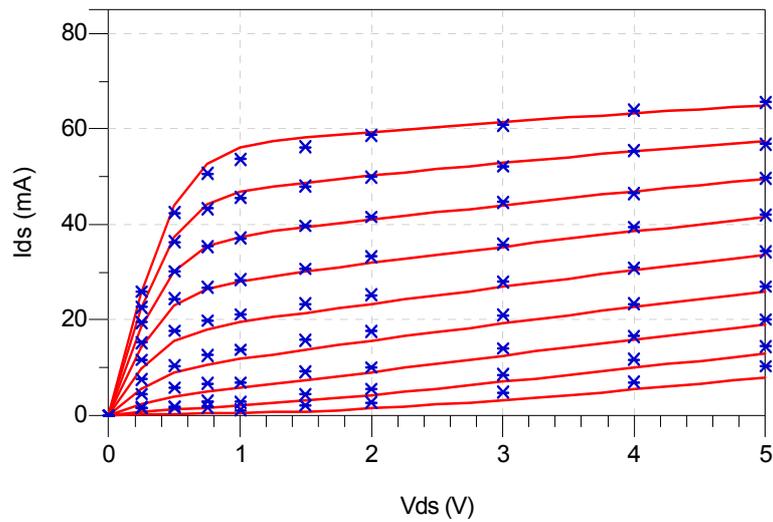


Figura V.4c: Curvas I/V en régimen pulsado a $+70^{\circ}\text{C}$, simuladas (líneas) y experimentales (símbolos) para el transistor MGF1923. ($V_{gs}=-1.6\text{V}$ hasta 0V).

II.3 Simulación en RF pequeña señal

Para la validación pequeña señal del modelo, se ha llevado a cabo la simulación de los parámetros de Scattering. En las figuras V.5, V.6 y V.7 se representan los resultados experimentales y de simulación de estos parámetros llevados a cabo a tres temperaturas para tres puntos de polarización diferentes. Como es posible observar en estas gráficas, el modelo es capaz de reproducir con precisión los parámetros de Scattering del transistor en el rango frecuencial de interés para cada temperatura poniéndose de manifiesto, por lo tanto, la validez del modelo propuesto.

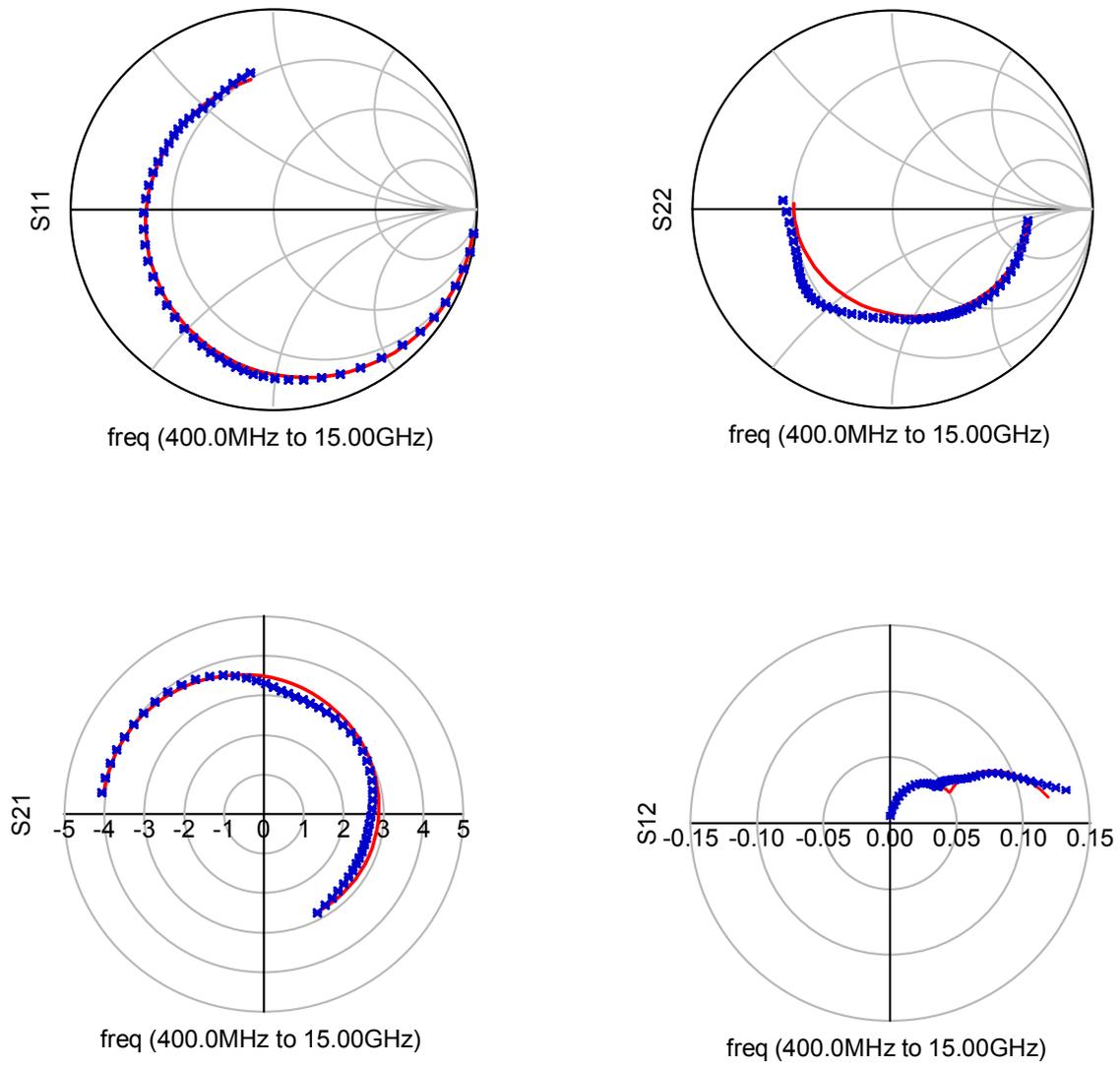


Figura V.5: *Parámetros de Scattering medidos (símbolos) y simulados (líneas) a la temperatura -70°C para el transistor MGF1923. ($V_{gscc}=0\text{V}$, $V_{dscc}=3\text{V}$).*

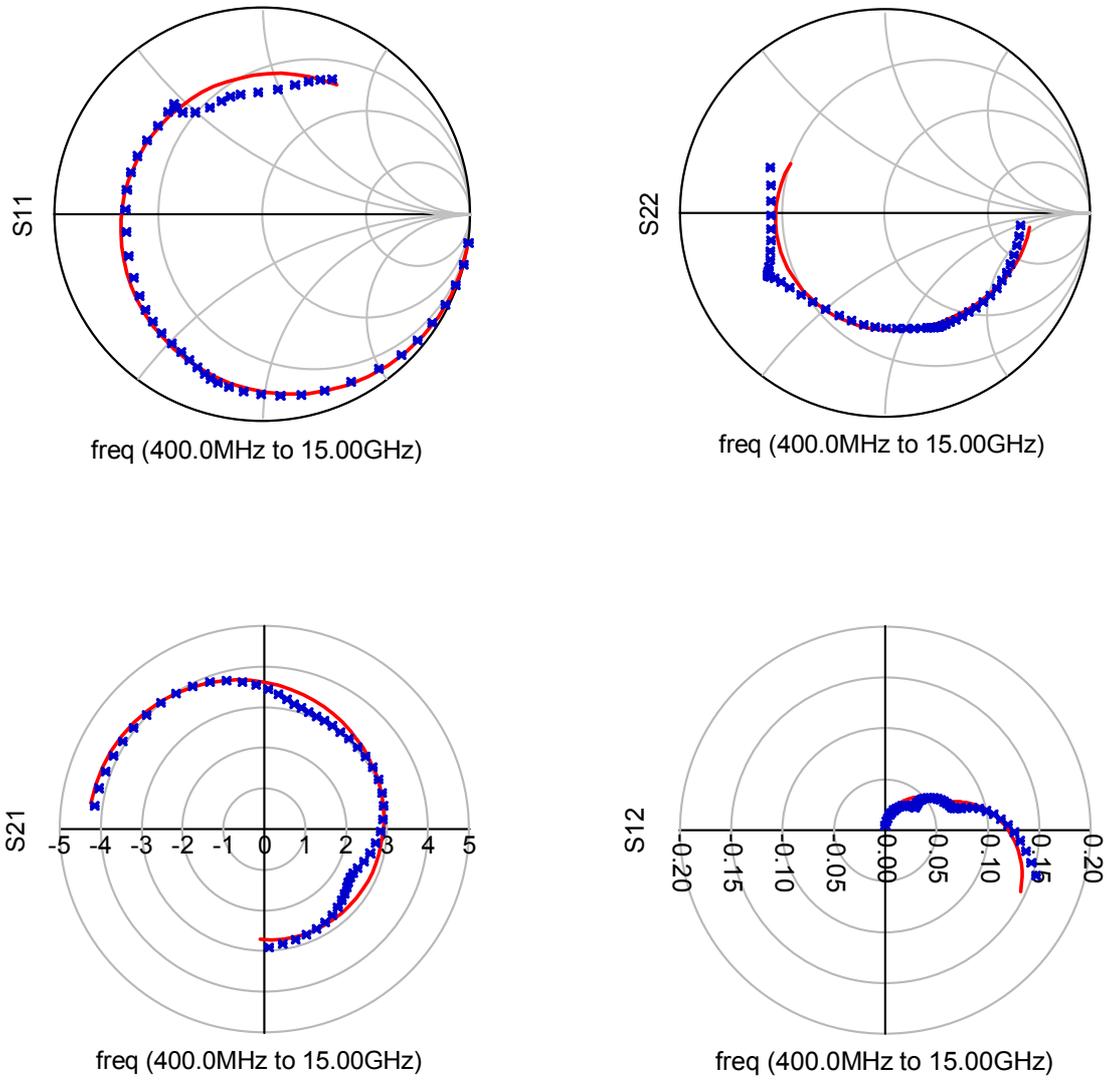


Figura V.6: *Parámetros de Scattering medidos (símbolos) y simulados (líneas) a la temperatura +27°C para el transistor MGF1923. ($V_{gsc}=-0.6V$, $V_{dsc}=3V$).*

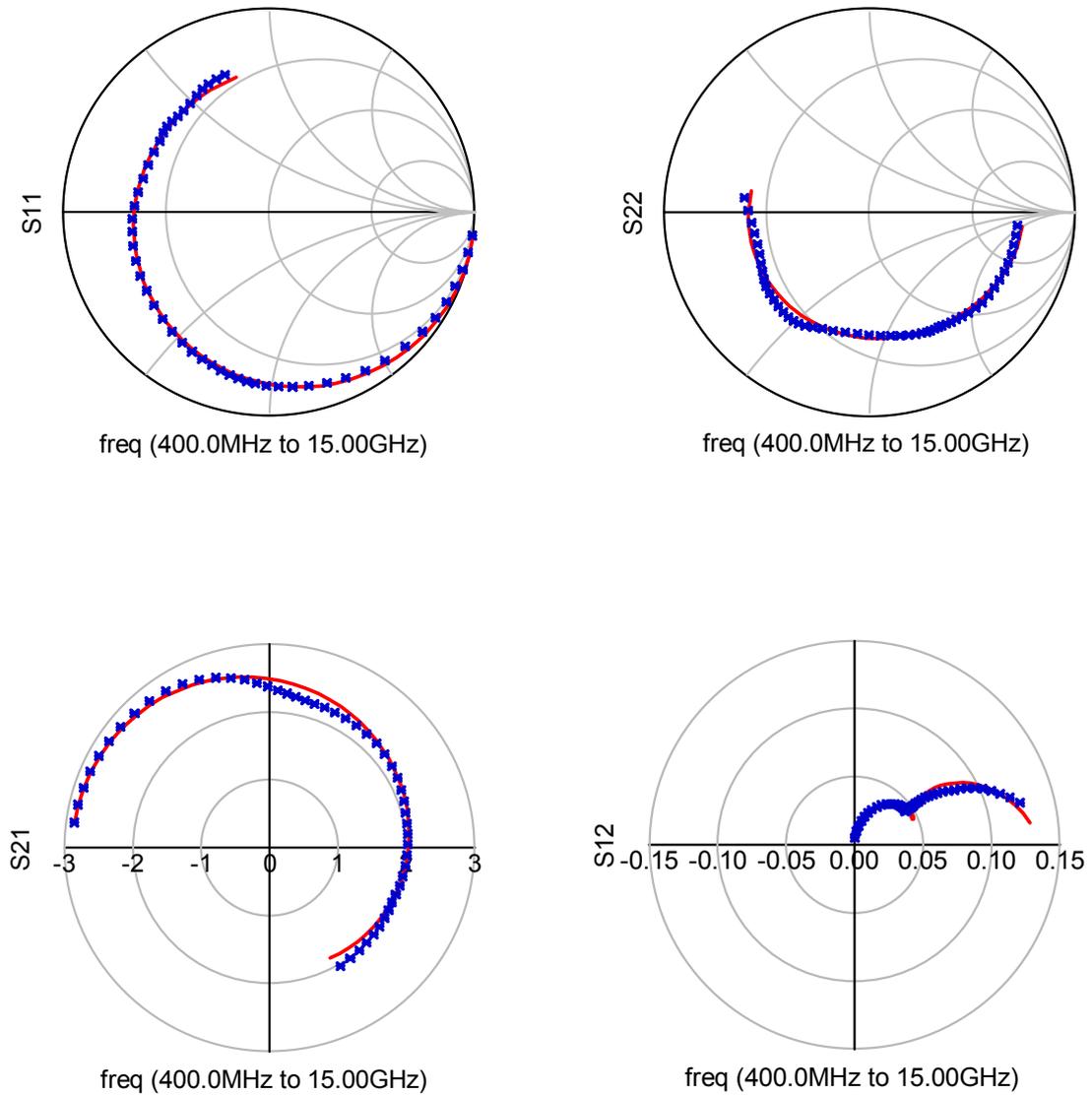


Figura V.7: *Parámetros de Scattering medidos (símbolos) y simulados (líneas) a la temperatura +70°C para el transistor MGF1923. ($V_{gscc}=-1V$, $V_{dscc}=5V$).*

II.4 Validación gran señal

En este caso se trata de llevar a cabo la simulación y medida del comportamiento dinámico gran señal del transistor. La forma de realizar esta validación ha sido llevar a cabo la medida y simulación de la potencia de salida frente la potencia de entrada (P_{in}/P_{out}), a diferentes frecuencias, puntos de polarización y temperaturas, con el transistor cargado por 50 Ohm a la entrada y a la salida, cubriendo un rango de potencias de entrada que asegura que el dispositivo trabaja de forma no lineal.

En las gráficas V.8, V.9 y V.10 se muestran los resultados obtenidos, tanto de las medidas como de las simulaciones, del comportamiento P_{in}/P_{out} del dispositivo para la frecuencia fundamental (f_0) y los armónicos de orden superior ($2f_0$) y ($3f_0$). En estas gráficas ha quedado puesto de manifiesto cómo el modelo completo obtenido para el dispositivo bajo prueba permite reproducir el comportamiento del mismo bajo la excitación gran señal a diferentes temperaturas, con un buen grado de acuerdo entre las simulaciones y los resultados experimentales.

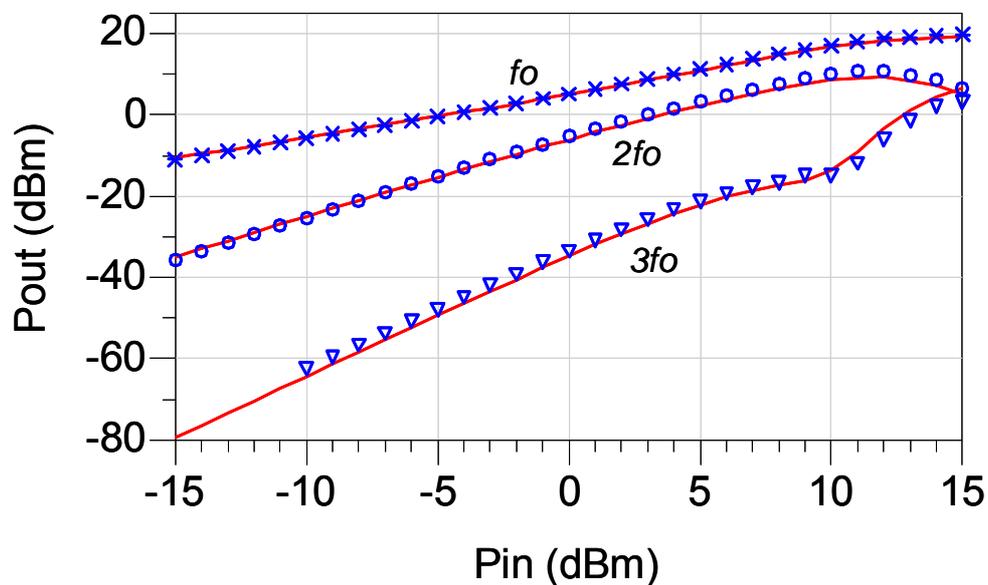


Figura V.8: Simulación (líneas) y medidas (símbolos) P_{in}/P_{out} para el transistor MGF1923 para las condiciones: $T=-70^{\circ}\text{C}$, $f_0=1\text{GHz}$, $V_{gsc}=-1.6\text{V}$, $V_{dsc}=5\text{V}$.

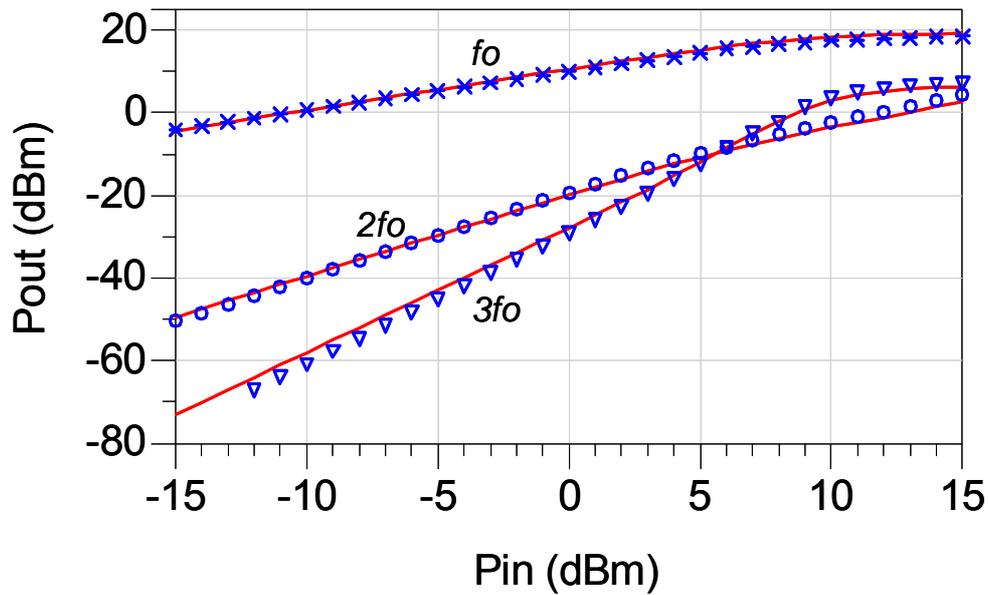


Figura V.9: Simulación (líneas) y medidas (símbolos) P_{in}/P_{out} para el transistor MGF1923 para las condiciones: $T=+27^{\circ}\text{C}$, $f_o=5.8\text{GHz}$, $V_{gscc}=-0.6\text{V}$, $V_{dscc}=3\text{V}$.

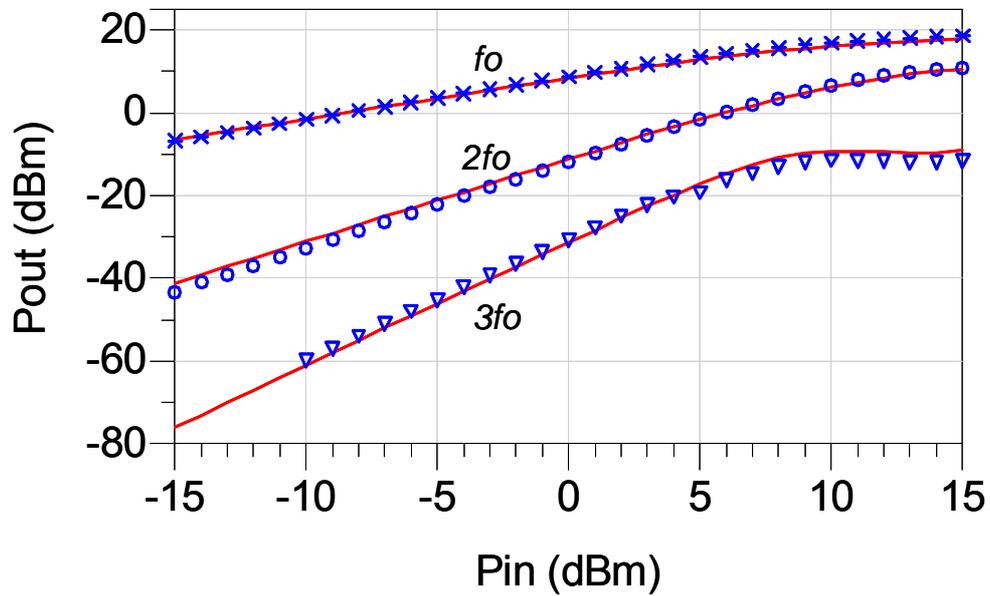


Figura V.10: Simulación (líneas) y medidas (símbolos) P_{in}/P_{out} para el transistor MGF1923 para las condiciones: $T=+70^{\circ}\text{C}$, $f_o=8\text{GHz}$, $V_{gscc}=0\text{V}$, $V_{dscc}=3\text{V}$.

III. Validación para el transistor $8 \times 75 \mu\text{m}$ GaN HEMT

En la figura V.11 se representa el esquema eléctrico del modelo implementado en el simulador ADS de la fuente de corriente I_{ds} , incluyendo las resistencias de acceso y las redes R - C necesarias para la extracción de las tensiones dinámicas y de polarización, para el dispositivo en cuestión.

Los valores de los parámetros del modelo así como de los otros elementos que se han extraído para este dispositivo se muestran en la tabla V.4. Usando el modelo implementado, se ha llevado a cabo la simulación de las características I/V del transistor tanto en régimen de DC como de pulsada a tres diferentes temperaturas y tres puntos de polarización. Los puntos de polarización utilizados son diferentes a aquellos utilizados en el proceso de extracción de los valores de los parámetros del modelo. Así, se pone de manifiesto la validez de la aproximación propuesta.

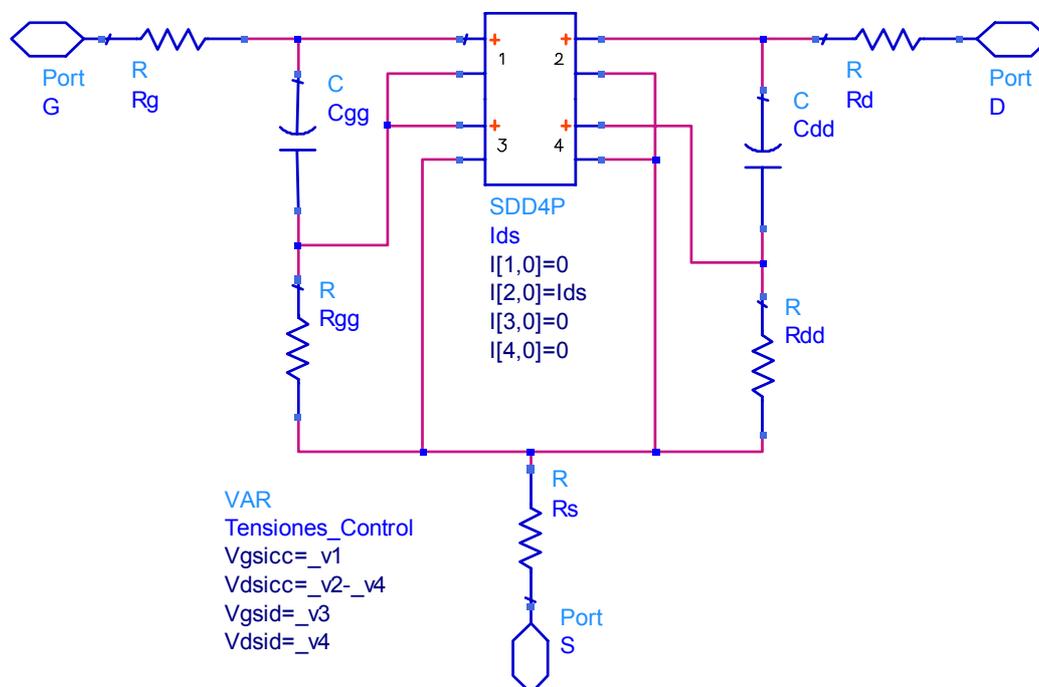


Figura V.11: Esquema eléctrico del modelo de I_{ds} implementado en el simulador ADS para el transistor $8 \times 75 \mu\text{m}$ GaN HEMT.

	Parámetros DC	Parámetros térmicos		Parámetros dinámicos (V^{-1})			
P_1	$I_{dss} = 443.26 \text{ (mA)}$	k_1	$-1.0061e^{-3} \text{ (A/K)}$	λ_1	$2.3899e^{-1}$	β_1	$1.0257e^{-2}$
P_2	$V_P = -2.2467 \text{ (V)}$	k_2	$-1.95e^{-3} \text{ (V/K)}$	λ_2	$-1.3725e^{-1}$	β_2	$-1.3897e^{-2}$
P_3	$V_{PF} = 0,7012 \text{ (V)}$	k_3	$2.4568e^{-4} \text{ (V/K)}$	λ_3	$-8.5789e^{-3}$	β_3	$2.1935e^{-2}$
P_4	$\gamma = -0.0657$	k_4	$9.9949e^{-5} \text{ (K}^{-1}\text{)}$	λ_4	$-2.3580e^{-2}$	β_4	$-2.3788e^{-3}$
P_5	$\chi = 0.962$	k_5	$-1.6190e^{-3} \text{ (K}^{-1}\text{)}$	λ_5	$1.1425e^{-1}$	β_5	$-1.2729e^{-2}$
P_6	$\eta = 3.612$	k_6	$-6.6054e^{-3} \text{ (K}^{-1}\text{)}$	λ_6	$1.4924e^{-2}$	β_6	$-1.2687e^{-2}$
P_7	$K_G = 73.223 \text{ (V}^{-1}\text{)}$	k_7	$6.8329e^{-1} \text{ (V}^{-1}\text{/K)}$	λ_7	$-1.9131e^{-1}$	β_7	$-8.6126e^{-3}$
P_8	$S_L = 24.8032$	k_8	$2.3443e^{-1} \text{ (K}^{-1}\text{)}$	λ_8	$-2.4482e^{-1}$	β_8	$3.3526e^{-4}$
P_9	$S_S = 423.8445 \text{ (mA/V)}$	k_9	$9.9356e^{-4} \text{ (A/(V.K))}$	λ_9	$-1.6628e^{-1}$	β_9	$8.1041e^{-3}$
P_{10}	$K_E = -0.7593 \text{ (V}^{-1}\text{)}$	k_{10}	$-7.6036e^{-4} \text{ (V}^{-1}\text{/K)}$	λ_{10}	$-6.3628e^{-2}$	β_{10}	$-7.9717e^{-3}$
P_{11}	$E = -2.8967$	k_{11}	$-3.7347e^{-3} \text{ (K}^{-1}\text{)}$	λ_{11}	$-1.5226e^{-1}$	β_{11}	$-8.6968e^{-3}$
P_{12}	$\mu = 0.2892$	k_{12}	$-4.1814e^{-4} \text{ (K}^{-1}\text{)}$	λ_{12}	$7.7157e^{-2}$	β_{12}	$-2.0771e^{-3}$
P_{13}	$\delta = 0.3102$	k_{13}	$6.4947e^{-5} \text{ (K}^{-1}\text{)}$	λ_{13}	$1.5324e^{-2}$	β_{13}	$-7.4605e^{-3}$
Resistencias de acceso							
$R_g = 0.8\Omega$; $R_d = 1.2\Omega$; $R_s = 0.6\Omega$							

Tabla V.4: Valores de los parámetros de la fuente de corriente I_{ds} para el dispositivo $8 \times 75\mu\text{m GaN HEMT}$.

III.1 Simulación en régimen de DC

Los resultados obtenidos en este régimen de funcionamiento se representan en las figuras V.12a, V.12b y V.12c. En las gráficas de estas figuras se puede ver la representación de las curvas I/V, llevadas a cabo en el dicho régimen de operación, a tres diferentes temperaturas externas (-70°C , $+27^\circ\text{C}$, $+70^\circ\text{C}$). Como se puede observar, el modelo predice de forma excelente el comportamiento real del transistor.

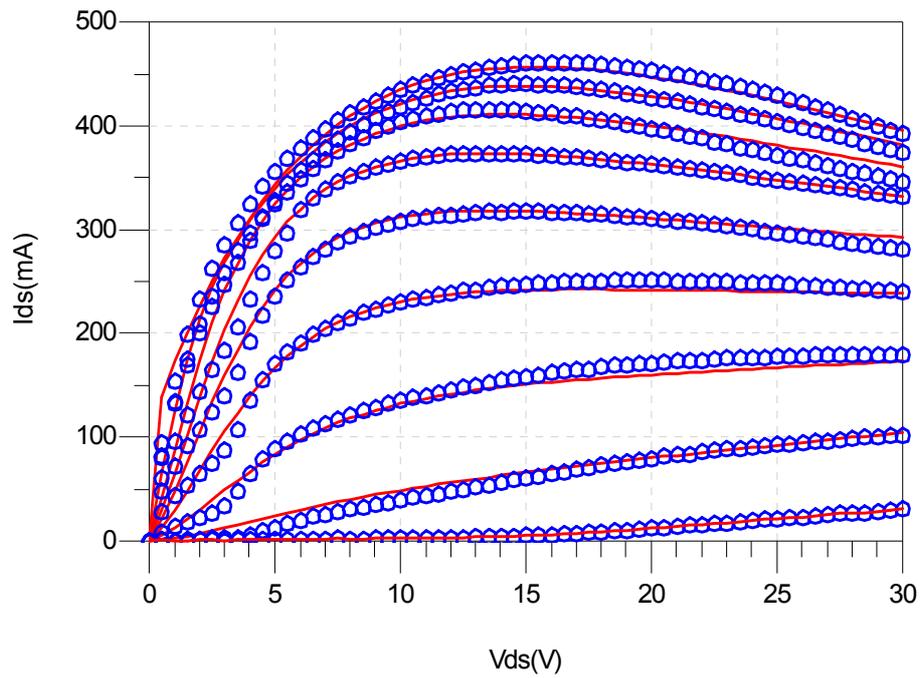


Figura V.12a: Curvas I/V simuladas (líneas) y medidas (símbolos) en régimen de DC a -70°C para el transistor $8 \times 75 \mu\text{m}$ GaN HEMT. ($V_{gs} = -4\text{V}$ hasta 0).

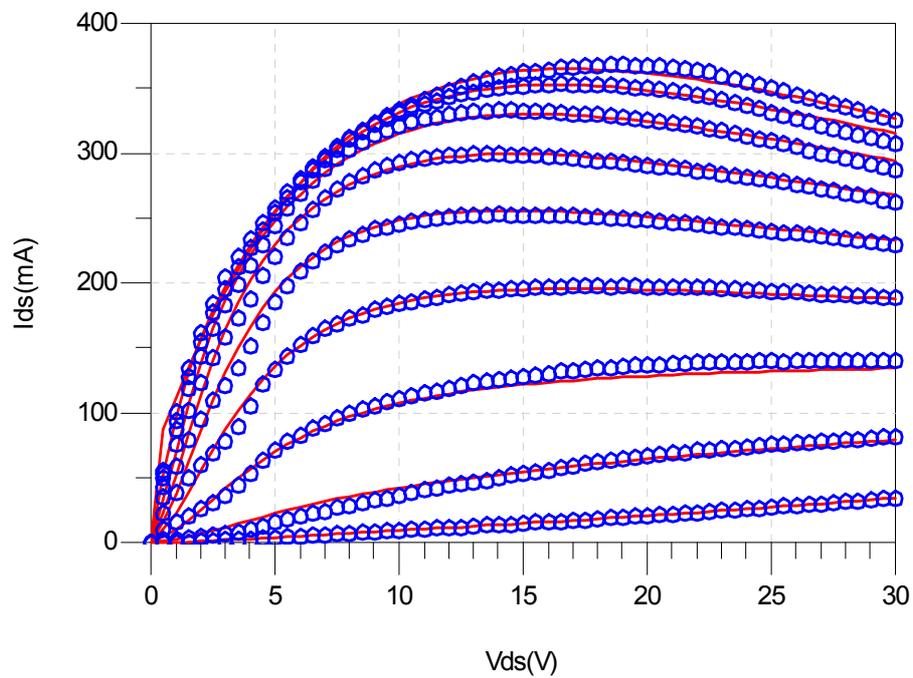


Figura V.12b: Curvas I/V simuladas (líneas) y medidas (símbolos) en régimen de DC a $+27^{\circ}\text{C}$ para el transistor $8 \times 75 \mu\text{m}$ GaN HEMT. ($V_{gs} = -4\text{V}$ hasta 0).

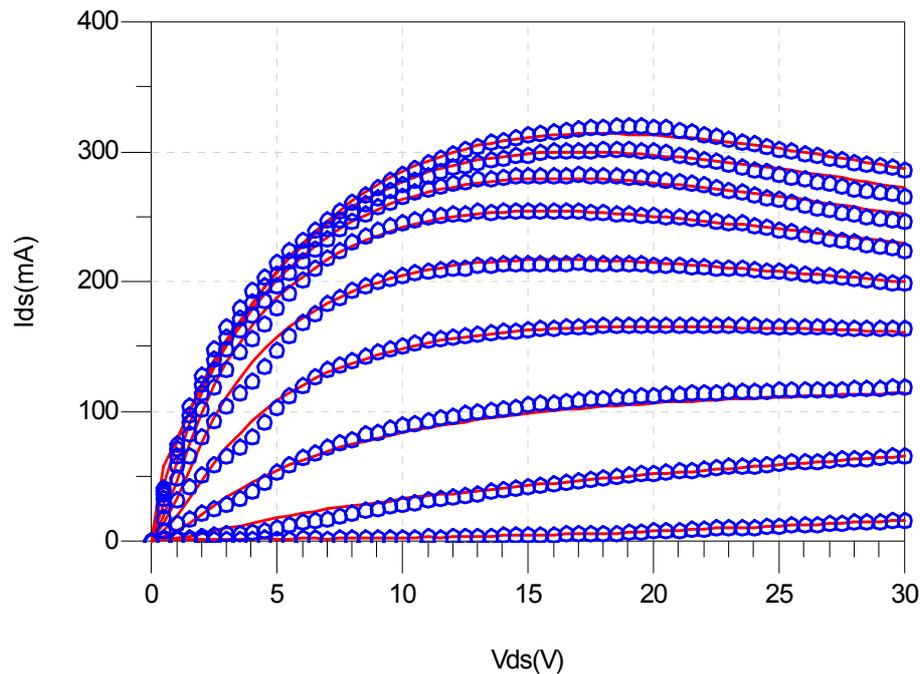


Figura V.12c: Curvas I/V simuladas (líneas) y medidas (símbolos) en régimen de DC a $+70^{\circ}\text{C}$ para el transistor $8 \times 75 \mu\text{m}$ GaN HEMT. ($V_{gs} = -4\text{V}$ hasta 0).

III.2 Simulación en régimen pulsado

En las figuras V.13a, V.13b y V.13c se muestran las comparaciones entre los resultados experimentales y los simulados de las medidas de las características I/V pulsadas desde tres puntos de polarización de reposo distintos a los *puntos llave* utilizados para la extracción de los valores de los parámetros del modelo llevadas a cabo a tres temperaturas diferentes.

Como se puede ver en estas gráficas, el modelo tiene una gran capacidad para simular el comportamiento dinámico del transistor a un rango amplio de temperatura. Nótese que también se han obtenido excelentes resultados en otros puntos de polarización y a otras temperaturas.

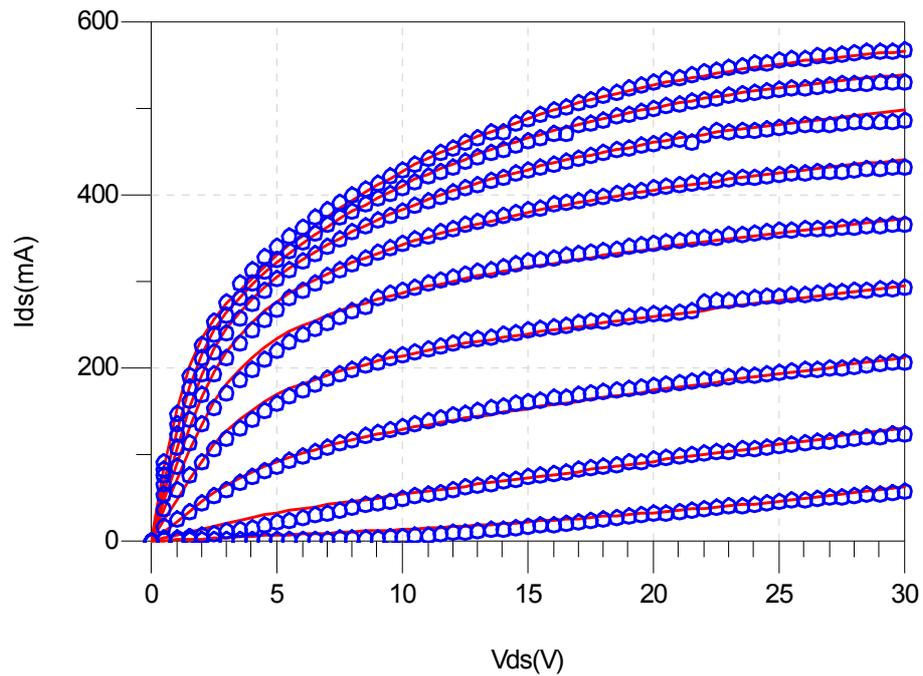


Figura V.13a: Curvas I/V en régimen pulsado, simuladas (líneas) y experimentales (símbolos) para el transistor $8 \times 75 \mu\text{m}$ GaN HEMT. ($V_{gs} = -4\text{V}$ hasta 0V).
 $T = -70^\circ\text{C}$; $V_{gscc} = -3\text{V}$; $V_{dscc} = 5\text{V}$.

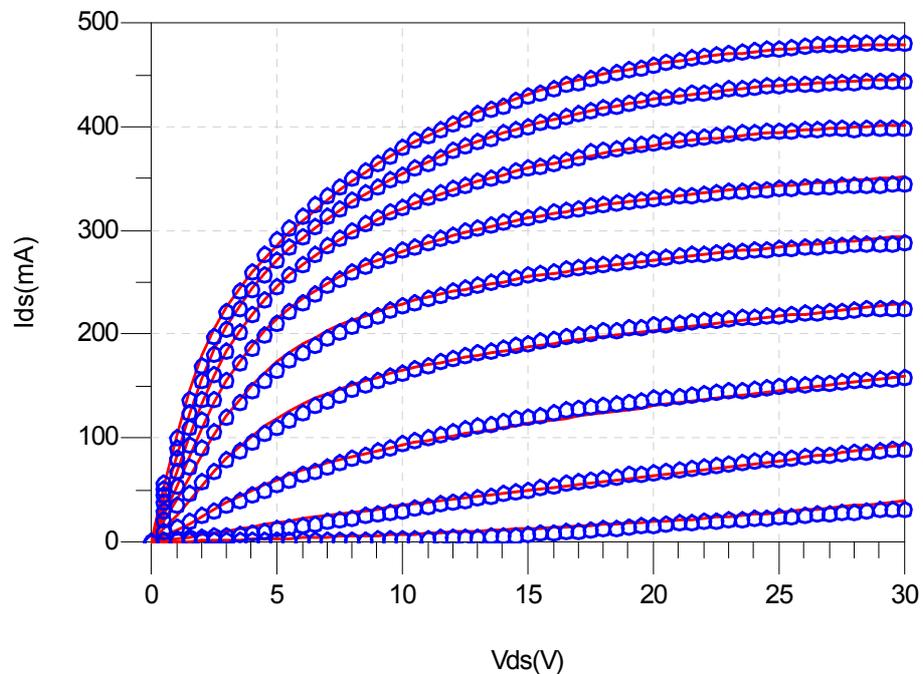


Figura V.13b: Curvas I/V en régimen pulsado, simuladas (líneas) y experimentales (símbolos) para el transistor $8 \times 75 \mu\text{m}$ GaN HEMT. ($V_{gs} = -4\text{V}$ hasta 0V).
 $T = +27^\circ\text{C}$; $V_{gscc} = -1\text{V}$; $V_{dscc} = 3\text{V}$.

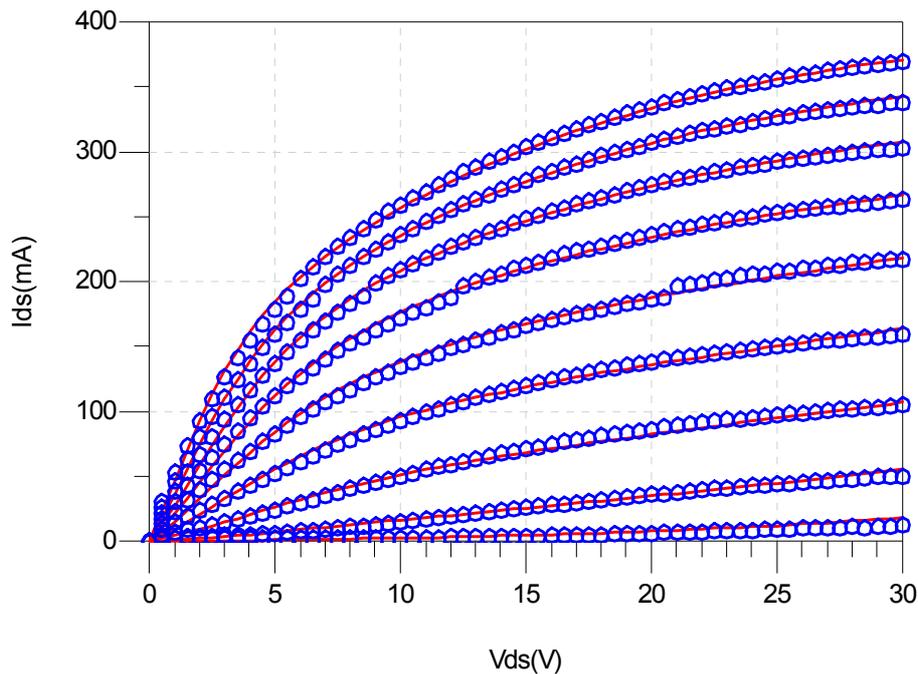


Figura V.13c: *Curvas I/V en régimen pulsado, simuladas (líneas) y experimentales (símbolos) para el transistor 8x75µm GaN HEMT. ($V_{gs}=-4V$ hasta $0V$). $T=+70^{\circ}C$; $V_{gscc}=-4V$; $V_{dscc}=15V$.*

IV. Conclusiones

En el presente capítulo se ha procedido a realizar la validación del método de modelado presentado, así como del nuevo modelo desarrollado. También se demostró que el modelo circuital completo (figura V.1 y figura V.11) es fácilmente implementable en un simulador comercial (ADS en este caso), lo que permite llevar a cabo todo tipo de simulación con el mismo (simulación DC, pulsada, parámetros de Scattering, balance armónico, etc). La implementación del modelo en el dicho simulador ha sido gracias a la utilización del elemento SDD, que ofrece este simulador exclusivamente, que facilita, en comparación con otras alternativas, la implementación de modelos no lineales de elementos (diodos, capacidades no lineales, transistores, etc).

De hecho, utilizando como base de simulación el modelo implementado en el simulador, se han llevado a cabo comparaciones entre las predicciones en distintos modos de operación de dos dispositivos distintos, y a un rango amplio de temperatura,

que el modelo es capaz de proporcionar, DC, Pulsado, RF pequeña y gran señal, mostrando los mismos un excelente grado de acuerdo con las medidas de dichos dispositivos en los diferentes modos de operación.

Según los resultados presentados anteriormente, se ve que no se ha presentado otros tipos de simulaciones que pueden probar aún más el comportamiento fuertemente no lineal del dispositivo como pueden ser los fenómenos de distorsión de intermodulación. Este tipo de análisis es muy importante no sólo para reproducir fielmente su comportamiento, sino también para poder emplear los resultados obtenidos en su caracterización y modelado en la optimización del funcionamiento de las aplicaciones en las que vayan a ser utilizados [3]. La razón por la que no se ha hecho este tipo de simulación es debido a que la intermodulación está relacionada directamente con las derivadas de orden superior de la fuente de corriente I_{ds} [4-6]. Por lo tanto, la capacidad del nuevo modelo desarrollado de reproducir con precisión este comportamiento depende mucho, y de una manera directa, de la ecuación original del modelo de base de partida elegido de la fuente de corriente I_{ds} . En este trabajo se ha elegido un modelo de I_{ds} que ha sido desarrollado por tal fin, es decir, para que el modelo sea capaz de reproducir con gran precisión no solamente las características I/V del transistor sino también sus derivadas de orden superior. Los resultados obtenidos, en este sentido, por el modelo original justifican dicha elección [7].

Nótese que aunque en este capítulo de validación del modelo se ha presentado solamente los resultados obtenidos utilizando la técnica modificada para el modelado de los efectos trampa, que es válida para los transistores GaAs MESFET y GaN HEMT, se han obtenido muy buenos resultados también utilizando la primera técnica, y no se ha registrado ningún problema de convergencia durante la simulación.

Referencias

- [1] “User-defined models: Custom modeling with symbolically-defined devices” Advanced Design System Documentation 2005A, Agilent Technologies, Aug. 2005.
- [2] A. K. Jastrzebski, “Characterisation and modelling of temperature and dispersion effects in power MESFETs” *24rd European Microwave Conference*, Cannes, France, pp. 1319-1324, Sep. 1994.
- [3] C. Gómez, E. Malaver, J. A. García and T. Fernández, “Control del comportamiento en distorsión de intermodulación en un pHEMT de enriquecimiento” *XVIII Simposium Nacional de la Unión Científica Internacional de Radio (URSI 2003)*, Septiembre 2003, La Coruña, Spain.
- [4] S. A. Maas and D. Neilson, “Modeling MESFETs for intermodulation analysis of mixers and amplifiers” *IEEE Trans. Microwave Theory and Techniques*, vol. 38, no. 12, pp. 1964-1971, Dec. 1990.
- [5] J. Pedro and J. Perez, “Accurate simulation of GaAs MESFET’s intermodulation distortion using a new drain-source current model” *IEEE Trans. Microwave Theory and Techniques*, vol. 42, no. 1, pp. 25-33, Jan. 1994.
- [6] N. B. Carvalho and J. C. Pedro, “Large- and small-signal IMD behavior of microwave power amplifiers” *IEEE Trans. Microwave Theory and Techniques*, vol. 47, no. 12, pp. 2364-2374, Dec. 1999.
- [7] T. Fernández, J. A. García, A. Tazón, A. Mediavilla, J. C. Pedro and J. L. García, “Accurately modeling the drain to source current in recessed gate P-HEMT devices” *IEEE Electron Device Letters*, vol. 20, no. 11, pp. 557-559, Nov. 1999.

Capítulo VI

Conclusiones y Perspectivas Futuras

I. Conclusiones

El trabajo llevado a cabo a lo largo de esta tesis ha estado orientado hacia el desarrollo de un modelo no lineal de transistores MESFET y HEMT que permite reproducir el comportamiento de estos dispositivos a un rango determinado de temperatura externa bajo las siguientes condiciones de funcionamiento: régimen estático (DC), régimen pulsado desde cualquier punto de polarización y régimen dinámico RF pequeña y gran señal. De esta forma, el modelo es capaz de tener en cuenta los efectos térmicos y trampa que presentan estos dispositivos. Estos efectos dispersivos, tanto térmicos como trampa, se consideran como unos de los desafíos importantes para conseguir la madurez del proceso tecnológico de los dispositivos basados en nuevos materiales prometedores como los HEMT de GaN en particular y son una verdadera dificultad adicional para todos los transistores MESFET y HEMT en general, lo cual hace que sea necesario tenerlos en cuenta tanto para el estudio de la fiabilidad del dispositivo como para el desarrollo de sus modelos.

El hecho de contar con un modelo de transistor capaz de responder a las distintas condiciones de funcionamiento teniendo en cuenta los efectos dispersivos, posibilita tener la capacidad de realizar diseños en los que, debido a la variedad de fenómenos de los que el modelo es capaz de dar cuenta, las probabilidades de que los mismos sean exitosos y se ajusten al comportamiento real del transistor, son mucho mayores que para los modelos tradicionales de este tipo de transistores. Con los resultados obtenidos de las simulaciones se ha puesto de manifiesto la validez del nuevo modelo propuesto por comparación con los resultados experimentales.

Una de las aportaciones originales de este modelo, y quizá más novedosa, es la forma en la que se lleva a cabo el modelado de la fuente de corriente I_{ds} puesto que en el mismo se reflejan en gran parte las deficiencias debidas a los efectos térmicos y trampa. La técnica propuesta se puede aplicar a cualquier modelo DC clásico existente.

Los resultados más relevantes de este trabajo se pueden resumir en los siguientes puntos:

- **Caracterización de los efectos térmicos y trampa**

Se ha discutido el fenómeno de degradación de corriente que causan los efectos térmicos y trampa así como su método de caracterización en los transistores MESFET y HEMT. En primer lugar se ha llevado a cabo un estudio del colapso de corriente de drenador así como la influencia de la temperatura sobre los estados trampa basándose en las medidas pulsadas de las características I/V. Se ha demostrado que existe una relación directa entre los efectos trampa, que causan los efectos gate-lag y drain-lag, y el colapso de corriente.

El estudio y la determinación de los requisitos que tienen que cumplir los sistemas de medida pulsada no son de menos importancia puesto que esta medida es la base de tal caracterización y modelado de dichos efectos.

Se ha demostrado también que la energía térmica puede hacer que los electrones atrapados se libran para que participen en la conducción.

Sin embargo si es cierto que, de un lado, la temperatura (debido al auto-calentamiento o externa) parece que es un factor positivo para disminuir la degradación de la corriente que causan los efectos trampa, se observa que, en realidad no es así puesto que la fuerte degradación que causa la misma no es en absoluto compensable por los electrones liberados por la energía térmica que han ganado; así la dispersión térmica puede considerarse, en todo caso, un efecto adicional a los efectos trampa que altera aún más el comportamiento de dichos dispositivos.

- **Modelado de los efectos térmicos y trampa**

Se ha introducido un modelo de la fuente de corriente no lineal I_{ds} , junto con una topología circuital adecuada, para los transistores MESFET y HEMT, que es capaz de tener en cuenta los efectos dispersivos que presentan este tipo de dispositivos. El nuevo modelo es capaz de reproducir las características I/V del transistor en régimen de DC y

pulsado en cada punto de polarización de reposo a un rango amplio de temperatura. De hecho, el modelo depende en cada instante del estado de los niveles trampa y del estado térmico del dispositivo resultado, tanto por el auto-calentamiento del mismo (disipación de la potencia), como por la temperatura exterior. Antes de la descripción del modelo presentado, se ha descrito brevemente algunas de las técnicas más importantes utilizadas para el modelado de los dichos efectos dispersivos. Algunas de ellas se han tomado como punto de partida para el desarrollo del modelo propuesto.

Así, el modelo obtenido responde a una expresión que depende, en cada momento, de las tensiones de polarización de reposo, de las tensiones dinámicas y de la temperatura exterior (el auto-calentamiento se tiene en cuenta mediante la dependencia del modelo con el punto de polarización de reposo que fija el grado de la potencia disipada).

- **Validación de la técnica propuesta**

Como validación se ha visto como con el modelo obtenido para diferentes dispositivos de diferentes tecnologías, es posible reproducir las características I/V pulsadas, medidas a diferentes temperaturas, en puntos de polarización distintos de los utilizados para realizar la extracción de los distintos parámetros del modelo, sin perder la capacidad de reproducir las mismas curvas en régimen continuo.

También se demostró que el modelo circuital completo es fácilmente implementable en un simulador comercial (ADS en este caso), lo que permite llevar a cabo todo tipo de simulaciones con el mismo (simulación DC, pulsada, parámetros de Scattering, balance armónico, etc). Así, se han llevado a cabo comparaciones entre las medidas y simulaciones a un rango amplio de temperaturas, de las características I/V de DC y Pulsada, parámetros de Scattering y Pin/Pout (potencia de salida versus potencia de entrada), mostrando un excelente grado de acuerdo entre ambos. Además, se ha comprobado la correcta convergencia del modelo desarrollado para todas las simulaciones.

II. Perspectivas futuras

Aunque mucho es el trabajo que se ha realizado en el campo de la fabricación, la caracterización y el modelado de los transistores HEMT basados en la tecnología GaN, todavía queda mucho camino por recorrer, especialmente en el tema de la reducción del efecto de los niveles trampa, estudio de la degradación de las corrientes y tensiones en el tiempo y estudio más profundo de la fiabilidad del dispositivo a largo plazo.

En este sentido se ha abierto un camino de investigación en nuestro departamento cuyo objetivo es el estudio y modelado de la degradación de las corrientes y tensiones en estos transistores donde ya se han obtenido importantes resultados. Estos modelos obtenidos podrán integrarse en el modelo desarrollado en este trabajo. También se está planteando el desarrollo de un nuevo sistema de medida pulsada destinado especialmente a la caracterización y modelado de los transistores de potencia en general y los transistores HEMT de AlGaIn/GaN en particular. Este sistema nos va a permitir llevar a cabo una caracterización precisa de los efectos trampa sobre todo la estimación de las constantes de tiempo de captura y emisión de las cargas.

Los estudios que se han llevado a cabo en nuestro departamento han mostrado que estas constantes de tiempo son diferentes entre ellas y dependen del punto de polarización. Determinar con precisión estas constantes de tiempo e implementarlas en el actual modelo es uno de nuestros futuros objetivos.

Publicaciones del Autor

1. Mohamed Chaibi, Tomás Fernández, Asmae Mimouni, Kaoutar Zeljami, Abdelwahed Tribak, Fernando Sánchez, Marina Verdú, “Efectos térmicos y trampa en los transistores AlGaN/GaN HEMT” *XXIV Simposium Nacional de la Unión Científica Internacional de Radio (URSI 2009)*, Septiembre 2009, Santander, España.
2. Asmae Mimouni, Kaoutar Zeljami, Mohamed Chaibi, Tomás Fernández, Antonio Tazón, Fernando Sánchez, Marina Verdú, Mohamed Boussouis, “Caracterización de niveles trampa en transistores HEMT de GaN” *XXIV Simposium Nacional de la Unión Científica Internacional de Radio (URSI 2009)*, Septiembre 2009, Santander, España.
3. Asmae Mimouni, Kaoutar Zeljami, Mohamed Chaibi, Tomás Fernández, Antonio Tazón, Fernando Sánchez, Marina Verdú, Mohamed Boussouis, “Caracterización en DC de transistores HEMT de GaN” *XXIV Simposium Nacional de la Unión Científica Internacional de Radio (URSI 2009)*, Septiembre 2009, Santander, España.
4. A. Tribak, A. Mediavilla, K. Cepero, M. Boussouis, M. Chaibi, “Duplexor banda ancha en tecnología de guía de onda para aplicaciones satélite” *XXIV Simposium Nacional de la Unión Científica Internacional de Radio (URSI 2009)*, Septiembre 2009, Santander, España.
5. A. Tribak, A. Mediavilla, K. Cepero, M. Boussouis, M. Chaibi, “Desfasadores Diferenciales 90° y 180° banda completa (40%) en guía de onda para aplicaciones de radioastronomía” *XXIV Simposium Nacional de la Unión Científica Internacional de Radio (URSI 2009)*, Septiembre 2009, Santander, España.
6. M. Chaibi, T. Fernández, J. R. Tellez, A. Tazón, and M. Aghoutane, “Modelling of temperature and dispersion effects in MESFET and HEMT transistors” *Integrated Nonlinear Microwave and Millimetre-wave Circuits (INMMiC)*, pp. 173-176, November, 2008, Málaga-Spain.
7. Mohamed Chaibi, Tomás Fernández, Mohamed Aghoutane, “Modelo electro térmico gran señal de la fuente de corriente ids de los transistores GaAs MESFET y HEMT” *XXIII Simposium Nacional de la Unión Científica Internacional de Radio (URSI 2008)*, Septiembre 2008, Madrid, España.
8. Mohamed Chaibi, Alberto Chico, Tomás Fernández, Abdelwahed Tribak, Angel Mediavilla, Mohamed Aghoutane, “Extracción y estudio de la dependencia con la polarización y la temperatura del modelo pequeña señal para transistores encapsulados GaAs MESFET” *XXIII Simposium Nacional de la Unión Científica Internacional de Radio (URSI 2008)*, Septiembre 2008, Madrid, España.
9. A. Tribak, A. Mediavilla, M. Boussouis, M. Chaibi, “Nueva estructura convertidor de modos ancha banda TM₀₁-a-TE₁₁” *XXIII Simposium Nacional de la Unión Científica Internacional de Radio (URSI 2008)*, Septiembre 2008, Madrid, España.

10. T. Abdelwahed, A. Mediavilla, N. Fernández, M. Boussouis, M. Chaibi, "Full-band OMT turnstile en tecnología de guía de onda de altura reducida para aplicaciones satélite" *XXIII Simposium Nacional de la Unión Científica Internacional de Radio (URSI 2008)*, Septiembre 2008, Madrid, España.
11. M. Chaibi, T. Fernández, J. Rodriguez-Tellez, J. L. Cano, A. Mediavilla, M. Aghoutane, "Accurate single current source thermal model for the GaAs MESFET device at cryogenic temperatures" *11th International Symposium on Microwave and Optical Technology (ISMOT-2007)*, December 2007, Villa Mondragone, Monte Porzio Catone, Roma - Italy.
12. Mohamed Chaibi, Juan Luis Cano, Tomás Fernández, Mohamed Aghoutane, "Estudio y mejora de modelos dispersivos avanzados gran señal para la corriente ids en transistores GaAs MESFET y HEMT" *XXII Simposium Nacional de la Unión Científica Internacional de Radio (URSI 2007)*, Septiembre 2007, Tenerife, España.
13. M. Chaibi, T. Fernández, J. Rodriguez-Tellez, J.L. Cano and M. Aghoutane, "Accurate large-signal single current source thermal model for GaAs MESFET/HEMT" *IEE Electronics Letters*, vol. 43, no. 14, pp. 775-777, 5th July 2007
14. Latifa El maazouzi, Angel Mediavilla, Mohamed Aghoutane, Mohamed Chaibi, "Concepción de amplificadores de potencia microondas de alto rendimiento" *XXII Simposium Nacional de la Unión Científica Internacional de Radio (URSI 2007)*, Septiembre 2007, Tenerife, España.
15. M. Chaibi, T. Fernández, G. Rafael, J. A. Garcia, A. Mediavilla, M. Aghoutane, "Characterization of the electronic mobility dependence on frequency and bias in GaAs devices" *13th IEEE Mediterranean Electrotechnical Conference (MELECON 2006)*, May, Benalmádena (Málaga), Spain.
16. J. Terhzaz, H. Ammor, Á. Mediavilla Sánchez, M. Chaibi and A. Mamouni, "Determination of the complex permittivity of dielectric materials at microwave frequency using rectangular waveguide measurements and Newton-Raphson method" *EDP Matériaux & Techniques*, vol. 94, no. 3, pp. 227-233, 2006.
17. M. Chaibi, G. Rafael, M. Aghoutane, A. El Hamichi, T. Fernández, J. Angel Garcia Garcia, "Evolution de la mobilité électronique en fonction de la polarisation et de la fréquence dans les transistors micro- ondes MESFET/HEMTs a base de GaAs" *Les Premières Journées Méditerranéennes de la Physique (JMP1)*, novembre 2005 Tétouan-Maroc.
18. M. Chaibi, L. El Maazouzi, M. Boussouis, A. Frakhsi, A. Mediavilla, T. Fernández, "Détermination de la permittivité diélectrique des matériaux a l'aide d'un guide d'onde rectangulaire" *Les Premières Journées Méditerranéennes de la Physique (JMP1)*, novembre 2005 Tétouan-Maroc.

19. J. Terhzaz, H. Ammor, A. Mediavilla Sánchez, M. Boussouis, M. Chaibi, “Application de la méthode de newton raphson pour déterminer la permittivité complexe des matériaux diélectriques par un guide d'onde rectangulaire” *Les Premières Journées Méditerranéennes de la Physique (JMP1)*, novembre 2005 Tétouan-Maroc.
20. M. Chaibi, G. Rafael, T. Fernandez, J. Rodríguez- Tellez, “Medidas de la movilidad electrónica en dispositivos GaAs: dependencia con la polarización y la frecuencia” *XX Simposium Nacional de la Unión Científica Internacional de Radio (URSI 2005)*, Septiembre 2005, Gandía-España.
21. J. Canseco, M. Chaibi, G. Rafael, T. Fernandez, A. Tazon, A. Mediavilla, “Study of electrical properties of III-V compounds based on advanced mobility measuring techniques for microwave applications” *Workshop on Integrated Nonlinear Microwave and Millimetre-wave Circuits (INMMiC)*, Monte Porzio Catone (Rome, Italy), November, 2004.
22. R. Peña, J.A. García, M. Chaibi, N.A. Touhami, “Diseño de un amplificador de alta eficiencia clase-E2” *XIX Simposium Nacional de la Unión Científica Internacional de Radio (URSI 2004)*, Septiembre 2004, Barcelona-España.
23. Alicia Casanueva, José A. Pereda, Angel Mediavilla, Mohamed Chaibi y Naima Amar Touhami “Codos 90 compactos óptimamente adaptados en guía de onda rectangular” *XIX Simposium Nacional de la Unión Científica Internacional de Radio (URSI 2004)*, Septiembre 2004, Barcelona-España.