

ESCUELA TÉCNICA SUPERIOR DE INGENIEROS
INDUSTRIALES Y DE TELECOMUNICACIÓN

UNIVERSIDAD DE CANTABRIA



Trabajo Fin de Máster

**MULTIPLICADOR PARA
TRANSPONDEDOR TTC DE NUEVA
GENERACIÓN EN BANDA X Y BANDA C**
(A multiplier for new generation X band
and C band TTC transponder)

Para acceder al Título de

***Máster Universitario en
Ingeniería de Telecomunicación***

Autor: Álvaro Díez López

Octubre - 2017



MASTER UNIVERSITARIO EN INGENIERÍA DE TELECOMUNICACIÓN

CALIFICACIÓN DEL TRABAJO FIN DE MASTER

Realizado por: Álvaro Díez López

Director del TFM: Amparo Herrera Guardado

Título: “Multiplicador para transpondedor TTC de nueva generación en banda X y banda C”

Title: “A multiplier for new generation X band and C band TTC transponder”

Presentado a examen el día:

para acceder al Título de

MASTER UNIVERSITARIO EN INGENIERÍA DE TELECOMUNICACIÓN

Composición del Tribunal:

Presidente (Apellidos, Nombre): Pablo Pedro Sánchez Espeso

Secretario (Apellidos, Nombre): Sergio Sancho Lucio

Vocal (Apellidos, Nombre): Amparo Herrera Guardado

Este Tribunal ha resuelto otorgar la calificación de:
.....

Fdo.: El Presidente

Fdo.: El Secretario

Fdo.: El Vocal

Fdo.: El Director del TFM
(sólo si es distinto del Secretario)

Vº Bº del Subdirector

Trabajo Fin de Máster Nº
(a asignar por Secretaría)





Agradecimientos

En primer lugar, me gustaría agradecer a todo el Departamento de Comunicaciones de la Universidad de Cantabria, por haberme ayudado en todo momento. En especial, me gustaría agradecer a mi tutora de proyecto, Amparo Herrera, por haberme guiado a durante todos estos meses y por haberme ayudado siempre con las numerosas dudas que surgían.

Agradecer también a mi familia, especialmente a mis padres, a mi hermana, y a mi perro, por apoyarme siempre y confiar en mí.

Por último, pero no menos importante, agradecer a todos mis compañeros y amigos, por ayudarme a superar mis problemas y por crear buenos momentos que permanecerán por siempre en mi memoria. Alejandro Abascal, Alberto Gozalo, Arturo Pardo, Alberto García, Joaquín Martínez, Hugo Mendiguchía, Diego Garay, Marco Antonio Moñino, Oscar Gómez, Paula Sarasúa, Paula Rodríguez, Adrián Gómez, Daniel Lastra y George Alexandru Cristescu.

Mención especial para mis compañeros de trabajo, Jaime Casanueva y Carlos Hidalgo, por haber estado siempre ahí a lo largo de todos estos meses. Sin ellos este trabajo no habría sido posible. Gracias.





Índice

1. Capítulo 1	1
1.1 Introducción	1
1.2 Descripción del proyecto	2
1.3 Propuesta del proyecto	3
1.3.1 Diagrama de bloques del convertidor	3
1.3.2 Bandas de trabajo	4
1.4 Estado del arte	5
 2. Capítulo 2	 9
2.1 Fundamentos teóricos de multiplicadores de frecuencia	9
2.1.1 Multiplicador con diodo reactivo	11
2.1.2 Multiplicador con diodo resistivo	13
2.1.3 Multiplicador con transistor	14
2.2 Diseño típico de un multiplicador de frecuencia	19
2.3 Topologías típicas de un multiplicador de frecuencia	21
2.3.1 Doblador de frecuencia	22
2.3.1.1 Doblador de frecuencia de banda estrecha	24
2.3.1.2 Doblador de frecuencia de banda ancha	24
2.3.1.3 Doblador de frecuencia balanceado	26
2.3.1.4 Doblador de frecuencia balanceado/desbalanceado	26
2.3.2 Triplicador de frecuencia	27
2.3.2.1 Triplicador de frecuencia balanceado	29
2.3.3 Cuadriplicador de frecuencia	31
2.3.4 Multiplicador de frecuencia de orden superior	32
2.3.4.1 Orden par	32
2.3.4.2 Orden impar	32



3. Capítulo 3	34
3.1 Herramienta de simulación	34
3.2 Especificaciones	39
3.2.1 Substrato	39
3.2.2 Transistor	41
3.2.3 Punto de trabajo	46
3.3 Diseño	49
3.3.1 Redes de entrada y salida	50
3.3.2 Redes de polarización	54
3.3.3 Filtros paso banda	61
3.3.4 Circuitos completos y resultados	70
3.4 Pruebas sobre el diseño final	100
3.4.1 Temperatura	100
3.4.2 Estabilidad	103
3.4.3 Excursiones de tensión y corriente	104
3.4.4 Consumo	108
3.4.5 Buffers	110
 4. Capítulo 4	 113
4.1 Medidas de laboratorio	113
 5. Capítulo 5	 123
5.1 Conclusión	123
5.2 Líneas de futuro	124
 6. Referencias	 125



Índice de figuras

ILUSTRACIÓN 1. DIAGRAMA DE BLOQUES DE LOS CONVERTIDORES EN LOS QUE SE UTILIZAN LOS MULTIPLICADORES DISEÑADOS (AZUL).....	3
ILUSTRACIÓN 2. BANDAS DE MICROONDAS.	4
ILUSTRACIÓN 3. TOPOLOGÍA DE LA UNIÓN SIS.	6
ILUSTRACIÓN 4. DIAGRAMA DE BLOQUES DEL MULTIPLICADOR DE FRECUENCIA X8.	7
ILUSTRACIÓN 5. DIAGRAMA DE BLOQUES DE UN MULTIPLICADOR DE FRECUENCIA CON DIODO.	12
ILUSTRACIÓN 6. DIAGRAMA DE CIRCUITO DE UN MULTIPLICADOR DE FRECUENCIA FET.....	15
ILUSTRACIÓN 7. VOLTAJES Y CORRIENTES DEL CIRCUITO MULTIPLICADOR FET (DOBLADOR) DE LA ILUSTRACIÓN 6. ...	16
ILUSTRACIÓN 8. DIAGRAMA DE BLOQUES DE UN MULTIPLICADOR DE FRECUENCIA.	19
ILUSTRACIÓN 9. MODELO PHEMT MOSTRANDO LOS ELEMENTOS NO LINEALES.	20
ILUSTRACIÓN 10. DOBLADOR DE FRECUENCIA CON REFLECTOR DE ENTRADA/SALIDA	22
ILUSTRACIÓN 11. DOBLADOR DE FRECUENCIA EMPLEANDO UNA GUÍA DE ONDA A LA SALIDA.....	23
ILUSTRACIÓN 12. DOBLADOR DE FRECUENCIA DE BANDA ESTRECHA.	24
ILUSTRACIÓN 13. DOBLADOR DE FRECUENCIA DE BANDA ANCHA.	25
ILUSTRACIÓN 14. DOBLADOR DE FRECUENCIA BALANCEADO.....	26
ILUSTRACIÓN 15. DOBLADOR DE FRECUENCIA BALANCEADO/DESBALANCEADO.	27
ILUSTRACIÓN 16. TRIPLICADOR DE FRECUENCIA.	28
ILUSTRACIÓN 17. TOPOLOGÍA DE UN TRIPLICADOR DE FRECUENCIA.	29
ILUSTRACIÓN 18. AMPLIFICADOR “PUSH-PULL”.	30
ILUSTRACIÓN 19. TRIPLICADOR DE FRECUENCIA BALANCEADO.....	30
ILUSTRACIÓN 20. CUADRIPLICADOR DE FRECUENCIA.	31
ILUSTRACIÓN 21. VISTA GENERAL DEL SOFTWARE ADS.	35
ILUSTRACIÓN 22. VENTANA DE DISPLAY TÍPICA DE ADS.	36
ILUSTRACIÓN 23. EJEMPLO DE CIRCUITO CON CONTROLADOR DC.....	36
ILUSTRACIÓN 24. EJEMPLO DE CIRCUITO CON CONTROLADOR AC.....	37
ILUSTRACIÓN 25. EJEMPLO DE CIRCUITO CON CONTROLADOR DE PARÁMETROS S.	38
ILUSTRACIÓN 26. EJEMPLO DE CIRCUITO CON CONTROLADOR DE BALANCE ARMÓNICO.	38
ILUSTRACIÓN 27. CARACTERÍSTICAS DEL SUBSTRATO RO4003C.	40
ILUSTRACIÓN 28. ESPESORES DISPONIBLES PARA EL SUBSTRATO RO4003C.	40
ILUSTRACIÓN 29. VARIACIÓN DE LA CONSTANTE DIELÉCTRICA DEL RO4003C CON LA TEMPERATURA.	41
ILUSTRACIÓN 30. CARACTERÍSTICAS DEL TRANSISTOR, $V_{CE} = 3\text{ V}$, $f = 2.4\text{ GHz}$	41
ILUSTRACIÓN 31. ADAPTACIÓN DE ENTRADA, $V_{CE} = 3\text{ V}$, $I_C = 6 / 15\text{ mA}$	42
ILUSTRACIÓN 32. ADAPTACIÓN DE SALIDA, $V_{CE} = 3\text{ V}$, $I_C = 6 / 15\text{ mA}$	42
ILUSTRACIÓN 33. ADAPTACIÓN DE ENTRADA (MODELO), $V_{CE} = 3\text{ V}$, $I_C = 15\text{ mA}$	43
ILUSTRACIÓN 34. ADAPTACIÓN DE SALIDA (MODELO), $V_{CE} = 3\text{ V}$, $I_C = 15\text{ mA}$	43
ILUSTRACIÓN 35. MAXIMUM RATINGS DEL TRANSISTOR.	44
ILUSTRACIÓN 36. CORRIENTE DE COLECTOR VS TENSIÓN DE COLECTOR-EMISOR, PARA DISTINTAS CORRIENTES DE BASE I_B	44
ILUSTRACIÓN 37. MODELO DEL TRANSISTOR BFP740.	45
ILUSTRACIÓN 38. CORRIENTE DE COLECTOR VS TENSIÓN DE COLECTOR-EMISOR, PARA DISTINTAS CORRIENTES DE BASE I_B (MODELO).....	45
ILUSTRACIÓN 39. PUNTO DE TRABAJO INICIAL PARA EL MULTIPLICADOR X2.....	47
ILUSTRACIÓN 40. PUNTO DE TRABAJO INICIAL PARA EL MULTIPLICADOR X3.....	48
ILUSTRACIÓN 41. PUNTO DE TRABAJO INICIAL PARA EL MULTIPLICADOR X4.....	48



ILUSTRACIÓN 42. FLUJO DE DISEÑO.	49
ILUSTRACIÓN 43. ETAPA DE ADAPTACIÓN.	50
ILUSTRACIÓN 44. EXCURSIONES DE TENSIÓN EN LA BASE Y COLECTOR DEL TRANSISTOR.	50
ILUSTRACIÓN 45. POTENCIA DE LA FUENTE (IZQUIERDA) FRENTE A LA POTENCIA QUE LLEGA AL TRANSISTOR (DERECHA).	51
ILUSTRACIÓN 46. RED DE ADAPTACIÓN DE ENTRADA (PEQUEÑA SEÑAL).	52
ILUSTRACIÓN 47. RED DE ADAPTACIÓN DE ENTRADA (GRAN SEÑAL).	52
ILUSTRACIÓN 48. PARÁMETRO S_{11} , Y POTENCIA EN LA BASE DEL TRANSISTOR.	53
ILUSTRACIÓN 49. ATENUADOR EN T DE 12.5 dB.	53
ILUSTRACIÓN 50. PARÁMETRO S_{11} , SIN ZOOM (IZQUIERDA), CON ZOOM (DERECHA).	54
ILUSTRACIÓN 51. FUENTES DE TENSIÓN PARA OBTENER EL PUNTO DE TRABAJO DESEADO.	54
ILUSTRACIÓN 52. REDES DE POLARIZACIÓN CON COMPONENTES PASIVOS.	55
ILUSTRACIÓN 53. GANANCIA DE UN CONDENSADOR, $C=1.6$ pF (IZQUIERDA), $C=10$ pF (DERECHA).	55
ILUSTRACIÓN 54. GANANCIA DE UNA BOBINA, A) $L=22$ nH, B) $L=8.2$ nH, C) $L=4.7$ nH, D) $L=2.2$ nH.	56
ILUSTRACIÓN 55. RED DE POLARIZACIÓN CON LÍNEAS (2º ARMÓNICO).	57
ILUSTRACIÓN 56. RED DE POLARIZACIÓN CON LÍNEAS (3er ARMÓNICO).	57
ILUSTRACIÓN 57. RED DE POLARIZACIÓN CON LÍNEAS (4º ARMÓNICO).	58
ILUSTRACIÓN 58. RED DE POLARIZACIÓN CON UNA ÚNICA FUENTE (2º ARMÓNICO).	59
ILUSTRACIÓN 59. RED DE POLARIZACIÓN CON UNA ÚNICA FUENTE (3er ARMÓNICO).	60
ILUSTRACIÓN 60. RED DE POLARIZACIÓN CON UNA ÚNICA FUENTE (4º ARMÓNICO).	61
ILUSTRACIÓN 61. COMPARACIÓN DE LOS PARÁMETROS S DE UN FILTRO REALIZADO CON COMPONENTES PASIVOS (IZQUIERDA) CON LOS PARÁMETROS S DE UN FILTRO REALIZADO CON LÍNEAS DE TRANSMISIÓN (DERECHA). ..	62
ILUSTRACIÓN 62. FILTRO PASO BANDA DE LÍNEAS ACOPLADAS.	62
ILUSTRACIÓN 63. FILTRO PASO BANDA INTERDIGITAL.	63
ILUSTRACIÓN 64. FILTRO PASO BANDA HAIRPIN.	63
ILUSTRACIÓN 65. COEFICIENTES DEL FILTRO PASO BAJO CHEBYSHEV CON 0.5 dB DE RIZADO.	64
ILUSTRACIÓN 66. LAYOUT DEL FILTRO PASO BANDA PARA EL SEGUNDO ARMÓNICO.	67
ILUSTRACIÓN 67. PARÁMETROS S_{21} (GANANCIA) Y S_{11} (ADAPTACIÓN), DEL FILTRO PASO BANDA PARA EL SEGUNDO ARMÓNICO.	67
ILUSTRACIÓN 68. LAYOUT DEL FILTRO PASO BANDA PARA EL TERCER ARMÓNICO.	68
ILUSTRACIÓN 69. PARÁMETROS S_{21} (GANANCIA) Y S_{11} (ADAPTACIÓN), DEL FILTRO PASO BANDA PARA EL TERCER ARMÓNICO.	68
ILUSTRACIÓN 70. LAYOUT DEL FILTRO PASO BANDA PARA EL CUARTO ARMÓNICO.	69
ILUSTRACIÓN 71. PARÁMETROS S_{21} (GANANCIA) Y S_{11} (ADAPTACIÓN), DEL FILTRO PASO BANDA PARA EL CUARTO ARMÓNICO.	69
ILUSTRACIÓN 72. ESQUEMÁTICO CON EL PRIMER DISEÑO DEL MULTIPLICADOR $\times 2$, POLARIZACIÓN CON DOS FUENTES Y BOBINA.	70
ILUSTRACIÓN 73. POTENCIAS DE SALIDA DEL MULTIPLICADOR $\times 2$, EN LA VERSIÓN ESQUEMÁTICO CON DOS FUENTES DE ALIMENTACIÓN Y BOBINA.	71
ILUSTRACIÓN 74. ESQUEMÁTICO CON EL PRIMER DISEÑO DEL MULTIPLICADOR $\times 3$, POLARIZACIÓN CON DOS FUENTES Y BOBINA.	71
ILUSTRACIÓN 75. POTENCIAS DE SALIDA DEL MULTIPLICADOR $\times 3$, EN LA VERSIÓN ESQUEMÁTICO CON DOS FUENTES DE ALIMENTACIÓN Y BOBINA.	72
ILUSTRACIÓN 76. ESQUEMÁTICO CON EL PRIMER DISEÑO DEL MULTIPLICADOR $\times 4$, POLARIZACIÓN CON DOS FUENTES Y BOBINA.	72
ILUSTRACIÓN 77. POTENCIAS DE SALIDA DEL MULTIPLICADOR $\times 4$, EN LA VERSIÓN ESQUEMÁTICO CON DOS FUENTES DE ALIMENTACIÓN Y BOBINA.	73
ILUSTRACIÓN 78. ESQUEMÁTICO DEL MULTIPLICADOR $\times 2$ CON LÍNEAS, POLARIZACIÓN CON DOS FUENTES Y BOBINA.	74
ILUSTRACIÓN 79. POTENCIAS DE SALIDA DEL MULTIPLICADOR $\times 2$, EN LA VERSIÓN ESQUEMÁTICO CON LÍNEAS Y CON DOS FUENTES DE ALIMENTACIÓN Y BOBINA.	75
ILUSTRACIÓN 80. ESQUEMÁTICO DEL MULTIPLICADOR $\times 3$ CON LÍNEAS, POLARIZACIÓN CON DOS FUENTES Y BOBINA.	76
ILUSTRACIÓN 81. POTENCIAS DE SALIDA DEL MULTIPLICADOR $\times 3$, EN LA VERSIÓN ESQUEMÁTICO CON LÍNEAS Y CON DOS FUENTES DE ALIMENTACIÓN Y BOBINA.	77



ILUSTRACIÓN 82. ESQUEMÁTICO DEL MULTIPLICADOR x4 CON LÍNEAS, POLARIZACIÓN CON DOS FUENTES Y BOBINA.	78
ILUSTRACIÓN 83. POTENCIAS DE SALIDA DEL MULTIPLICADOR x4, EN LA VERSIÓN ESQUEMÁTICO CON LÍNEAS Y CON DOS FUENTES DE ALIMENTACIÓN Y BOBINA.	79
ILUSTRACIÓN 84. LAYOUT DEL MULTIPLICADOR x2, POLARIZACIÓN CON DOS FUENTES Y BOBINA.	81
ILUSTRACIÓN 85. POTENCIAS DE SALIDA DEL MULTIPLICADOR x2, EN LA VERSIÓN LAYOUT CON DOS FUENTES DE ALIMENTACIÓN Y BOBINA.	82
ILUSTRACIÓN 86. LAYOUT DEL MULTIPLICADOR x3, POLARIZACIÓN CON DOS FUENTES Y BOBINA.	83
ILUSTRACIÓN 87. POTENCIAS DE SALIDA DEL MULTIPLICADOR x3, EN LA VERSIÓN LAYOUT CON DOS FUENTES DE ALIMENTACIÓN Y BOBINA.	84
ILUSTRACIÓN 88. LAYOUT DEL MULTIPLICADOR x4, POLARIZACIÓN CON DOS FUENTES Y BOBINA.	85
ILUSTRACIÓN 89. POTENCIAS DE SALIDA DEL MULTIPLICADOR x4, EN LA VERSIÓN LAYOUT CON DOS FUENTES DE ALIMENTACIÓN Y BOBINA.	86
ILUSTRACIÓN 90. LAYOUT DEL MULTIPLICADOR x2, POLARIZACIÓN CON DOS FUENTES Y STUB RADIAL.	87
ILUSTRACIÓN 91. POTENCIAS DE SALIDA DEL MULTIPLICADOR x2, EN LA VERSIÓN LAYOUT CON DOS FUENTES DE ALIMENTACIÓN Y STUB RADIAL.	88
ILUSTRACIÓN 92. LAYOUT DEL MULTIPLICADOR x3, POLARIZACIÓN CON DOS FUENTES Y STUB RADIAL.	89
ILUSTRACIÓN 93. POTENCIAS DE SALIDA DEL MULTIPLICADOR x3, EN LA VERSIÓN LAYOUT CON DOS FUENTES DE ALIMENTACIÓN Y STUB RADIAL.	90
ILUSTRACIÓN 94. LAYOUT DEL MULTIPLICADOR x4, POLARIZACIÓN CON DOS FUENTES Y STUB RADIAL.	91
ILUSTRACIÓN 95. POTENCIAS DE SALIDA DEL MULTIPLICADOR x4, EN LA VERSIÓN LAYOUT CON DOS FUENTES DE ALIMENTACIÓN Y STUB RADIAL.	92
ILUSTRACIÓN 96. DISEÑO FINAL DEL LAYOUT DEL MULTIPLICADOR x2, POLARIZACIÓN CON UNA ÚNICA FUENTE Y STUB RADIAL.	94
ILUSTRACIÓN 97. POTENCIAS DE SALIDA DEL MULTIPLICADOR x2, EN LA VERSIÓN FINAL DE LAYOUT CON UNA ÚNICA FUENTE DE ALIMENTACIÓN Y STUB RADIAL.	95
ILUSTRACIÓN 98. DISEÑO FINAL DEL LAYOUT DEL MULTIPLICADOR x3, POLARIZACIÓN CON UNA ÚNICA FUENTE Y STUB RADIAL.	96
ILUSTRACIÓN 99. POTENCIAS DE SALIDA DEL MULTIPLICADOR x3, EN LA VERSIÓN FINAL DE LAYOUT CON UNA ÚNICA FUENTE DE ALIMENTACIÓN Y STUB RADIAL.	97
ILUSTRACIÓN 100. DISEÑO FINAL DEL LAYOUT DEL MULTIPLICADOR x4, POLARIZACIÓN CON UNA ÚNICA FUENTE Y STUB RADIAL.	98
ILUSTRACIÓN 101. POTENCIAS DE SALIDA DEL MULTIPLICADOR x4, EN LA VERSIÓN FINAL DE LAYOUT CON UNA ÚNICA FUENTE DE ALIMENTACIÓN Y STUB RADIAL.	99
ILUSTRACIÓN 102. PRUEBA DE TEMPERATURA: POTENCIAS DE SALIDA DEL MULTIPLICADOR x2, EN LA VERSIÓN FINAL DE LAYOUT, T = -30°C.	101
ILUSTRACIÓN 103. PRUEBA DE TEMPERATURA: POTENCIAS DE SALIDA DEL MULTIPLICADOR x2, EN LA VERSIÓN FINAL DE LAYOUT, T = 85°C.	101
ILUSTRACIÓN 104. PRUEBA DE TEMPERATURA: POTENCIAS DE SALIDA DEL MULTIPLICADOR x3, EN LA VERSIÓN FINAL DE LAYOUT, T = -30°C.	102
ILUSTRACIÓN 105. PRUEBA DE TEMPERATURA: POTENCIAS DE SALIDA DEL MULTIPLICADOR x3, EN LA VERSIÓN FINAL DE LAYOUT, T = 85°C.	102
ILUSTRACIÓN 106. PRUEBA DE TEMPERATURA: POTENCIAS DE SALIDA DEL MULTIPLICADOR x4, EN LA VERSIÓN FINAL DE LAYOUT, T = -30°C.	103
ILUSTRACIÓN 107. PRUEBA DE TEMPERATURA: POTENCIAS DE SALIDA DEL MULTIPLICADOR x4, EN LA VERSIÓN FINAL DE LAYOUT, T = 85°C.	103
ILUSTRACIÓN 108. EXCURSIONES DE TENSIÓN Y CORRIENTE EN LA BASE Y COLECTOR DEL MULTIPLICADOR x2, PARA LAS DISTINTAS FRECUENCIAS DE LA BANDA DE TRABAJO (4-6 GHz). A) VCEO, B) VEBO, C) IC, D) IB	105
ILUSTRACIÓN 109. EXCURSIÓN DE TENSIÓN DE COLECTOR VS CORRIENTE DE COLECTOR EN EL TIEMPO (AZUL), CURVAS I-V DEL TRANSISTOR (ROJO).	106
ILUSTRACIÓN 110. EXCURSIONES DE TENSIÓN Y CORRIENTE EN LA BASE Y COLECTOR DEL MULTIPLICADOR x3, PARA LAS DISTINTAS FRECUENCIAS DE LA BANDA DE TRABAJO (7-8 GHz). A) VCEO, B) VEBO, C) IC, D) IB	107
ILUSTRACIÓN 111. EXCURSIONES DE TENSIÓN Y CORRIENTE EN LA BASE Y COLECTOR DEL MULTIPLICADOR x4, PARA LAS DISTINTAS FRECUENCIAS DE LA BANDA DE TRABAJO (10-12.8 GHz). A) VCEO, B) VEBO, C) IC, D) IB	108



ILUSTRACIÓN 112. CONSUMO EN FUNCIÓN DE LA FRECUENCIA DE ENTRADA PARA EL MULTIPLICADOR X2.....	108
ILUSTRACIÓN 113. CONSUMO EN FUNCIÓN DE LA FRECUENCIA DE ENTRADA PARA EL MULTIPLICADOR X3.....	109
ILUSTRACIÓN 114. CONSUMO EN FUNCIÓN DE LA FRECUENCIA DE ENTRADA PARA EL MULTIPLICADOR X4.....	109
ILUSTRACIÓN 115. DISEÑO DEL BUFFER PARA LOS MULTIPLICADORES X2 Y X3.....	110
ILUSTRACIÓN 116. PRUEBA BUFFER: POTENCIAS DE SALIDA PARA EL MULTIPLICADOR X2.	110
ILUSTRACIÓN 117. PRUEBA BUFFER: POTENCIAS DE SALIDA PARA EL MULTIPLICADOR X3.	111
ILUSTRACIÓN 118. DISEÑO DEL BUFFER PARA EL MULTIPLICADOR X4.	111
ILUSTRACIÓN 119. PRUEBA BUFFER: POTENCIAS DE SALIDA PARA EL MULTIPLICADOR X4.	112
ILUSTRACIÓN 120. MAQUETA PARA EL MULTIPLICADOR X2 Y X3, EN CAJA DE 40x40 MM.	113
ILUSTRACIÓN 121. CIRCUITOS DEL MULTIPLICADOR X2 Y X3, TRAS LA FABRICACIÓN Y EL MONTAJE DE LOS COMPONENTES.	115
ILUSTRACIÓN 122. MAQUETA PARA EL MULTIPLICADOR X2 Y X4, EN CAJA DE 40x40 MM.	115
ILUSTRACIÓN 123. CIRCUITOS DEL MULTIPLICADOR X2 Y X4, TRAS LA FABRICACIÓN Y EL MONTAJE DE LOS COMPONENTES.	116
ILUSTRACIÓN 124. PUESTO DE MEDIDAS COMPUESTO POR: 1) OSCILOSCOPIO, 2) GENERADOR DE SEÑAL, 3) ANALIZADOR DE ESPECTRO, 4) FUENTE DE ALIMENTACIÓN.....	117
ILUSTRACIÓN 125. MULTIPLICADOR X2: COMPARACIÓN GRÁFICA DE POTENCIAS DE SALIDA DE SIMULACIÓN (IZQUIERDA) Y MEDIDA (DERECHA).	117
ILUSTRACIÓN 126. MULTIPLICADOR X2: COMPARACIÓN DE LA EXCURSIÓN DE TENSIÓN EN BASE ENTRE SIMULACIÓN (IZQUIERDA), Y MEDIDA (DERECHA).....	119
ILUSTRACIÓN 127. MULTIPLICADOR X3: COMPARACIÓN GRÁFICA DE POTENCIAS DE SALIDA DE SIMULACIÓN (IZQUIERDA) Y MEDIDA (DERECHA).	119
ILUSTRACIÓN 128. MULTIPLICADOR X3: COMPARACIÓN DE LA EXCURSIÓN DE TENSIÓN EN BASE ENTRE SIMULACIÓN (IZQUIERDA), Y MEDIDA (DERECHA).....	120
ILUSTRACIÓN 129. MULTIPLICADOR X4: COMPARACIÓN GRÁFICA DE POTENCIAS DE SALIDA DE SIMULACIÓN (IZQUIERDA) Y MEDIDA (DERECHA).	121
ILUSTRACIÓN 130. MULTIPLICADOR X4: COMPARACIÓN DE LA EXCURSIÓN DE TENSIÓN EN BASE ENTRE SIMULACIÓN (IZQUIERDA), Y MEDIDA (DERECHA).....	122



Índice de tablas

TABLA 1. PUNTO DE TRABAJO ÓPTIMO (MULTIPLICADOR X2).....	46
TABLA 2. PUNTO DE TRABAJO ÓPTIMO SIN EXCEDER CONSUMO (MULTIPLICADOR X2).....	46
TABLA 3. PUNTO DE TRABAJO ÓPTIMO CUMPLIENDO CON LOS MAXIMUM RATINGS (MULTIPLICADOR X2).....	46
TABLA 4. PUNTO DE TRABAJO ÓPTIMO (MULTIPLICADOR X3).....	47
TABLA 5. PUNTO DE TRABAJO ÓPTIMO CUMPLIENDO CON LOS MAXIMUM RATINGS (MULTIPLICADOR X3).....	47
TABLA 6. PUNTO DE TRABAJO ÓPTIMO CUMPLIENDO (MULTIPLICADOR X4).	48
TABLA 7. MAXIMUM RATINGS DEL TRANSISTOR EN ESPACIO, APLICANDO LA LIMITACIÓN DEL 50%.	104
TABLA 8. LISTADO DE COMPONENTES PARA EL MULTIPLICADOR X2	114
TABLA 9. LISTADO DE COMPONENTES PARA EL MULTIPLICADOR X3.	114
TABLA 10. LISTADO DE COMPONENTES PARA EL MULTIPLICADOR X4.	116
TABLA 11. MULTIPLICADOR X2: COMPARACIÓN DE POTENCIAS DE SALIDA DE SIMULACIÓN (ARRIBA) Y MEDIDA (ABAJO).	118
TABLA 12. MULTIPLICADOR X3: COMPARACIÓN DE POTENCIAS DE SALIDA DE SIMULACIÓN (ARRIBA) Y MEDIDA (ABAJO).	120
TABLA 13. MULTIPLICADOR X4: COMPARACIÓN DE POTENCIAS DE SALIDA DE SIMULACIÓN (ARRIBA) Y MEDIDA (ABAJO).	121



Capítulo 1

1.1 Introducción

En este proyecto se ha realizado el diseño y análisis de tres multiplicadores de frecuencia, cada uno de ellos centrado en la generación de un armónico en particular (segundo, tercero, y cuarto). Estos multiplicadores se utilizarán en la elaboración de dos Up/Down Converters, uno de ellos para pasar de banda S a banda C, y el otro para pasar de banda S a banda X.

Un multiplicador de frecuencia es un circuito electrónico que genera una señal cuya frecuencia es un armónico de la señal de entrada. Los multiplicadores de frecuencia se basan en un circuito no lineal, el cual distorsiona la señal de entrada y, por lo tanto, genera armónicos de dicha señal. Posteriormente un filtro paso banda selecciona el armónico deseado y elimina el fundamental y otros armónicos indeseados.

Los multiplicadores de frecuencia se usan frecuentemente en sintetizadores de frecuencia y en circuitos de comunicaciones, ya que muchas veces es más barato generar señales a bajas frecuencias, con menos potencia y dispositivos más baratos, y posteriormente usar un multiplicador de frecuencia para aumentar la frecuencia.

Otra ventaja de los multiplicadores de frecuencia es que, si su ganancia de conversión es elevada, se podría omitir el amplificador, ya que el propio multiplicador ampliaría el nivel de potencia de la señal.



1.2 Descripción del proyecto

La estructura de este trabajo de fin de master es la siguiente:

En el Capítulo 1 se realiza una breve introducción al proyecto y a los objetivos del mismo, también se expone el estado del arte en cuanto a diseño de multiplicadores de frecuencia. Por último, se realiza una introducción teórica a los convertidores de frecuencia, además se presenta el diagrama de bloques del Up/Down Converter utilizado en este proyecto.

En el Capítulo 2 se realiza una introducción a los multiplicadores de frecuencia, así como una explicación de las técnicas de diseño más comunes en la realización de estos dispositivos.

En el Capítulo 3 se realiza una breve introducción a la herramienta de simulación empleada en el proyecto, posteriormente se explicará el proceso de diseño de los distintos multiplicadores, dando especial importancia a la elección del punto de trabajo, caracterización del transistor, diseño de las redes de adaptación y de polarización y diseño de los filtros paso banda. Por último, en este capítulo se presentan los resultados de simulación, así como el diseño final.

En el Capítulo 4 se presentan los resultados de medida de los distintos diseños de multiplicador realizados en el capítulo anterior, dichos resultados se comparan con los resultados de simulación.

En el Capítulo 5 se realiza una recopilación de los resultados del proyecto, se exponen las conclusiones extraídas de la realización del mismo y las líneas futuras de trabajo.



1.3 Propuesta del proyecto

Como se dijo en la introducción los multiplicadores diseñados forman parte de un proyecto más amplio que consiste en el diseño de dos convertidores up/down, este proyecto se ha realizado para la empresa Thales Alenia Space, con lo que los diseños seguirán unas restricciones de la empresa que se comentarán posteriormente. Los convertidores se encargarán de cambiar entre banda S y banda C, y entre banda S y banda X, respectivamente.

Un convertidor de frecuencia se usa para crear nuevas frecuencias mediante la mezcla de dos frecuencias. Este tipo de dispositivo es usado para pasar de una banda de frecuencias a otra nueva banda de frecuencias, además pueden incluir los procesos de modulación y demodulación. Normalmente las dos frecuencias se combinan mediante un dispositivo no lineal denominado mezclador. En la mayor parte de los casos las dos frecuencias f_1 y f_2 son mezcladas, creando dos nuevas señales, la suma $f_1 + f_2$, y la diferencia $f_1 - f_2$, entre otras. Típicamente se desea una de estas señales, por lo que es necesario el uso de filtros para eliminar la señal indeseada.

Los multiplicadores diseñados en este proyecto jugarán un papel importante en estos convertidores, permitiendo generar una señal de OL a una frecuencia más baja, lo que abarata de forma importante el coste, ya que los dispositivos utilizados para la generación de señales a bajas frecuencias y potencias son más baratos. Posteriormente, se usa un multiplicador de frecuencia para aumentar la frecuencia y la potencia de la señal.

1.3.1 Diagrama de bloques del convertidor

El diagrama de bloques de los convertidores de los que forman parte los multiplicadores a diseñar en este trabajo se muestra en la Ilustración 1.

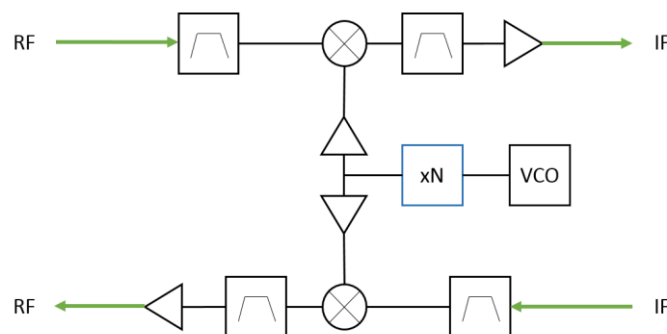


Ilustración 1. Diagrama de bloques de los convertidores en los que se utilizan los multiplicadores diseñados (azul).



La señal de OL producida por el VCO (Oscilador controlado por tensión) pertenece a la banda S, en función del multiplicador que se utilice, $\times 2$, $\times 3$ o $\times 4$, el convertidor pasará de banda S a banda C, a la zona baja de banda X, o a la zona alta de banda X, respectivamente.

1.3.2 Bandas de trabajo

Todas las bandas de las que se van a hablar en este trabajo pertenecen a la banda de microondas del espectro electromagnético. En la Ilustración 2 se muestran las letras con las que se denominan cada porción de frecuencia dentro de la banda de microondas.

TABLE 1: MICROWAVE LETTER BAND DESIGNATIONS		
Band	Frequency range	Applications
L	1 to 2 GHz	Satellite, navigation (GPS, etc.), cellular phones
S	2 to 4 GHz	Satellite, SiriusXM radio, unlicensed (Wi-Fi, Bluetooth, etc.), cellular phones
C	4 to 8 GHz	Satellite, microwave relay
X	8 to 12 GHz	Radar
K_u	12 to 18 GHz	Satellite TV, police radar
K	18 to 26.5 GHz	Microwave backhaul
K_a	26.5 to 40 GHz	Microwave backhaul
Q	30 to 50 GHz	Microwave backhaul
U	40 to 60 GHz	Experimental, radar
V	50 to 75 GHz	New WLAN, 802.11ad/WiGig
E	60 to 90 GHz	Microwave backhaul
W	75 to 110 GHz	Automotive radar
F	90 to 140 GHz	Experimental, radar
D	110 to 170 GHz	Experimental, radar

Ilustración 2. Bandas de microondas.

La **banda S** está definida como las frecuencias del espectro radioeléctrico comprendidas entre 2 y 4 GHz [10].

Esta banda es usada comúnmente en radares meteorológicos, y en algunos satélites de comunicaciones, especialmente los usados por la NASA para comunicarse con el transbordador espacial y la Estación Espacial Internacional.

En Estados Unidos, la Comisión Federal de Comunicaciones (FCC) aprobó el servicio de radio de audio digital (DARS) en la banda de 2.31 a 2.36 GHz, dicho servicio es utilizado actualmente por Sirius XM Radio. También se ha aprobado la creación de redes de servicio móvil por satélite (MSS) en la banda entre 2 y 2.2 GHz.



Las empresas Inmarsat y Solaris Mobile recibieron en 2009 una porción de la banda S por la Comisión Europea, las frecuencias asignadas son de 1.98 a 2.01 GHz para las comunicaciones tierra-espacio y de 2.17 a 2.2 GHz para las comunicaciones espacio-tierra. El satélite Eutelsat W2A es actualmente el único satélite en Europa que opera con frecuencias de banda S.

En algunos países, la banda S se utiliza para la televisión por satélite Direct-to-home.

La **banda C** es definida como el rango de frecuencias del espectro radioeléctrico comprendidas entre 4 y 8 GHz [11].

Esta banda se utiliza para comunicaciones por satélite, dispositivos wifi, telefonía inalámbrica, y algunos sistemas radar meteorológicos. Esta fue la primera banda de frecuencias utilizada para transmisiones comerciales de telecomunicaciones vía satélite. Prácticamente todos los satélites de comunicaciones en banda C se encuentran en el rango de frecuencias entre 3.7 y 4.2 GHz para downlink, y entre 5.925 y 6.425 GHz para uplink.

Debido a que el diámetro de la antena es proporcional a la longitud de onda de la onda que recibe, las antenas en banda C son mayores que en banda Ku. Comparado con banda Ku, la banda C es más confiable bajo condiciones adversas como la lluvia o el granizo, sin embargo, la banda C está más congestionada y es más vulnerable hacia interferencia terrestre.

Por último, la **banda X** es definida como el rango de frecuencias del espectro radioeléctrico comprendidas entre 8 y 12 GHz [12]. Sin embargo, en aplicaciones de comunicaciones el rango varía y se sitúa de 7 a 11.2 GHz.

Esta banda es usada principalmente en aplicaciones radar, comunicaciones por satélite, y redes inalámbricas.

1.4 Estado del arte

En la actualidad se siguen probando nuevas técnicas para el diseño de multiplicadores, el objetivo de estas nuevas técnicas es mejorar el rendimiento, la eficiencia y el rango de los multiplicadores.

Fudem y Niehenke [1] presentan una técnica para el diseño de multiplicadores de frecuencia utilizando formas de onda de corriente recortadas a la salida. En esta técnica la entrada de un transistor PHEMT es polarizada entre la tensión de pinch-off y la tensión de conducción del diodo de puerta-fuente. Cuando la magnitud de la señal de entrada aumenta lo suficiente, el voltaje de puerta-fuente oscila por debajo de pinch-off y por encima de la tensión de conducción. El transistor



se corta cuando la tensión puerta-fuente oscila por debajo de pinchoff, y se satura cuando la tensión puerta-fuente oscila por encima de la tensión de conducción. La correspondiente señal a la salida es una senoide recortada. Un análisis de Fourier de esta forma de onda revela que tiene un gran contenido de armónicos pares, y que no tiene contenido de armónicos impares.

Hawal Rashid [2] presenta el análisis, diseño, y caracterización del primer multiplicador de frecuencia utilizando uniones superconductor-aislante-superconductor (SIS). Deriva expresiones analíticas que describen las propiedades de la unión SIS como multiplicador de frecuencia. El modelado de las uniones SIS muestra que se puede lograr una alta eficiencia de conversión cuando éstas son usadas como multiplicadores de frecuencia. Estos resultados muestran que los multiplicadores de frecuencia basados en uniones SIS pueden ser útiles en una fuente OL de receptores de bajo ruido.

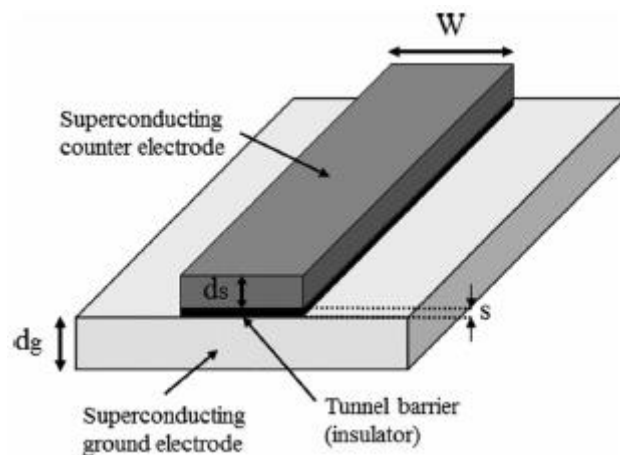


Ilustración 3. Topología de la unión SIS.

O’Ciardha [3] presenta una técnica de diseño generalizada para calcular el contenido armónico de salida para una tensión de alimentación y de señal arbitraria. Esta técnica llevó al descubrimiento de varias combinaciones de la señal de entrada con la polarización para mejorar los niveles de corriente de salida del segundo y tercer armónico.

Otros trabajos expanden la técnica presentada por O’Ciardha incluyendo voltajes de salida, y explorando los efectos de la elección de la carga de salida del transistor. Camargo [4] analiza una configuración de multiplicador de frecuencia usando una carga R_L con un filtro LC paralelo. Camargo realiza un análisis de la variación de la resistencia de carga R_L , y describe el efecto esperado en las formas de onda de la corriente y voltaje de salida. Este análisis define la elección óptima de carga para un armónico dado nf_0 .



Múltiples técnicas amplían aún más la técnica de diseño de O’Ciardha, considerando no solo la carga presentada al armónico deseado, sino las cargas presentadas a la entrada y salida del transistor para varios armónicos. Rauscher [5] utiliza un transistor FET GaAs para el diseño de un multiplicador de frecuencia con una polarización de puerta cercana a pinchoff. A la entrada del dispositivo se presenta una carga reactiva al segundo armónico, mientras que a la salida se presenta una impedancia reactiva variable a la frecuencia del fundamental. Estas reactivancias se ajustan para maximizar la ganancia de conversión del segundo armónico.

Jae-Sun Kim [6] propone un multiplicador de frecuencia x8 de banda V para sistemas de comunicación inalámbrica usando tecnología CMOS. Este multiplicador consiste en tres etapas de amplificación, y otras tres etapas de dobladores de frecuencia. El multiplicador x8 está optimizado, tiene un bajo consumo de potencia, alta pureza espectral, y un tamaño reducido. Ocupa un área de $1.32 \times 0.7 \text{ mm}^2$, y consigue una potencia máxima de salida de -1.8 dBm con una potencia de entrada de -24 dBm en el rango de frecuencia de 46.4 a 52 GHz. El consumo es de 55 mA con una alimentación de 1 V. Los distintos armónicos tienen una supresión de 37.6 dBc en el rango de frecuencias de 46.4-52 GHz.

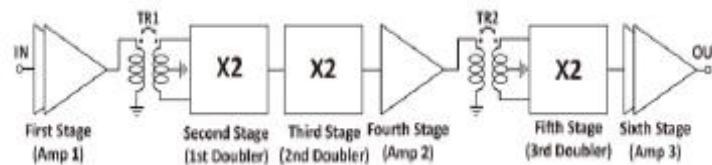


Ilustración 4. Diagrama de bloques del multiplicador de frecuencia x8.

Beaulieu [7] utiliza un transistor HBT para el diseño práctico de un triplicador de frecuencia. El diseño utiliza una adaptación a la frecuencia del fundamental en la entrada del transistor. Adicionalmente, el circuito de entrada tiene una respuesta de tipo paso bajo la cual suprime los armónicos de orden superior. En la salida del dispositivo se diseña un circuito de adaptación de impedancias para adaptar la impedancia de salida del transistor a $3f_0$. El circuito de salida tiene una respuesta de tipo paso alto la cual suprime las frecuencias del fundamental y del segundo armónico.

Thomas [8] utiliza y expande las técnicas presentadas anteriormente y presenta una nueva técnica de diseño unificada. Esta técnica consiste en varios pasos para el desarrollo de un multiplicador de frecuencia. El primer paso es seleccionar un dispositivo basándose en sus características, y posteriormente desarrollar un modelo preciso del dispositivo. El segundo paso es elegir el punto óptimo de polarización y los niveles de potencia de entrada. El tercer paso es desarrollar respuestas para las redes de entrada y salida. Esto consiste en simular el modelo del dispositivo con varias combinaciones de cargas de entrada y salida para encontrar la configuración de red óptima. El cuarto paso es realizar los diseños



óptimos de las redes de entrada y salida para conseguir las impedancias del paso anterior.

También están apareciendo nuevas aplicaciones para los multiplicadores de frecuencia, Wardah Inam [9] presenta una técnica de multiplicador de frecuencia variable (VFX) que permite el diseño de convertidores para un amplio rango de voltajes de entrada y/o salida, preservando una alta eficiencia. Esta técnica se aplica a convertidores LLC para demostrar su efectividad teniendo una amplia variación de voltaje a la entrada, como por ejemplo fuentes de alimentación de entrada universales. Esta técnica comprime el rango de operación efectivo requerido de un convertidor resonante cambiando la operación inversora y/o rectificadora entre la energía de procesado a la frecuencia del fundamental, y a una o más frecuencias armónicas. El prototipo diseñado alcanza una eficiencia de 94.9%-96.6% a lo largo de todo el rango de voltaje de entrada con 50 W de potencia a la salida, y 86%-95.4% a través de un rango de potencia 10:1 con 170 V de entrada. Por lo tanto, la técnica VFX puede ser de útil para obtener eficiencias altas en amplios rangos de operación.

En este trabajo se va a aplicar un proceso similar al descrito por Thomas [8], en el que se parte directamente del segundo paso ya que el dispositivo está prefijado, y únicamente tenemos que encontrar un modelo de dicho dispositivo. Posteriormente se elige el punto de trabajo óptimo y los niveles de potencia de entrada, y por último se desarrollan las redes de entrada y/o salida necesarias. A dicho desarrollo propuesto por Thomas, se añade el diseño de un filtro paso banda que, colocado a la salida, selecciona la banda de frecuencias del armónico deseado.



Capítulo 2

2.1 Fundamentos teóricos de multiplicadores de frecuencia

A medida que aumenta la frecuencia en el rango de onda milimétrica es más difícil construir osciladores a la frecuencia del fundamental con una buena potencia de salida, estabilidad, y características de ruido [13]. Una alternativa es generar un armónico de una frecuencia baja de oscilador mediante el uso de un multiplicador de frecuencia. Un elemento no lineal puede generar muchos armónicos de una señal de entrada, por lo que los multiplicadores de frecuencia suelen contener en sus circuitos elementos no lineales como diodos y transistores. El diseño de un multiplicador de frecuencia de alta calidad es una tarea difícil que requiere generalmente de análisis no lineales, adaptación a múltiples frecuencias, análisis de estabilidad, y consideraciones térmicas. Se discutirán algunos de los principios y propiedades de los multiplicadores de frecuencia con diodos y transistores.

Los multiplicadores de frecuencia pueden ser categorizados como multiplicadores con diodo reactivo, multiplicadores con diodo resistivo, multiplicadores con transistor. Un multiplicador con diodo reactivo puede usar tanto un varactor como un diodo de recuperación de paso (SRD) polarizado para presentar una capacidad de unión no lineal. Debido a las bajas pérdidas de estos diodos, las eficiencias de conversión (fracción de la potencia de entrada de RF que



es traspasada al armónico deseado) pueden ser relativamente altas. De hecho, un multiplicador reactivo ideal puede conseguir una eficiencia de conversión teórica del 100%.

Los multiplicadores con varactores son más útiles para conversiones a armónicos bajos (factores de multiplicación entre 2 y 4), mientras que los multiplicadores con diodos de recuperación de paso (SRD) permiten generar más potencia a armónicos elevados.

Los multiplicadores resistivos explotan la no linealidad de la característica I-V de un diodo Schottky polarizado en directa. Estos multiplicadores resistivos tienen eficiencias de conversión que decrecen como el cuadrado del número del armónico deseado, por lo que estos multiplicadores se utilizan únicamente con factores de multiplicación bajos.

Los multiplicadores con transistor pueden usar tanto dispositivos bipolares como FET, y pueden proporcionar ganancia de conversión. Este tipo de multiplicadores están limitados por su frecuencia de corte, por lo que no son útiles a frecuencias muy altas.

Una desventaja de los multiplicadores de frecuencia es que los niveles de ruido se incrementan con el factor de multiplicación. Esto es debido a que la multiplicación de frecuencia es realmente un proceso de multiplicación de fase, por lo que las variaciones del ruido de fase son multiplicadas de la misma manera que la frecuencia. El incremento del nivel de ruido sigue la expresión de la Ecuación 1 [13].

$$\text{Noise Level} = 20 \log n$$

Ecuación 1

Donde n es el factor de multiplicación. De esta manera, un doblador de frecuencia incrementará el nivel de ruido fundamental del oscilador al menos 6 dB, mientras que un triplicador de frecuencia incrementará el nivel de ruido unos 9.5 dB. Los multiplicadores con diodo reactivo típicamente añaden poco ruido adicional, ya que los varactores y los diodos de recuperación de paso tienen unas resistencias serie muy bajas, sin embargo, los multiplicadores con diodo resistivo pueden generar un nivel de ruido adicional importante.



2.1.1 Multiplicador con diodo reactivo

Las relaciones de Manley-Rowe son el resultado de un análisis general de la conservación de potencia asociada a la conversión de frecuencia en elementos reactivos no lineales [13].

La forma común de las relaciones de Manley-Rowe [13] se muestra en la Ecuación 2 y la Ecuación 3.

$$\sum_{n=0}^{\infty} \sum_{m=-\infty}^{\infty} \frac{n P_{nm}}{n \omega_1 + m \omega_2} = 0$$

Ecuación 2

$$\sum_{n=-\infty}^{\infty} \sum_{m=0}^{\infty} \frac{m P_{nm}}{n \omega_1 + m \omega_2} = 0$$

Ecuación 3

Las relaciones de Manley-Rowe expresan la conservación de potencia para cualquier reactancia no lineal sin pérdidas, y puede ser útil en generación de armónicos, amplificadores paramétricos, y conversores de frecuencia en RF, microondas, y en frecuencias ópticas para predecir la máxima ganancia en potencia y la eficiencia de conversión.

Los multiplicadores de frecuencia reactivos suponen un caso especial de las relaciones de Manley-Rowe debido al uso de una única fuente. Si asumimos una fuente de frecuencia ω_1 , ajustamos $m = 0$ en la Ecuación 2 y obtenemos lo siguiente.

$$\sum_{n=2}^{\infty} P_{n0} = -P_{10}$$

Ecuación 4

Donde P_{n0} representa la potencia asociada al armónico n (el término de DC para $n = 0$ es cero). En la práctica, $P_{10} > 0$ ya que representa la potencia entregada a la carga, mientras que el sumatorio de la Ecuación 4 representa la potencia total contenida en todos los armónicos, tanto los de la señal de entrada, como los



generados por el condensador no lineal. Si todos los armónicos menos el n tienen terminaciones con cargas reactivas sin pérdidas, el balance de potencia de la Ecuación 4 se reduce a la siguiente expresión.

$$\left| \frac{P_{n0}}{P_{10}} \right| = 1$$

Ecuación 5

Indicando que es teóricamente posible conseguir una eficiencia de conversión del 100% para cualquier armónico. Por supuesto, en la práctica, las pérdidas en el diodo y en las redes de adaptación contribuyen a reducir sustancialmente la eficiencia.

En la Ilustración 5 se muestra un diagrama de bloques de un multiplicador de frecuencia con diodo. La señal de entrada de frecuencia f_0 es aplicada al diodo, el cual está terminado con cargas reactivas a todas las frecuencias excepto a la del armónico deseado nf_0 . Si la capacidad de la unión del diodo tiene una característica I-V cuadrática, es necesario terminar las frecuencias de los armónicos indeseados en cortocircuitos si se pretende generar armónicos mayores al segundo. Esto es debido a que los voltajes en los armónicos altos pueden no ser generados a menos que haya corrientes en los armónicos bajos. Por ejemplo, un triplicador con varactor requerirá generalmente terminaciones para permitir estas corrientes a $2f_0$.

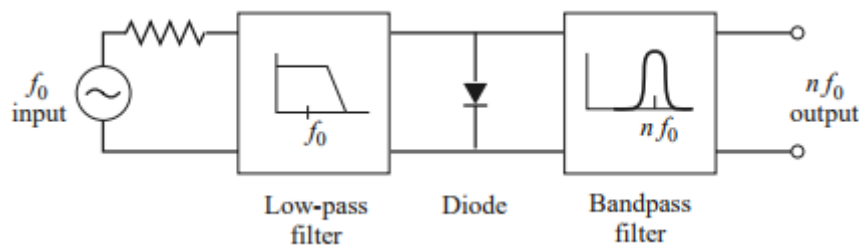


Ilustración 5. Diagrama de bloques de un multiplicador de frecuencia con diodo.

Las eficiencias de conversión típicas en multiplicadores con varactor están entre 50 y 80%, para dobladores y triplicadores a 50 GHz. El límite de frecuencia superior es controlado principalmente por la frecuencia de corte del diodo f_c , la cual depende de la resistencia serie y de la capacidad de la unión. Las frecuencias de corte típicas de un varactor pueden sobrepasar los 1000 GHz, sin embargo, los multiplicadores de frecuencia eficientes requieren que $nf_0 \ll f_c$.



2.1.2 Multiplicador con diodo resistivo

Los multiplicadores resistivos generalmente usan diodos de barrera Schottky polarizados en directa para proporcionar una característica I-V no lineal [13]. Este tipo de multiplicadores son menos populares que los multiplicadores reactivos ya que tienen una menor eficiencia, especialmente para armónicos altos. Sin embargo, los multiplicadores resistivos ofrecen mejores anchos de banda, y una operación más estable que los multiplicadores reactivos. Además, a frecuencias altas de onda milimétrica incluso el mejor varactor comienza a mostrar propiedades resistivas. Las relaciones de Manley-Rowe no se aplican estrictamente debido a que los multiplicadores de frecuencia resistivos tienen pérdidas. Sin embargo, se puede obtener un conjunto similar de relaciones para una resistencia no lineal, y demostrar un resultado importante para la conversión de frecuencia usando resistencias no lineales.

Realizando el mismo análisis que en el apartado anterior, pero teniendo en cuenta una única fuente de frecuencia se obtiene la Ecuación 6.

$$\begin{aligned}\sum_{m=-\infty}^{\infty} m^2 V_m I_m^* &= \frac{1}{2\pi\omega} \int_{t=0}^T \frac{\partial i}{\partial v} \left(\frac{\partial v(t)}{\partial t} \right)^2 dt = \sum_{m=0}^{\infty} m^2 (V_m I_m^* + V_m^* I_m) \\ &= \sum_{m=0}^{\infty} m^2 P_m\end{aligned}$$

Ecuación 6

Para resistencias no lineales positivas (curva I-V con pendiente siempre positiva), la integral de la Ecuación 6 será siempre positiva. Por lo que la Ecuación 6 queda reducida a la siguiente expresión.

$$\sum_{m=0}^{\infty} m^2 P_m \geq 0$$

Ecuación 7

Si todos los armónicos son terminados en cargas reactivas excepto para ω (frecuencia del fundamental) y $m\omega$ (armónico deseado), entonces la Ecuación 7 puede ser reducida a $P_1 + m^2 P_m > 0$. La potencia $P_1 > 0$ es entregada por la fuente, mientras que la potencia $P_m < 0$ representa la potencia del armónico suministrada por el dispositivo. La eficiencia de conversión máxima es dada por la siguiente expresión.



$$\left| \frac{P_m}{P_1} \right| \leq \frac{1}{m^2}$$

Ecuación 8

Este resultado indica que la eficiencia de un multiplicador de frecuencia resistivo disminuye como el cuadrado del factor de multiplicación.

El rendimiento de los multiplicadores de frecuencias con diodo puede ser mejorado usando dos diodos en una configuración balanceada. Esto puede llevar a un aumento de la potencia de salida, una mejora de las impedancias de entrada, y un rechazo de ciertos armónicos (pares o impares). Dos diodos pueden ser alimentados usando un híbrido en cuadratura, y configurados en una disposición antiparalela. La configuración antiparalela rechazará todos los armónicos pares de la frecuencia de entrada.

2.1.3 Multiplicador con transistor

Comparado con los multiplicadores de frecuencia con diodo, los multiplicadores con transistor ofrecen un mejor ancho de banda y la posibilidad de eficiencias de conversión por encima del 100% (ganancia de conversión). Los multiplicadores con transistor de tipo FET requieren menos potencia de entrada y de DC que los multiplicadores con diodos [13]. En el pasado, antes de que los amplificadores de estado sólido estuvieran disponibles a frecuencias de onda milimétrica, los multiplicadores de alta potencia con diodo eran los encargados de generar potencia a frecuencias de onda milimétrica. Hoy en día, sin embargo, es posible generar la frecuencia requerida a baja potencia, para después amplificarla hasta llegar al nivel de potencia deseado. Esto mejora la eficiencia, reduce los requerimientos de potencia de DC, y permite optimizar por separado la generación de señal y las funciones de amplificación. Los multiplicadores con transistor son adecuados para esta aplicación.

Existen muchas no linealidades en un FET que pueden ser usadas para la generación de armónicos: la transconductancia cercana a pinch-off, la conductancia de salida cercana a pinch-off, las propiedades de rectificación en la puerta del transistor, y las capacidades de tipo varactor en puerta y drenador. Para la operación de doblar de frecuencia, lo más útil es la propiedad de rectificación, donde el FET es polarizado para conducir únicamente durante la mitad positiva de la forma de onda de la señal de entrada. Esto resulta en un modo de operación similar a un amplificador de clase B, y proporciona un circuito multiplicador que es útil para potencias de salida bajas (típicamente inferiores a 10 dBm) a frecuencias de entre 60 y 100 GHz. Los transistores bipolares pueden ser utilizados también para la multiplicación de frecuencia, con la capacidad de la unión colector-base proporcionando la no linealidad necesaria.



El circuito básico de un multiplicador de frecuencia FET de clase B se muestra en Ilustración 6. Se asume un dispositivo unilateral para simplificar el análisis. La fuente es un generador de frecuencia ω_0 , con periodo $T = 2\pi/\omega_0$, y adaptada al FET con la impedancia de fuente $R_s + jX_s$. El drenador del FET está terminado con una impedancia de carga $R_L + jX_L$, la cual es elegida para formar un resonador RLC paralelo con C_{ds} a la frecuencia del armónico deseado, $n\omega_0$. La puerta está polarizada con un voltaje DC de $V_{gg} < 0$, mientras que el drenador es polarizado con $V_{dd} > 0$.

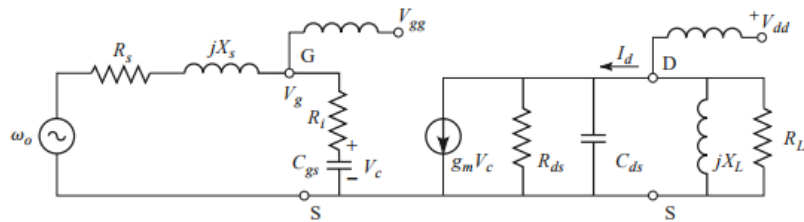


Ilustración 6. Diagrama de circuito de un multiplicador de frecuencia FET.

La operación del multiplicador FET puede ser entendida con la ayuda de las formas de ondas mostradas en la Ilustración 7. Como se muestra en la Ilustración 7a, el FET está polarizado por debajo de V_t , por lo que el transistor no conduce hasta que el voltaje de puerta sobrepase V_t . La corriente de drenador resultante se muestra en la Ilustración 7b, esta corriente tiene una forma similar a una versión rectificadora de media onda del voltaje de puerta. Esta forma de onda es rica en armónicos, por lo que el resonador de drenador puede ser diseñado para presentar un cortocircuito a las frecuencias del fundamental y de los armónicos indeseados, y un circuito abierto a la frecuencia del armónico deseado. El voltaje de drenador resultante para $n = 2$ se muestra en la Ilustración 7c.

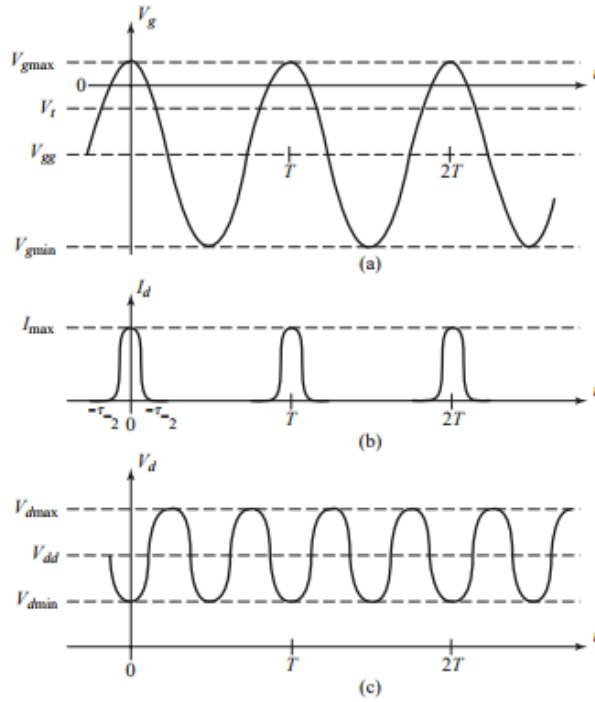


Ilustración 7. Voltajes y corrientes del circuito multiplicador FET (doblador) de la Ilustración 6.

(a) Voltaje de puerta cuando el transistor está polarizado por debajo de pinch-off. (b) Corriente de drenador, la cual conduce cuando el voltaje de puerta está por encima del threshold. (c) Voltaje de drenador cuando el resonador de carga está sintonizado al segundo armónico.

Podemos hacer un análisis aproximado del multiplicador FET representando la corriente de drenador en términos de una serie de Fourier. Si asumimos que la forma de onda de la corriente de drenador es una función medio coseno (Ecuación 9).

$$i_d(t) = \begin{cases} I_{max} \cos \frac{\pi t}{\tau} & \text{for } |t| < \tau/2 \\ 0 & \text{for } \frac{\tau}{2} < |t| < T/2 \end{cases}$$

Ecuación 9

Donde τ es la duración del pulso de corriente de drenador, podemos encontrar la serie de Fourier de la siguiente forma.



$$i_d(t) = \sum_{n=0}^{\infty} I_n \cos \frac{2\pi n t}{T}$$

Ecuación 10

Siendo los coeficientes de la serie los siguientes.

$$I_0 = I_{max} \frac{2\tau}{\pi T}$$

Ecuación 11

$$I_n = I_{max} \frac{4\tau}{\pi T} \frac{\cos(n\pi\tau/T)}{1 - (2n\tau/T)^2} \quad \text{for } n > 0$$

Ecuación 12

El coeficiente I_n representa la corriente de drenador del armónico de frecuencia $n\omega_0$, con lo que maximizar la eficiencia del multiplicador involucra maximizar I_n . Debido a que el máximo valor de I_n decrece con n , los circuitos de este tipo están generalmente limitados a dobladores o triplicadores de frecuencia. Para un valor dado de n , el valor máximo de I_n/I_{max} depende de la relación τ/T : para $n = 2$ la relación óptima es de $\tau/T = 0.35$, mientras que para $n = 3$ la relación óptima es de $\tau/T = 0.22$. Debido a las restricciones de polarización y del dispositivo, el diseñador normalmente tiene poco control sobre la anchura del pulso τ , y los valores de la relación τ/T en la práctica son comúnmente mayores que los óptimos. Como se muestra en la Ilustración 7a, la duración del pulso normalizado está relacionada con los voltajes de puerta V_t , V_{gmin} y V_{gmax} de la forma mostrada en la Ecuación 13.

$$\cos \frac{\pi\tau}{T} = \frac{2V_t - V_{gmax} - V_{gmin}}{V_{gmax} - V_{gmin}}$$

Ecuación 13

La tensión de polarización de puerta satisface la relación de la Ecuación 14.

$$V_{gg} = (V_{gmax} - V_{gmin})/2$$

Ecuación 14



Y el valor pico de la componente AC del voltaje de puerta (frecuencia ω_0) es dado por la Ecuación 15.

$$V_g = V_{gmax} - V_{gg}$$

Ecuación 15

Por lo que la potencia de entrada entregada al FET puede ser expresada como se muestra en la Ecuación 16.

$$P_{in} = \frac{1}{2} |I_g|^2 R_i = \frac{|V_g|^2 R_i}{2 |R_i - j/\omega_0 C_{gs}|^2}$$

Ecuación 16

Si la fuente y el transistor tienen adaptación conjugada, la potencia de entrada será igual a la potencia disponible, P_{avail} .

En el lado de la carga, el valor pico de la componente AC del voltaje de drenador se muestra en la Ecuación 17.

$$V_L = I_n R_L = (V_{dmax} - V_{dmin})/2$$

Ecuación 17

Por lo que la resistencia de carga óptima será la mostrada en la Ecuación 18.

$$R_L = \frac{V_{dmax} - V_{dmin}}{2I_n}$$

Ecuación 18

Con lo que la potencia de salida del armónico $n\omega_0$ sigue la forma de la Ecuación 19.



$$P_n = \frac{1}{2} |I_n|^2 R_L$$

Ecuación 19

Por último, en la Ecuación 20 se muestra la ganancia de conversión.

$$G_c = \frac{P_n}{P_{avail}}$$

Ecuación 20

2.2 Diseño típico de un multiplicador de frecuencia

Una topología típica de un multiplicador de frecuencia activo consiste en un transistor rodeado de redes de entrada y salida pasivas (M1 y M2), como se muestra en la Ilustración 8, con un transistor FET.

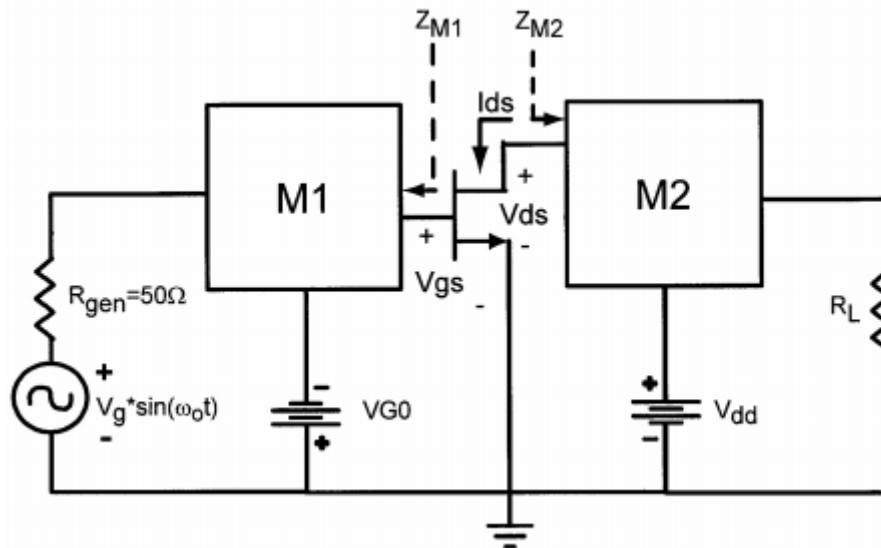


Ilustración 8. Diagrama de bloques de un multiplicador de frecuencia.

El transistor se encuentra en el corazón del multiplicador, y es el encargado de crear los armónicos de la señal de entrada (frecuencia fundamental f_0).



Como se explicó en la Sección 2.1.3 existen varias fuentes de no linealidad en multiplicadores FET/HEMT [14].

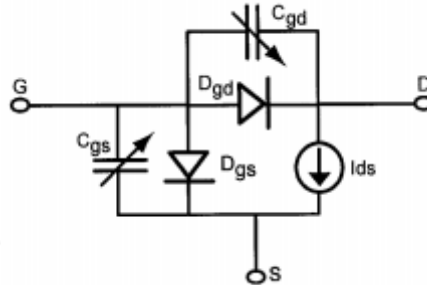


Ilustración 9. Modelo PHEMT mostrando los elementos no lineales.

El diseño de un multiplicador de frecuencia típicamente consiste en explotar una o varias de estas no linealidades escogiendo una señal de entrada AC y un nivel de DC en la puerta para generar una señal de salida favorable a la frecuencia del armónico deseado. Después, se mejora la respuesta mediante las redes de entrada y salida M1 y M2. En la práctica se suele utilizar la corriente drenador-fuente como principal fuente de no linealidad. Muchos autores describen en detalle el proceso de análisis del “ángulo de conducción” en donde una corriente de drenador sinusoidal recortada es creada mediante la polarización del transistor, de forma que el voltaje puerta-fuente oscila por encima y por debajo de la tensión de pinch-off [15]. El contenido armónico resultante es deducido mediante una expansión en series de Fourier con la cual se determinan las señales de entrada a la puerta del transistor, y los puntos de trabajo óptimos para una generación de armónicos óptima.

Otros estudios no sólo utilizan el mecanismo de pinch-off en drenador-fuente, sino que también utilizan la saturación de la corriente drenador-fuente [16]. Esta corriente de saturación crea otro mecanismo de recorte permitiendo la generación de formas de onda de salida sinusoidales recortadas [17]. La explotación de este mecanismo permite una exploración más amplia de la señal de entrada óptima y las posibles combinaciones de polarizaciones para una producción de armónicos deseada.

Ambos métodos utilizan una respuesta lineal a trozos para la generación de la corriente drenador-fuente. Además, el cálculo ideal de los armónicos generados es independiente de las redes de entrada y salida M1 y M2.

Además de los dos análisis básicos descritos arriba, se van a presentar unas consideraciones de diseño de las redes de entrada y salida M1 y M2. Las impedancias de entrada Z_{M1} y Z_{M2} , de las redes M1 y M2 respectivamente, determinan la carga que verá el transistor a la entrada y salida para cada armónico. Una primera consideración es la elección de la resistencia de carga R_L (considerada como parte de M2 para este estudio). Muchos autores presentan la técnica de “línea



de carga” para elegir una resistencia de carga que consiga la máxima variación de corriente y voltaje en la región de saturación del transistor [18]. Otra consideración es cómo usar M2 para la frecuencia del fundamental a la salida, frecuentemente se utiliza esta red M2 para presentar un cortocircuito o un circuito abierto al fundamental [19].

El diseño de M1 consiste principalmente en proporcionar adaptación de impedancia a la frecuencia del fundamental para permitir la máxima transferencia de potencia de la fuente al transistor.

A lo largo de los años se han desarrollado otras técnicas para el diseño de estas redes. Diseño de “redes reflectoras” las cuales utilizan la red de salida M2 para reflejar la frecuencia del fundamental y de los armónicos indeseados de vuelta al drenador del transistor con variaciones de fase. De la misma forma, la red de entrada M1 se diseña para reflejar armónicos de orden superior de vuelta al transistor con variaciones de fase. La optimización de la respuesta del multiplicador se consigue mediante una optimización de la fase de las señales reflejadas [20]. Las técnicas descritas representan un problema al contener un gran número de variables de diseño. Entre las que se encuentran el nivel de la señal de entrada, la polarización de puerta y drenador, y la elección de las terminaciones de entrada y salida para el fundamental y armónicos de orden superior.

2.3 Topologías típicas de un multiplicador de frecuencia

Los parámetros más importantes de un multiplicador de frecuencia son su ganancia de multiplicación, las pérdidas de retorno, y la potencia de salida en condiciones estables de operación. Estas condiciones pueden ser optimizadas sintonizando los circuitos de entrada y salida para conseguir las impedancias deseadas a las frecuencias del fundamental y de los armónicos. Esta solución puede funcionar en multiplicadores de banda estrecha, presentando un ancho de banda fraccional de menos de un 10%. Para el diseño de multiplicadores de banda ancha, los factores Q de los dispositivos de entrada y salida tienen que ser minimizados por una carga resistiva, la cual contribuye también a la estabilidad del circuito. Por lo tanto, la topología adecuada se selecciona para proporcionar el funcionamiento deseado. Por ejemplo, introduciendo un FET en topologías balanceadas, las cuales rechazan de forma inherente las frecuencias del fundamental y de los armónicos impares a la salida, y empleando tecnología MMIC, se pueden obtener multiplicadores con anchos de banda de una octava [16].

En este apartado se describen varias topologías típicas en multiplicadores de frecuencia. Estas topologías estarán destinadas para obtener eficiencias altas, grandes anchos de banda, o potencias de salida elevadas.



2.3.1 Doblador de frecuencia

Doblar en frecuencia es la aplicación más común de los multiplicadores de frecuencia debido a su alta eficiencia, simplicidad del circuito, y la generación mínima de armónicos indeseados. En aplicaciones de sistemas de radio, los dobladores de frecuencia se diseñan normalmente para baja potencia (<10 mW), seguidos de un amplificador buffer. A pesar de que se pueden obtener salidas con mayor potencia de un multiplicador, no es preferible debido a la alta generación de armónicos indeseados.

Uno de los primeros trabajos en multiplicadores de frecuencia [21] empleó una red simple para la adaptación de entrada a la frecuencia del fundamental, y una red para la adaptación de salida a la frecuencia del segundo armónico, seguido de un reflector al fundamental. Este diseño reportó 1 dB de ganancia de multiplicación, y pasaba de una frecuencia de 4 GHz a una de 8 GHz. Este resultado originó una tendencia en la investigación de multiplicadores de frecuencia con FETs que sigue su curso hoy en día.

Una forma tentativa de proporcionar buena adaptación de impedancia, y control de la fase reflejada del fundamental y segundo armónico se muestra en la Ilustración 10, para pasar de 12 GHz a 24 GHz [22].

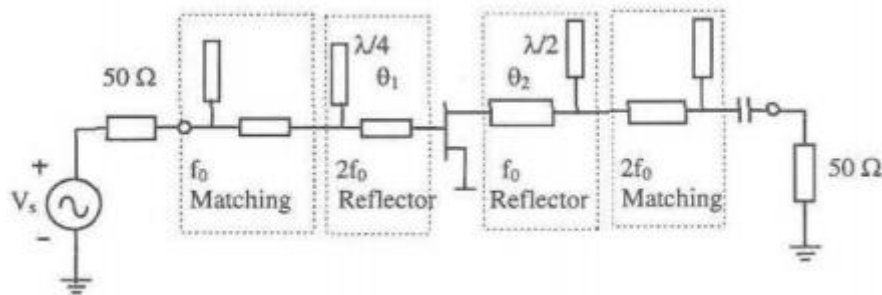


Ilustración 10. Doblador de frecuencia con reflector de entrada/salida

En la puerta, un reflector para el segundo armónico se conecta cerca del dispositivo, mientras que la red de adaptación de entrada al fundamental se conecta cerca del generador. En el drenador, también se conecta cerca del dispositivo un reflector para el fundamental, seguido de una red de adaptación para el segundo armónico. Este circuito reportaba una ganancia de multiplicación de entre 3 y 6 dB para una potencia de entrada de 7 dBm.

Una topología importante cuando la frecuencia de salida se encuentra en el rango de onda milimétrica se muestra en la Ilustración 11, donde el circuito de entrada es construido en tecnología microstrip mientras que el circuito de salida es construido en guía de onda, cuyas dimensiones son prácticas de manejar a estas frecuencias. El circuito de entrada contiene un condensador de bloqueo C_b , y las líneas de transmisión T_{L1} , T_{L2} y T_{L3} para la adaptación. El stub acabado en circuito



abierto T_{L3} , además de servir para la adaptación a la frecuencia del fundamental, también es un filtro para el segundo armónico. La mejor eficiencia se obtiene ajustando la terminación de drenador al fundamental, variando la longitud de la línea de transmisión serie T_{L7} . La adaptación de impedancias al segundo armónico se obtiene ajustando un tornillo de sintonía en la zona de la guía de onda. Las líneas de transmisión T_{L8} y T_{L9} son de 90° de longitud al fundamental, y actúan como filtro de rechazo a esa frecuencia. Este filtro es transparente al segundo armónico. Los otros dos elementos T_{L10} y T_{L11} , con dimensiones de 45° cada uno, funcionan como filtro al segundo armónico.

La guía de onda es un filtro de paso alto y rechaza la frecuencia del fundamental de forma inherente. El segundo armónico, y los armónicos superiores se propagan por la guía de onda. Si el doblador de frecuencia está bien diseñado, la corriente de RF será aproximadamente media senoide, donde el contenido del tercer armónico es bajo, y el cuarto armónico tiene una amplitud muy baja. Una publicación pionera en esta área [23] reportó esta topología, obteniendo una ganancia de multiplicación de -1 dB a una frecuencia de salida de 30 GHz, y una potencia de salida de 8 dBm.

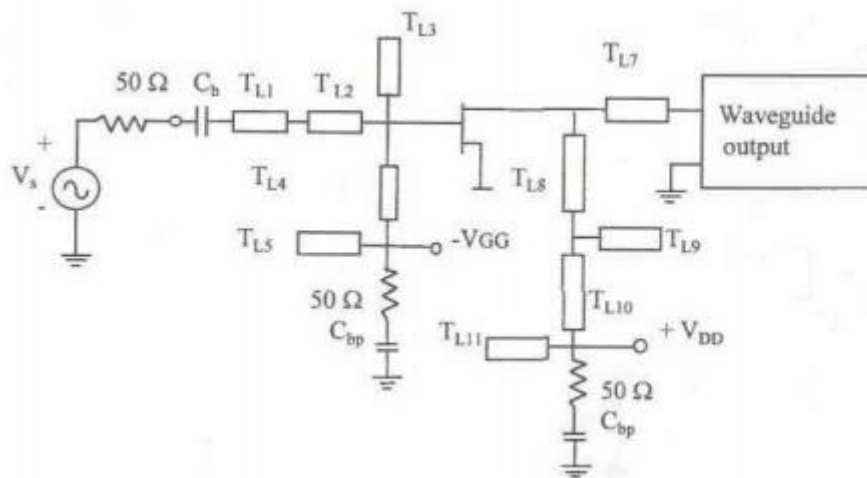


Ilustración 11. Doblador de frecuencia empleando una guía de onda a la salida.

En todos estos diseños se acopla un filtro paso banda a la salida para limpiar el espectro. Otra opción para construir un doblador de frecuencia es simplemente conectar en el drenador un filtro paso banda centrado en la frecuencia del segundo armónico, en serie con una línea de transmisión desfasadora.



2.3.1.1 Doblador de frecuencia de banda estrecha

En la Ilustración 12 se presenta una topología típica de un doblador de frecuencia de banda estrecha [23]. Las líneas de transmisión T_{L1} y T_{L2} hacen la función de adaptación de impedancias, mientras que las líneas T_{L3} y T_{L4} forman parte de la red de polarización.

En el drenador se usa una línea de transmisión desfasadora T_{L5} para ajustar la fase de la impedancia del fundamental.

El filtro de salida está formado por líneas de transmisión de longitud $\lambda/4$ (T_{L6} , T_{L7} y T_{L8}), las cuales bloquean las frecuencias del fundamental y del 3^{er} armónico, y presentan una terminación de 50Ω al 2^o armónico.

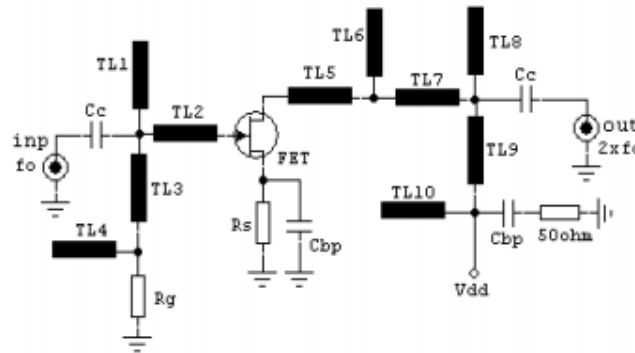


Ilustración 12. Doblador de frecuencia de banda estrecha.

Los ángulos eléctricos (fases) de las líneas de transmisión de puerta y drenador, aumentan la ganancia de multiplicación hasta 3 dB. LA red de polarización de drenador contiene un filtro compuesto por los elementos T_{L9} y T_{L10} , cuya función es aislar la fuente de continua del 2^o armónico generado. El circuito RC paralelo situado en la fuente del transistor tiene por objetivo garantizar la estabilidad del multiplicador.

2.3.1.2 Doblador de frecuencia de banda ancha

La idea de introducir un diplexor de frecuencia en el drenador y puerta de un multiplicador de frecuencia tiene la ventaja de presentar terminaciones resistivas en un amplio rango de frecuencias [24]. Una de estas configuraciones se muestra en la Ilustración 13, donde el dispositivo es polarizado cerca de pinch-off. El diplexor de salida se utiliza para separar el segundo armónico del fundamental y de los demás armónicos. Este diplexor está compuesto por un filtro paso banda, y un filtro rechazo de banda, para el segundo armónico.

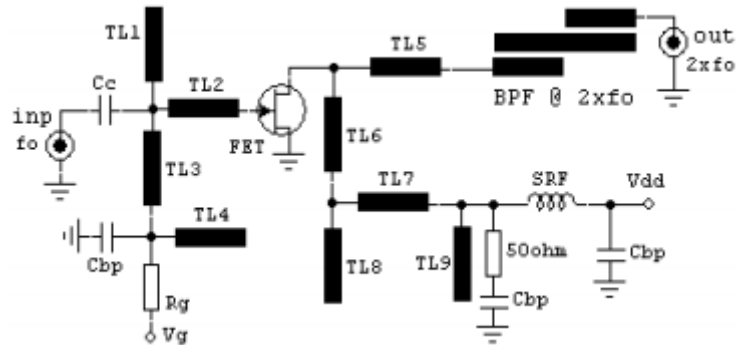


Ilustración 13. Doblador de frecuencia de banda ancha.

La línea de transmisión T_{L5} , en serie con el filtro paso banda, ajusta la fase de la impedancia a la frecuencia del fundamental. El filtro paso banda es de tipo líneas acopladas y contiene al menos tres resonadores. Este filtro rechaza las frecuencias del fundamental y del tercer armónico. El filtro rechazo de banda compuesto por las líneas de transmisión T_{L7} , T_{L8} y T_{L9} , bloquea el segundo armónico y presenta bajas pérdidas a las frecuencias del fundamental y del tercer armónico. Los stubs acabados en circuito abierto T_{L8} y T_{L9} tienen una longitud de $\lambda/4$ a la frecuencia del segundo armónico, y están separados por una línea T_{L7} de 63.4° a la frecuencia del fundamental. Por lo tanto, el filtro rechazo de banda presenta un cortocircuito al segundo armónico, y una adaptación de 50Ω a las frecuencias del fundamental y del tercer armónico.

La línea de transmisión T_{L6} tiene una longitud de $\lambda/4$, transformando así el cortocircuito a un circuito abierto en el drenador. La puerta está adaptada a la frecuencia del fundamental por una línea de transmisión en serie de alta impedancia T_{L2} , y un stub de baja impedancia acabado en circuito abierto T_{L1} , haciendo de filtro paso bajo.



2.3.1.3 Doblador de frecuencia balanceado

Una manera de mejorar la adaptación de entrada en un multiplicador de banda ancha es mediante el uso de una topología balanceada [25] (Ilustración 14).

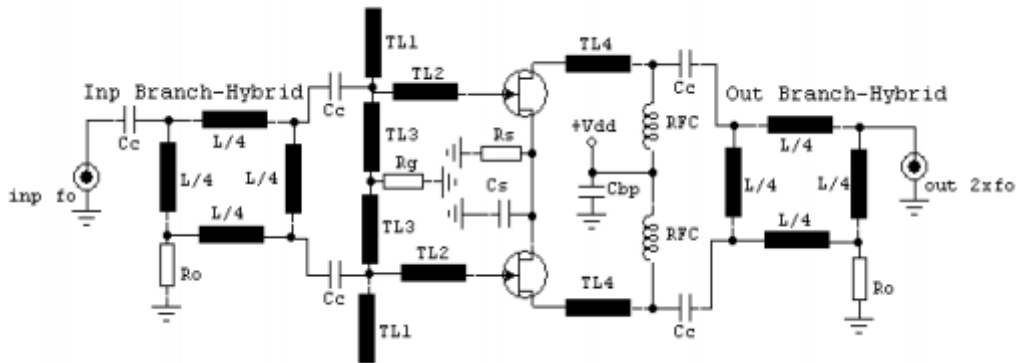


Ilustración 14. Doblador de frecuencia balanceado.

Introduciendo dos rectificadores de media onda FET, podemos obtener un rectificador activo de onda completa. Los acopladores de entrada y salida presentan un ancho de banda suficientemente grande como para cubrir las frecuencias del fundamental y del segundo armónico. Esta topología también presenta un buen aislamiento entre las distintas etapas del multiplicador, y es muy estable ya que los dispositivos están terminados en 50Ω en una gran banda de frecuencias. El acoplador de entrada introduce un desfase de 90° , y el acoplador de salida añade otros 90° de desfase, por lo que los armónicos impares tendrán un desfase de 180° y se cancelan en el puerto de salida. Los armónicos pares se encuentran en fase en la salida y se suman en potencia.

En aplicaciones prácticas, el circuito de adaptación de entrada se diseña para banda ancha a la frecuencia del fundamental, pero puede introducir desadaptación para el segundo armónico. Si esto ocurre, el acoplador de entrada puede que no sea tan efectivo con el segundo armónico. En esta topología la limitación de ancho de banda es principalmente debida a la adaptación de entrada. La impedancia de salida no está adaptada para evitar introducir limitaciones de ancho de banda.

2.3.1.4 Doblador de frecuencia balanceado/desbalanceado

Otra opción es usar un único híbrido 180° de entrada para llevar cada dispositivo en contrafase [25]. Por lo tanto, las corrientes de drenador están también en anti-fase y se obtiene un buen rechazo. Al igual que en el caso anterior, los armónicos pares están en fase, con lo que se suman en la salida.



La limitación de ancho de banda en esta topología es función del transformador “balun (balanced/unbalanced)” utilizado, del factor Q en la puerta, y de la línea de ajuste del drenador. Un ejemplo de esta topología se muestra en la Ilustración 15 para operar en la banda de entre 10 y 12 GHz.

La ganancia de multiplicado en los extremos de la banda es de 0 dB en el extremo inferior, y de -3 dB en el extremo superior. Por lo que el circuito de adaptación se diseña para obtener la máxima ganancia a 12 GHz, y una desadaptación en el extremo inferior para mantener constante la ganancia de multiplicación. La red de entrada es simétrica y consta de un stub acabado en circuito abierto, T_{L1} , y una línea de transmisión en serie, T_{L4} . En el drenador, ambos dispositivos están conectados a la misma línea de salida. El drenador está polarizado por la inductancia RFC.

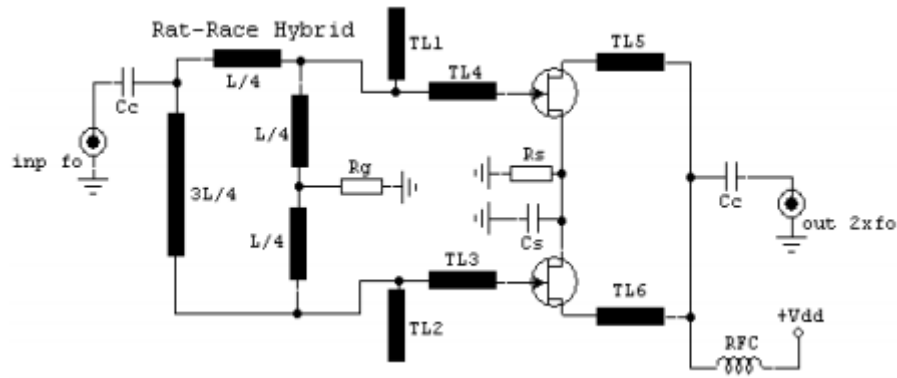


Ilustración 15. Doblador de frecuencia balanceado/desbalanceado.

Este tipo de “balun” es simple de construir y tiene una terminación para absorber cualquier voltaje en fase, ayudando a estabilizar el circuito. Este doblador de frecuencia proporciona un factor de multiplicación de -5 dB.

La desventaja de esta topología es la alta sensibilidad a desbalances en los parámetros DC del dispositivo y las redes de adaptación RF comparado con la topología previa. Estos desbalances son reflejados de vuelta al generador, por lo que es necesario el uso de un atenuador de entrada para minimizar la onda estacionaria resultante.

2.3.2 Triplicador de frecuencia

Una dificultad importante en los triplicadores de frecuencia es la necesidad de cortocircuitar el drenador a los armónicos indeseados. En un doblador de frecuencia es fácil de hacer usando stubs de longitud $\lambda/4$, los cuales efectivamente cortocircuitan el primer y tercer armónico, mientras que el cuarto y los armónicos



superiores son suficientemente débiles para tenerlos en cuenta. La red de salida puede ser difícil de diseñar, el resultado inevitable es el de una terminación subóptima, lo que hace que sea muy difícil optimizar la eficiencia, además de correr riesgo de inestabilidad.

Una topología típica de un triplicador de frecuencia [26] se muestra en la Ilustración 16.

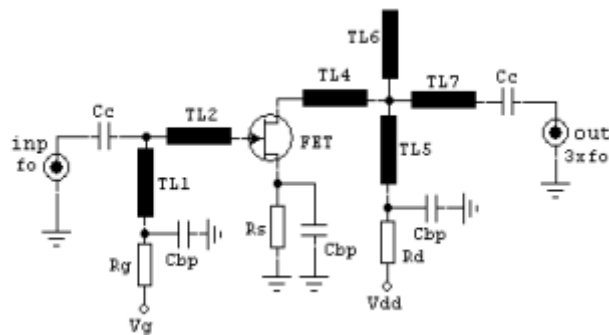


Ilustración 16. Triplicador de frecuencia.

El stub de entrada, conectado a tierra a altas impedancias por un condensador, proporciona adaptación para la frecuencia del fundamental, mientras que al mismo tiempo facilita la entrada de la polarización en puerta proporcionando cierto desacople.

El esquema de polarización adoptado por el triplicador de frecuencia es una disposición de autopolarización con una resistencia entre fuente y tierra. Esta configuración de autopolarización tiende a llevar al transistor a zonas cercanas a pinch-off. El valor de la resistencia es la que determina cuan cerca está el transistor de pinch-off, cuanto más grande sea el valor de la resistencia más cercano estará el punto de trabajo de pinch-off.

La salida cuenta con una disposición de doble stub, estos stubs tienen múltiples funciones. La primera, forman una adaptación de salida para el deseado tercer armónico. La segunda es que implementan cierto filtrado sobre el fundamental y el segundo armónico. Usando stubs reales puede ser difícil filtrar el fundamental sin rechazar el tercer armónico al mismo tiempo. Esto ocurre al considerar una configuración de stubs simple para rechazar el fundamental, la cual es un stub $\lambda/4$ acabado en circuito abierto. Sin embargo, esta longitud equivale a una longitud de $3\lambda/4$ al tercer armónico, por lo que tiende a rechazar también esta frecuencia. Como consecuencia, el diseño de los stubs de salida implica un compromiso en términos de rechazo del fundamental y segundo armónico, sin perjudicar excesivamente la respuesta del tercer armónico.

Los stubs de salida son esencialmente stubs acabados en cortocircuito, el corto a alta frecuencia lo proporciona el condensador a tierra. Estos stubs facilitan también la polarización de drenador.



Otra opción es usar un circuito de drenador con un filtro paso banda y un stub acabado en circuito abierto para ajustar las terminaciones del fundamental y el segundo armónico [27]. Esta topología se presenta en la Ilustración 17.

El circuito de drenador está compuesto por un filtro paso banda encargado de entregar el tercer armónico a la carga, en serie con la línea de transmisión T_{L5} , que actúa como desfasador. La polarización se realiza a través de las líneas T_{L6} y T_{L7} , estas líneas bloquean la frecuencia del tercer armónico, y presentan una respuesta de tipo filtro paso bajo a la frecuencia del fundamental y del segundo armónico.

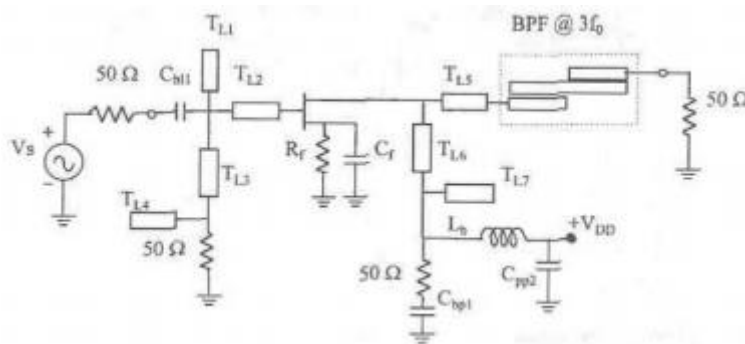


Ilustración 17. Topología de un triplicador de frecuencia.

El propósito del filtro de polarización de entrada es similar al usado en el doblador de frecuencia, acoplar el generador a la puerta y absorber los armónicos reflejados. El ancho de banda en este tipo de multiplicador está limitado por la habilidad del desfasador de drenador para hacer resonar los parásitos de salida del dispositivo, y por la desadaptación de la impedancia de puerta con la frecuencia. Las pérdidas de retorno dependen de la impedancia de entrada del dispositivo, por lo que puede ser necesario un aislador de entrada para una mejor operación.

2.3.2.1 Triplicador de frecuencia balanceado

El amplificador “push-pull” de la Ilustración 18, consiste en dos amplificadores introducidos entre dos acopladores híbridos de 180° . Esta topología se utiliza mucho en el diseño de amplificadores de potencia de banda ancha debido a sus propiedades de cancelación de armónicos y adición de fase de la frecuencia del fundamental.

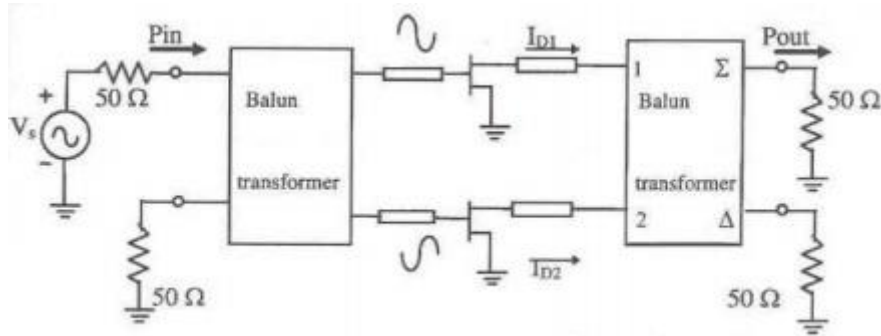


Ilustración 18. Amplificador “push-pull”.

En el caso de triplicadores de frecuencia balanceados, la ventaja del efecto “push-pull” puede obtenerse observando primero que las corrientes de drenador son balanceadas a las frecuencias del fundamental y del tercer armónico. Después, empleando un transformador de salida que presente una característica de transferencia común entre los puertos 1 y Σ , y 2 y Σ a la frecuencia del fundamental, y distinta a la frecuencia del tercer armónico. En estas condiciones, las corrientes a la frecuencia del fundamental se cancelan mientras que las corrientes a la frecuencia del tercer armónico se suman en fase.

Por lo tanto, aplicando un híbrido 180° a la entrada centrado en la frecuencia del fundamental, y otro a la salida centrado en la frecuencia del tercer armónico, es posible tener unas ventajas similares a las del push-pull. Un ejemplo de esta topología [26] se muestra en la Ilustración 19.

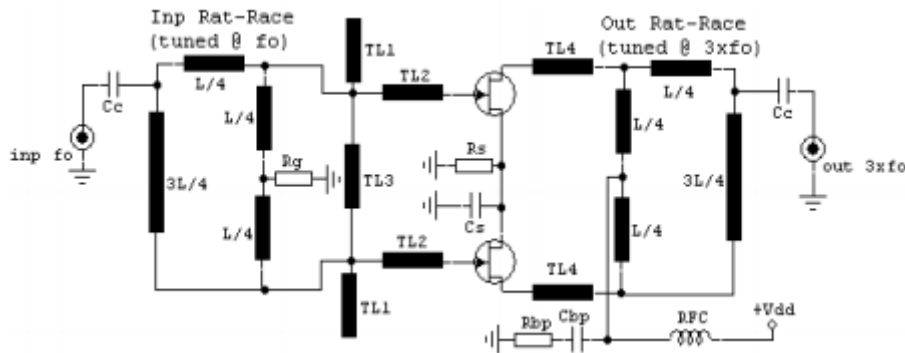


Ilustración 19. Triplicador de frecuencia balanceado.

La adaptación de entrada contiene una inductancia simulada por una línea de transmisión de alta impedancia, T_{L2} , y un condensador en paralelo simulado por un stub acabado en circuito abierto, T_{L1} . Conectando las dos entradas, se encuentra una línea de transmisión $\lambda/4$, T_{L3} , que introduce un corto al segundo armónico, mejorando el rendimiento del multiplicador. La adaptación de salida contiene únicamente una línea de transmisión de alta impedancia de longitud $\lambda/4$, T_{L4} , para ajustar de forma paralela la impedancia de salida de drenador a la frecuencia del



fundamental. Los transistores están autopolarizados y no se necesita evitar la resistencia de fuente debido a que las fases de las dos corrientes en cada fuente se encuentran en antifase. En la práctica, se necesitan añadir condensadores de bypass ya que cualquier asimetría en los dispositivos desbalancea las corrientes y por lo tanto la potencia se disipa en la resistencia de fuente. El acoplador de entrada está centrado en 5 GHz mientras que el de salida está centrado en 15 GHz.

2.3.3 Cuadriplicador de frecuencia

Los cuadriplicadores de frecuencia son menos eficientes que los triplicadores y los dobladores, pero su simplicidad de diseño comparado con los multiplicadores con diodos está ganando aceptación en la industria.

Un cuadriplicador de frecuencia puede obtenerse como una extensión del doblador de frecuencia, donde el filtro es modificado para rechazar las frecuencias del fundamental, segundo y tercer armónico. Si se polariza el transistor en clase C, el cuarto armónico será únicamente unos 3 dB menor que el segundo y tercer armónico, por el contrario, esto hace que se dificulte la adaptación de la impedancia de entrada. Sin embargo, si se polariza como un clase B, la potencia del cuarto armónico será 15 dB menor que la del segundo. Una forma de resolver parcialmente este problema es usar un transistor con una puerta más grande, de esta forma se tendrá una mayor corriente, y por lo tanto una mayor transconductancia, mejorando razonablemente el rendimiento del multiplicador.

Una topología típica [16] para este tipo de multiplicador sería similar a la que se muestra en la Ilustración 20. Con la particularidad de que el segundo stub acabado en circuito abierto T_{L8} tiene que tener la mitad del tamaño del primero T_{L6} , para rechazar el segundo armónico y presentar bajas pérdidas a la frecuencia del cuarto armónico.

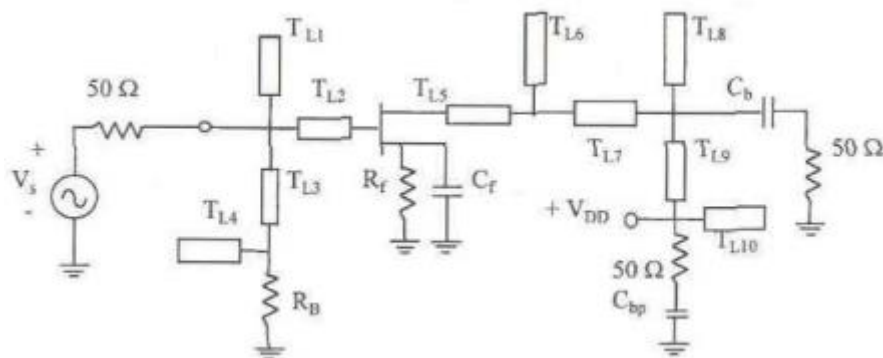


Ilustración 20. Cuadriplicador de frecuencia.



Este circuito está alimentado con una $V_{DD} = 5\text{ V}$. La frecuencia del fundamental va de 4.5 a 5.5 GHz, con una potencia de entrada de 10 dBm se obtiene una ganancia de multiplicación de -7 dB entre 4.7 y 5.3 GHz.

2.3.4 Multiplicador de frecuencia de orden superior

La generación de armónicos de orden superior se obtiene polarizando el transistor con diferentes ángulos de conducción. Sin embargo, todo esto requiere la polarización de clase C, la cual es más difícil de adaptar a altas frecuencias. Las alternativas de polarización dependen del orden del multiplicador.

2.3.4.1 Orden par

En este caso, el dispositivo es polarizado en clase AB para obtener una corriente de drenador sinusoidal recortada, la cual es rica en armónicos de orden par. Un voltaje de drenador forma de onda recortada también se puede utilizar, polarizando el dispositivo con una tensión de puerta cercana a 0 V. En este segundo caso, la carga tiene que ser capaz de cortocircuitar los armónicos apropiados para mantener la forma de onda de salida deseada.

2.3.4.2 Orden impar

La condición óptima de polarización para este tipo de multiplicador es la que genera formas de onda de salida con picos negativos y positivos distorsionados. La primera opción podría ser polarizar el dispositivo en clase A, y aplicar una gran cantidad de potencia en la puerta.

La magnitud de los armónicos superiores como el quinto, sexto, séptimo, etc., es muy pequeña, por lo que es necesario una alta impedancia de carga para compensar la baja potencia de salida. Sin embargo, este procedimiento podría aplicarse únicamente si la carga es menor o igual a la resistencia drenador-fuente del transistor. Aunque la amplitud de estos armónicos sea baja, se puede mejorar la eficiencia de generación aprovechando las ventajas de los efectos de mezcla en las no linealidades del transistor. Los armónicos a la salida están adaptados a la impedancia óptima mediante la componente de corriente armónica y la oscilación de la tensión de drenador.

Los resultados [28] de un multiplicador x5 muestran una ganancia de multiplicación de -7 dB entre 2 y 10 GHz, para una potencia de entrada de 12 dBm. En este multiplicador se utilizan stubs acabados en circuito abierto para rechazar el



segundo, cuarto, y sexto armónico, seguido de un filtro paso banda que limpia el espectro de salida.



Capítulo 3

3.1 Herramienta de simulación

Advanced Design System (ADS) es un software de diseño electrónico para RF, microondas, y aplicaciones digitales de alta velocidad, producido por Keysight EEsof EDA. Este programa proporciona un entorno de diseño para diseñadores de una gran variedad de dispositivos de telecomunicaciones como amplificadores, osciladores, sistemas de radiocomunicación, redes de banda ancha, sistemas radar, redes inalámbricas, etc.

La versión disponible en el Departamento de Comunicaciones de la Universidad de Cantabria es la 2016.01. Esta versión es la que se utilizará para la realización de este trabajo de fin de master.

La función de este software es la de realizar avanzadas simulaciones con elevada precisión sobre modelos circuitales constituidos principalmente por todo tipo de elementos pertenecientes a las extensas librerías de componentes que posee ADS. Mediante sucesivas simulaciones y con la ayuda de diversas herramientas de análisis de circuitos podemos refinar el circuito de acuerdo a nuestra necesidad. ADS implementa además algoritmos de simulación y rutinas de convergencia avanzadas que reducen considerablemente los tiempos de simulación con respecto a otros programas semejantes.



El software dispone de dos tipos de ventanas para los circuitos con los que se puede trabajar, el esquemático en donde se conectan los componentes como se desee y sobre el que se realizan análisis y simulaciones, y el layout en el que se observa el formato que tendrá el circuito sobre la placa. Ambas ventanas están interconectadas para que a medida que se refine el diseño, ir ubicándolo en la placa del substrato. En la Ilustración 21 se puede observar un ejemplo de circuito en el que se ven las dos ventanas posibles para el diseño (esquemático y layout) y la ventana de exploración que muestra la arquitectura del sistema de archivos.

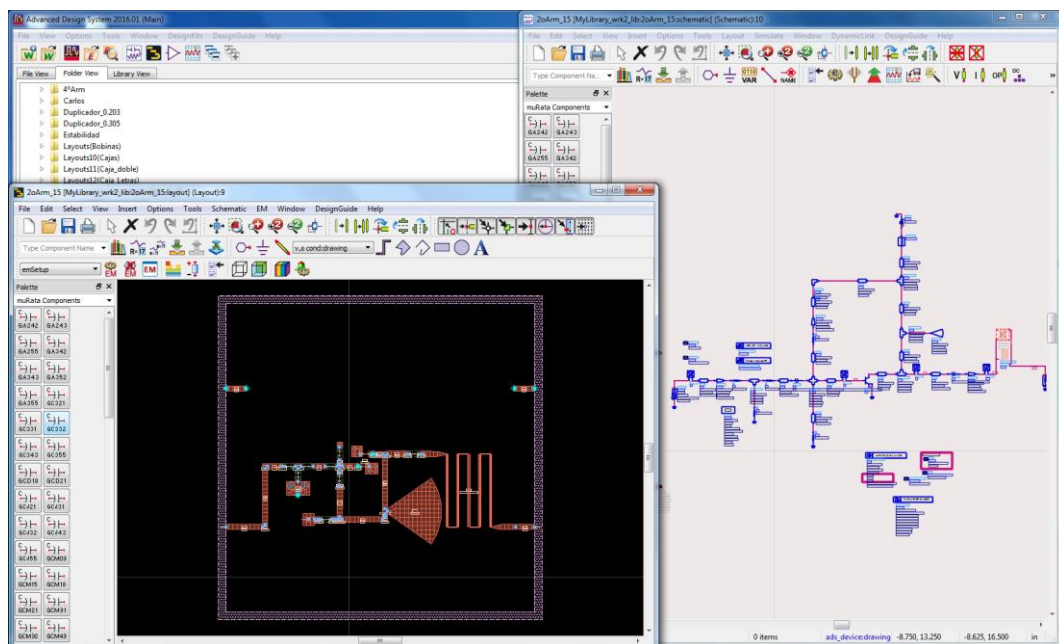


Ilustración 21. Vista general del software ADS.

Una ventaja de gran importancia de este programa es que dispone de una ayuda muy extensa y de unas guías de diseño muy completas para orientar a los usuarios noveles en el uso del software y en el aprendizaje del diseño de los más variados prototipos de sistemas de RF, microondas o sistemas de telecomunicación en general. Otra característica relevante es la sencillez con la que se pueden dibujar tablas, clasificaciones, gráficas cartesianas, gráficas sobre cartas de Smith, módulos, fases, etc. ADS almacena archivos específicos con las características de gráficas que preparemos para su utilización en el futuro en otros diseños. En la Ilustración 22 se observa un ejemplo de una gráfica de ADS y su sistema de clasificación de los archivos.

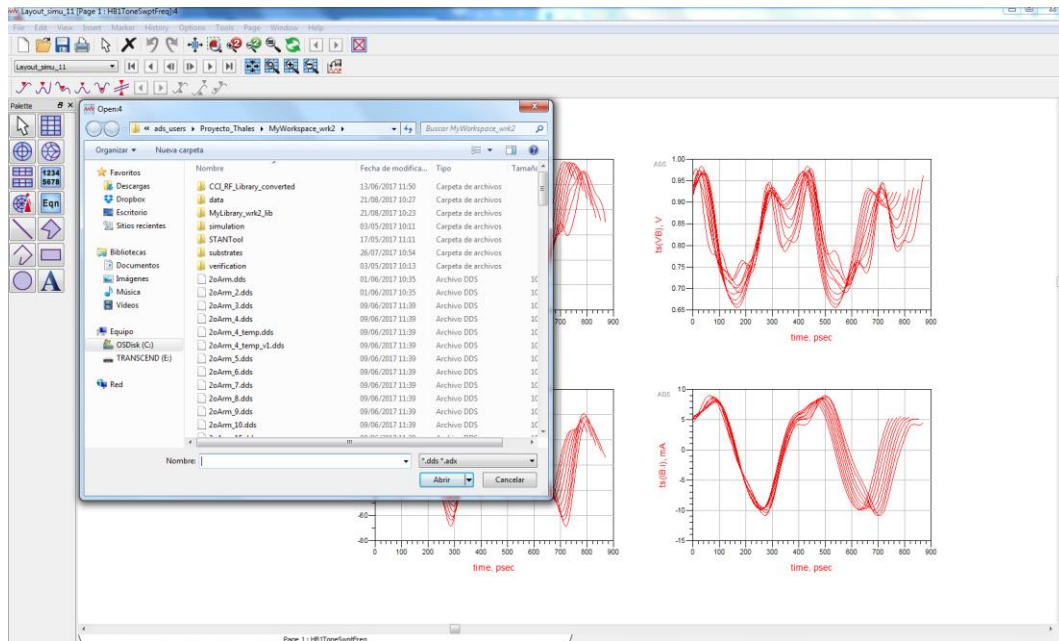


Ilustración 22. Ventana de display típica de ADS.

ADS dispone de varios controles de simulación para realizar análisis desde diferentes marcos en el circuito. Los controles más importantes son los siguientes:

- **DC:** Es el análisis más común, imprescindible en simulaciones analógicas, que realiza una comprobación de la topología del circuito y determina diferentes puntos de operación en DC. Este controlador es adecuado para determinar las características de transferencia (curvas I-V) con las medidas reales y para representar las tensiones y las corrientes tras la simulación. Suele ser el primer análisis que se hace en la mayoría de los casos. Hace uso de un sistema de ecuaciones diferenciales ordinarias no lineales para encontrar el punto de equilibrio.

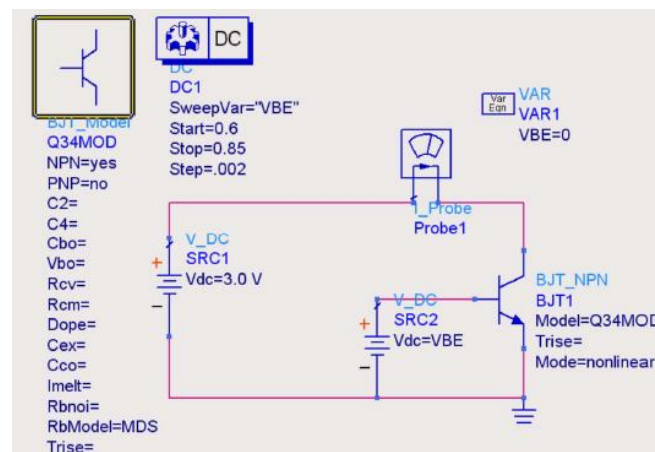


Ilustración 23. Ejemplo de circuito con controlador DC.



- **AC:** El análisis lineal AC realiza un estudio de pequeña señal, para ello primero busca el punto de polarización u operación mediante una exploración DC y sobre este punto, introduce una señal sinusoidal de pequeña amplitud para proceder al estudio del comportamiento del sistema. Esta simulación desprende resultados tales como la ganancia de tensión o la de corriente, también presenta algunas de las fuentes de corriente y tensión de ruido equivalente y demás parámetros de pequeña señal. Las fuentes de ruido que puede considerar el ADS son las de tipo térmico, las de dispositivos no lineales dependientes de la temperatura y de la corriente e incluso ruido de dispositivos activos lineales de dos puertos especificados por los archivos de datos.

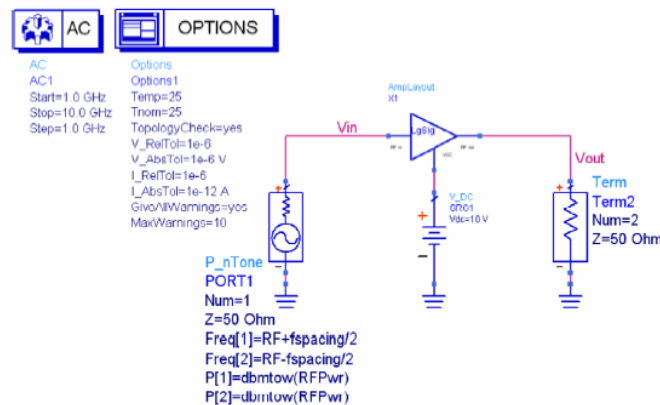


Ilustración 24. Ejemplo de circuito con controlador AC.

- **Parámetros S:** Este es el análisis de los parámetros S o de Scattering, que son esencialmente los parámetros de reflexión o transmisión que caracterizan a los dispositivos. Su utilización está muy extendida en la caracterización de componentes de RF, es decir a alta frecuencia y microondas, y básicamente realiza un análisis de pequeña señal en unas condiciones determinadas de temperatura y polarización. Permite la obtención además de los parámetros S, de la impedancia (o admitancia), del retardo de grupo, de la figura de ruido y permite simular los efectos de la conversión de frecuencia en circuitos con mezcladores. Se suele usar en conjunción con un controlador de opciones (OPTIONS) que entre otras funciones permite fijar la temperatura del entorno en pruebas.

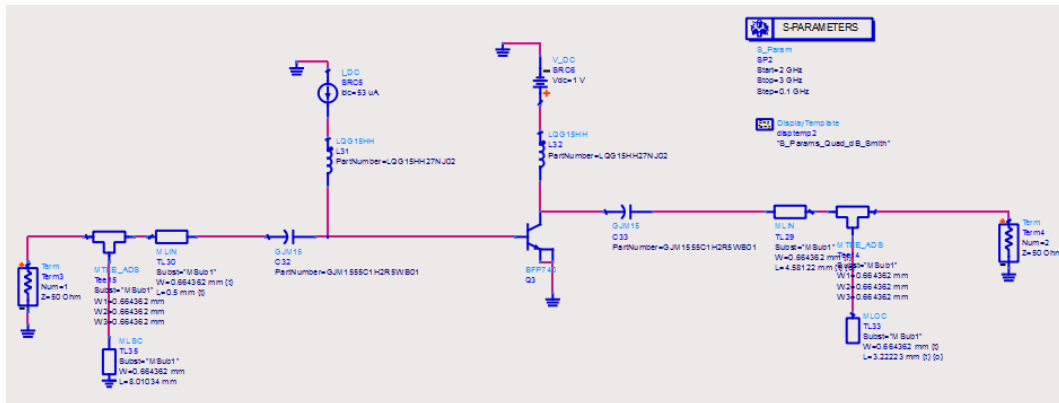


Ilustración 25. Ejemplo de circuito con controlador de parámetros S.

- Balance armónico (HB):** El simulador de balance armónico proporciona un análisis de gran señal, estable y en el dominio de la frecuencia, de circuitos no lineales [29]. Debido a que la simulación corre en el dominio de la frecuencia, los resultados se obtienen mucho más rápido que en los simuladores típicos en el dominio del tiempo. Se utiliza el balance armónico para simular ruido, compresión de ganancia, distorsión de los armónicos, espurios, ruido de fase, y productos de intermodulación en circuitos no lineales.

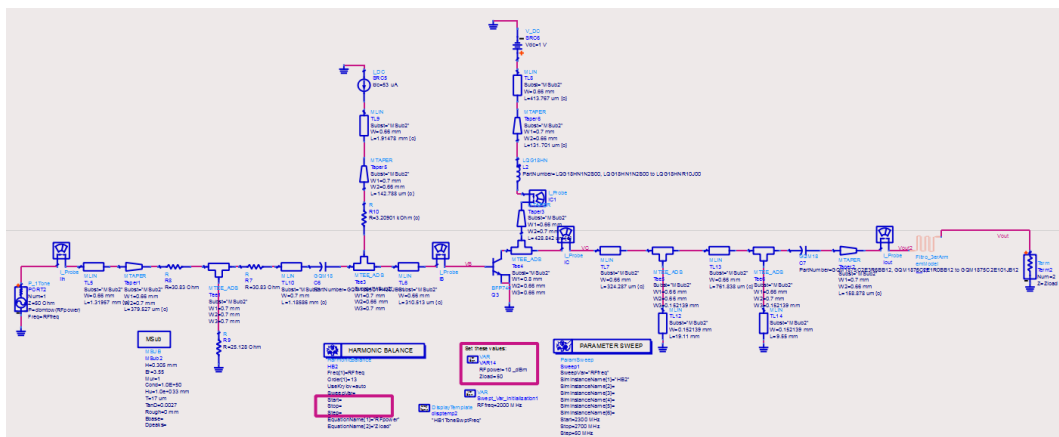


Ilustración 26. Ejemplo de circuito con controlador de Balance Armónico.



3.2 Especificaciones

Para comenzar el diseño de los multiplicadores es necesario considerar los requerimientos básicos que deben cumplir los resultados del diseño.

Las especificaciones a seguir son:

- La generación de armónicos estará optimizada para la generación del 2º, 3º y 4º armónico, este armónico será elegido mediante filtrado.
- Nivel de señal de entrada inferior a 6 dBm (suficiente para obtener una respuesta no lineal del transistor, pero cumpliendo los límites de tensión del mismo).
- Nivel de señal de salida de 10 dBm, obtenida mediante el diseño de buffers de salida entre 4-6 GHz (Segundo armónico), 7-8 GHz (Tercer armónico), 10-12.8 GHz (Cuarto armónico).
- El consumo no puede sobrepasar los 25 mA.
- Los multiplicadores tendrán un área máxima de 50x25 mm.
- El sustrato a utilizar será el RO4003C de Rogers.
- La frecuencia de entrada estará entre 2-3 GHz.
- El transistor a utilizar será el BFP740.
- Funcionamiento adecuado entre -30°C y 85°C.
- Se utilizarán componentes de 0.6 x 0.3 pulgadas del fabricante Murata.

3.2.1 Substrato

Como se ha dicho anteriormente, el sustrato que se utilizará tanto para los diseños de los multiplicadores como para el diseño del resto de componentes de los convertidores es el RO4003C. Las características de este sustrato se muestran en la Ilustración 27.



Property	Typical Value		Direction	Units	Condition	Test Method
	RO4003C™	RO4350B™				
Dielectric Constant, ϵ_r (Process specification)	3.38 $\pm$ 0.05	⁽¹⁾ 3.48 $\pm$ 0.05	Z	--	10 GHz/23°C	IPC-TM-650 2.5.5.5 ⁽²⁾ Clamped Stripline
⁽³⁾ Dielectric Constant, ϵ_r (recommended for use in circuit design)	3.55	3.66	Z	--	FSR/23°C	IPC-TM-650 2.5.5.6 Full Sheet Resonance
Dissipation Factor tan, δ	0.0027 0.0021	0.0037 0.0031	Z	--	10 GHz/23°C 2.5 GHz/23°C	IPC-TM-650 2.5.5.5
Thermal Coefficient of ϵ_r	+40	+50	Z	ppm/°C	-100°C to 250°C	IPC-TM-650 2.5.5.5
Volume Resistivity	1.7 X 10 ¹⁰	1.2 X 10 ¹⁰		M Ω •cm	COND A	IPC-TM-650 2.5.17.1
Surface Resistivity	4.2 X 10 ⁹	5.7 X 10 ⁹		M Ω	COND A	IPC-TM-650 2.5.17.1
Electrical Strength	31.2 (780)	31.2 (780)	Z	KV/mm (V/mil)	0.51mm (0.020")	IPC-TM-650 2.5.6.2
Tensile Modulus	26,889 (3900)	11,473 (1664)	Y	MPa (kpsi)	RT	ASTM D638
Tensile Strength	141 (20.4)	175 (25.4)	Y	MPa (kpsi)	RT	ASTM D638
Flexural Strength	276 (40)	255 (37)		MPa (kpsi)		IPC-TM-650 2.4.4
Dimensional Stability	<0.3	<0.5	X,Y	mm/m (mils/inch)	after etch +E2/150°C	IPC-TM-650 2.4.39A
Coefficient of Thermal Expansion	11 14 46	14 16 35	X Y Z	ppm/°C	-55 to 288°C	IPC-TM-650 2.1.41
Tg	>280	>280		°C DSC	A	IPC-TM-650 2.4.24
Td	425	390		°C TGA		ASTM D3850
Thermal Conductivity	0.64	0.62		W/m/°K	100°C	ASTM F433
Moisture Absorption	0.06	0.06		%	48 hrs immersion 0.060" sample Temperature 50°C	ASTM D570
Density	1.79	1.86		gm/cm ³	23°C	ASTM D792
Copper Peel Strength	1.05 (6.0)	0.88 (5.0)		N/mm (pli)	after solder float 1 oz. EDC Foil	IPC-TM-650 2.4.8
Flammability	N/A	94V-0				UL
Lead-Free Process Compatible	Yes	Yes				

Ilustración 27. Características del sustrato RO4003C.

La constante dieléctrica es de 3.38, sin embargo, el fabricante recomienda utilizar 3.55 en simulación.

Este sustrato cuenta con varios espesores posibles como se puede observar en la Ilustración 28. El espesor elegido para todos los bloques del convertidor es el de 0.305 mm ya que es el que está regulado para vuelo.

Standard Thickness
RO4003C: 0.008" (0.203mm) 0.012 (0.305mm), 0.016" (0.406mm), 0.020" (0.508mm) 0.032" (0.813mm), 0.060" (1.524mm)
RO4350B: *0.004" (0.101mm), 0.0066" (0.168mm) 0.010" (0.254mm), 0.0133 (0.338mm), 0.0166 (0.422mm), 0.020" (0.508mm) 0.030" (0.762mm), 0.060" (1.524mm)

Ilustración 28. Espesores disponibles para el sustrato RO4003C.



Interesa también la variación de la constante dieléctrica con la temperatura, ya que se van a realizar simulaciones con variación de temperatura.

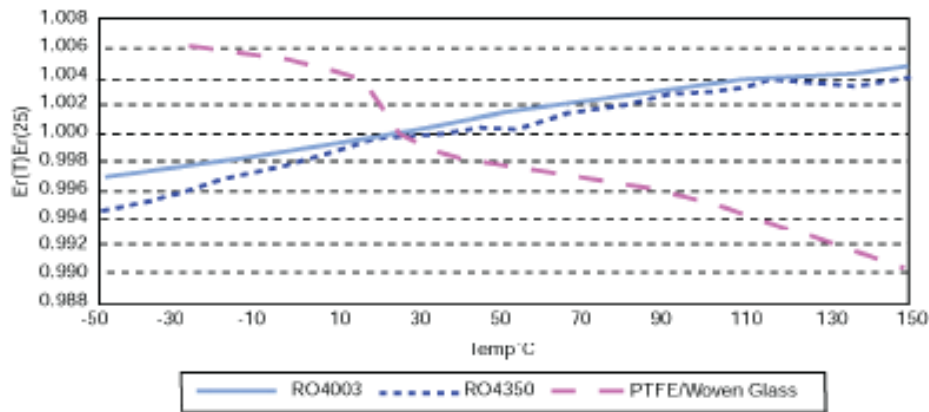


Ilustración 29. Variación de la constante dieléctrica del RO4003C con la temperatura.

Teniendo en cuenta que las simulaciones se van a realizar a una temperatura mínima y máxima de -30°C y 85°C respectivamente, la constante dieléctrica será de 3.54 para la temperatura mínima, y de 3.56 para la temperatura máxima, siendo de 3.55 para una temperatura estándar de 25°C .

3.2.2 Transistor

El transistor utilizado es el BFP740, este es un transistor de bajo ruido fabricado por Infineon, con tecnología SiGe. Este transistor tiene un bajo consumo de potencia, por lo que es ideal para aplicaciones móviles. Las características de este transistor se pueden observar en la Ilustración 30.

Parameter	Symbol	Values			Unit	Note / Test Condition
		Min.	Typ.	Max.		
Power Gain						
Maximum power gain	G_{ms}	–	24	–	dB	$I_C = 15 \text{ mA}$
Transducer gain	$ S_{21} ^2$	–	22	–		$I_C = 15 \text{ mA}$
Minimum Noise Figure						
Minimum noise figure	NF_{min}	–	0.55	–	dB	$I_C = 6 \text{ mA}$
Associated gain	G_{ass}	–	20	–		$I_C = 6 \text{ mA}$
Linearity						
1 dB compression point at output	OP_{1dB}	–	8	–	dBm	$Z_B = Z_L = 50 \Omega$
3rd order intercept point at output	$OIP3$	–	24.5	–		$I_C = 15 \text{ mA}$

Ilustración 30. Características del transistor, $V_{CE} = 3 \text{ V}$, $f = 2.4 \text{ GHz}$



Entre las aplicaciones más destacadas de este transistor se encuentran:

- Aplicaciones móviles como WLAN 802.11, UWB, Bluetooth, etc.
- Sistemas de comunicación por satélite.
- Aplicaciones multimedia.
- Aplicaciones de telefonía móvil en 3G/4G UMTS/LTE.
- Aplicaciones ISM como RKE, AMR y Zigbee.

Las adaptaciones de entrada y salida de este transistor a $V_{CE} = 3\text{ V}$ e $I_C = 6 / 15\text{ mA}$ se pueden ver en la Ilustración 31 y la Ilustración 32, respectivamente.

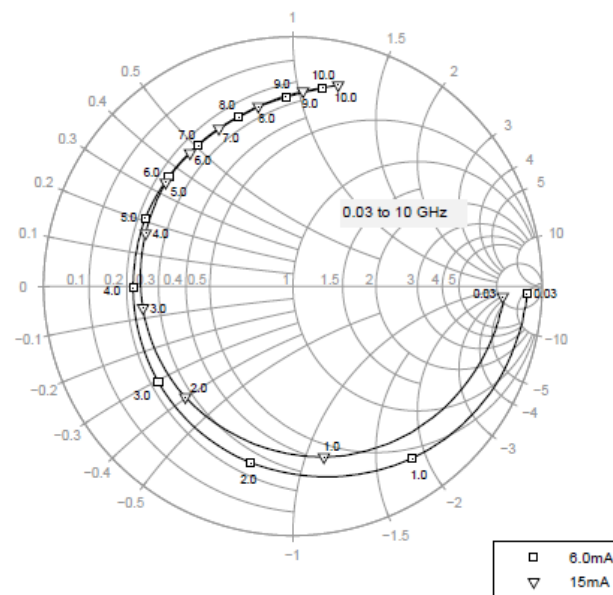


Ilustración 31. Adaptación de entrada, $V_{CE} = 3\text{ V}$, $I_C = 6 / 15\text{ mA}$.

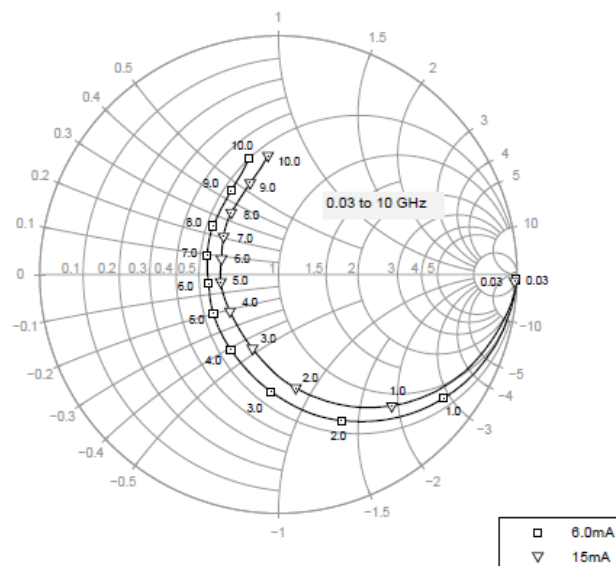


Ilustración 32. Adaptación de salida, $V_{CE} = 3\text{ V}$, $I_C = 6 / 15\text{ mA}$.



Se ha obtenido el modelo del transistor de la página de Infineon, cuyas curvas I-V se pueden observar en la Ilustración 38. Las adaptaciones de entrada y salida de este modelo obtenidas en simulación a $V_{CE} = 3\text{ V}$ e $I_C = 15\text{ mA}$ se pueden observar en la Ilustración 33 y en la Ilustración 34, respectivamente. La adaptación de entrada del modelo del transistor tiene una forma muy parecida a la del transistor real, sin embargo, la adaptación de salida del modelo se distancia del dado por el fabricante a frecuencias altas, esto puede llevarnos a diferentes redes de adaptación.

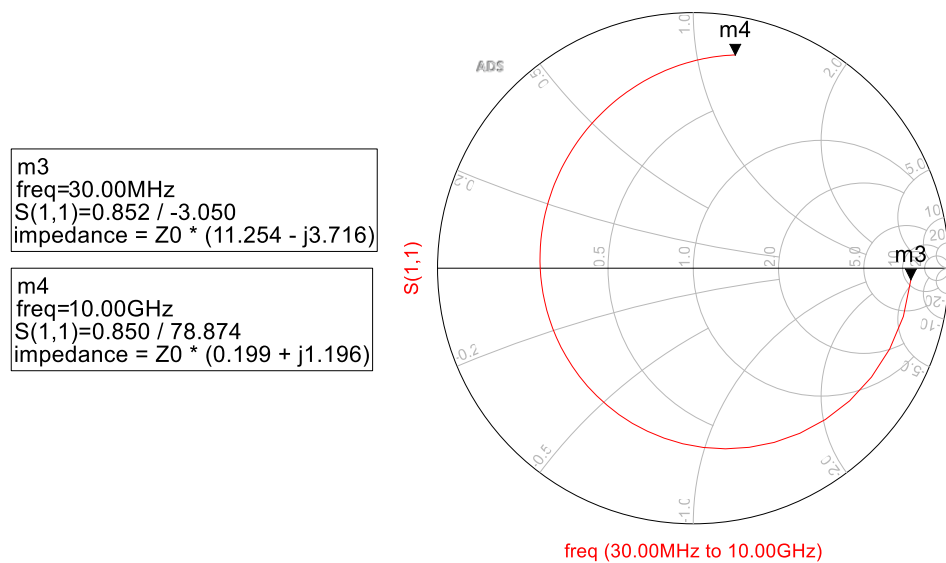


Ilustración 33. Adaptación de entrada (Modelo), $V_{CE} = 3\text{ V}$, $I_C = 15\text{ mA}$.

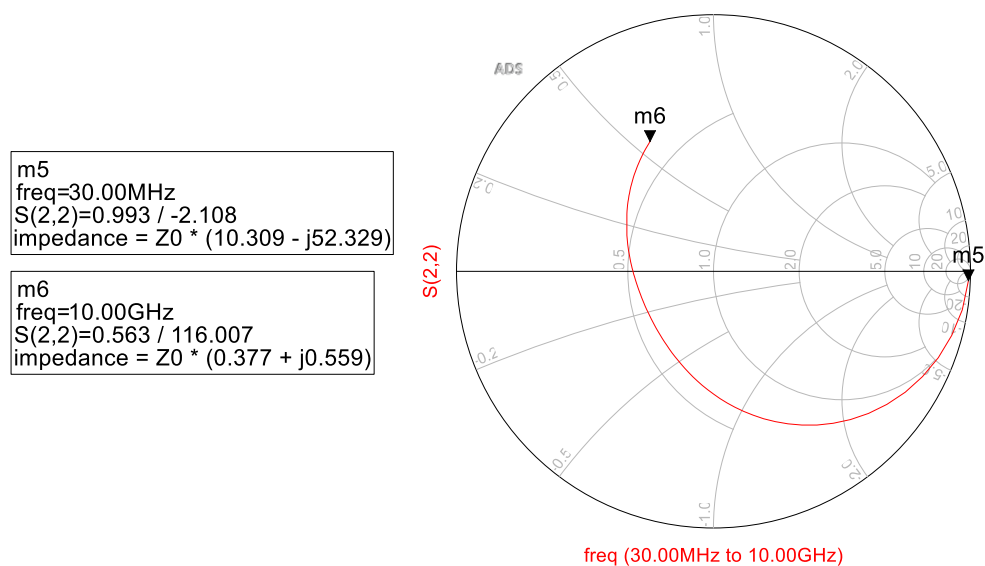


Ilustración 34. Adaptación de salida (Modelo), $V_{CE} = 3\text{ V}$, $I_C = 15\text{ mA}$.



Los maximum rating son valores de tensión, corriente, temperatura, potencia, etc., proporcionados por el fabricante, los cuales no deben ser excedidos bajo ninguna circunstancia, exceder estos valores puede suponer el deterioro o destrucción del dispositivo. Los maximum ratings del transistor utilizado se muestran en la Ilustración 35. Las excursiones de tensión y corriente en la base y colector de nuestro transistor no deben superar nunca estos valores.

Parameter	Symbol	Values		Unit	Note / Test Condition
		Min.	Max.		
Collector emitter voltage	V_{CEO}	–	4.0 3.5	V	Open base $T_A = 25\text{ }^{\circ}\text{C}$ $T_A = -55\text{ }^{\circ}\text{C}$
Collector emitter voltage	V_{CES}	–	13	V	E-B short circuited
Collector base voltage	V_{CBO}	–	13	V	Open emitter
Emitter base voltage	V_{EBO}	–	1.2	V	Open collector
Collector current	I_C	–	45	mA	–
Base current	I_B	–	4	mA	–
Total power dissipation ¹⁾	P_{tot}	–	160	mW	$T_S \leq 100\text{ }^{\circ}\text{C}$
Junction temperature	T_J	–	150	$^{\circ}\text{C}$	–
Storage temperature	T_{Stg}	-55	150	$^{\circ}\text{C}$	–

Ilustración 35. Maximum ratings del transistor.

Por último, en la Ilustración 36 se pueden observar las curvas I-V del transistor.

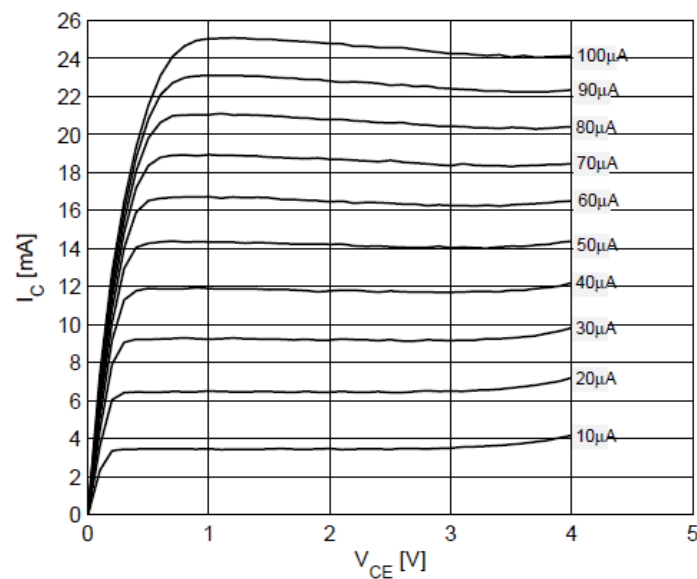


Ilustración 36. Corriente de colector vs Tensión de colector-emisor, para distintas corrientes de base I_B .

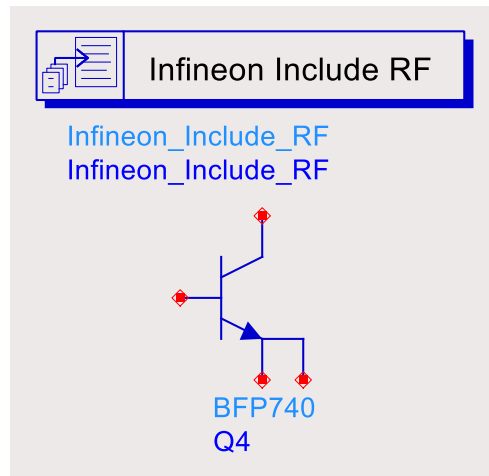


Ilustración 37. Modelo del transistor BFP740.

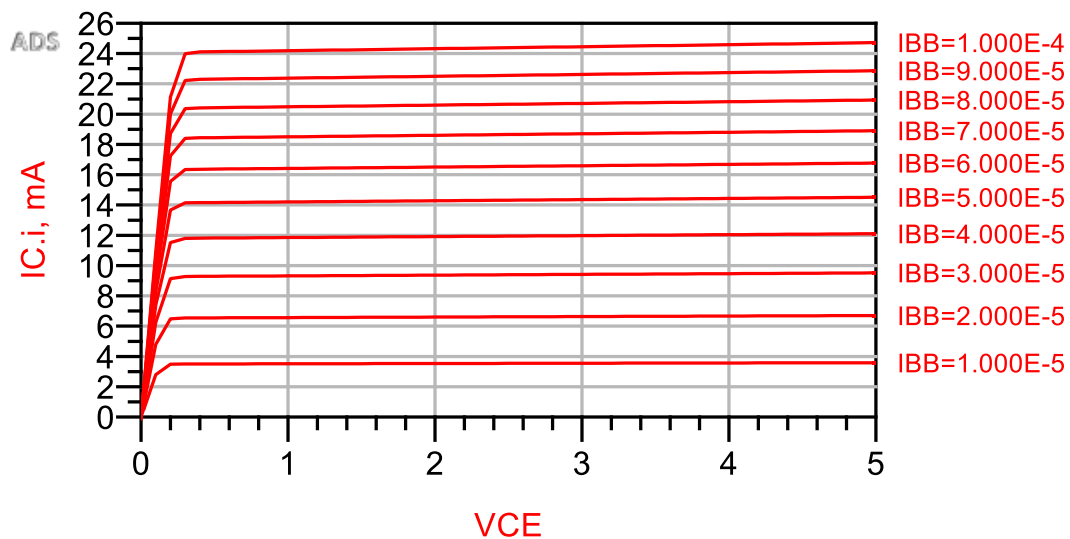


Ilustración 38. Corriente de colector vs Tensión de colector-emisor, para distintas corrientes de base I_B (Modelo).

Como se observa en la Ilustración 38, las curvas I-V del modelo del transistor no presentan el efecto breakdown a partir de 5 V de tensión de colector que se observan en las curvas I-V de la Ilustración 36, además en las curvas I-V del modelo del transistor el “codo” de las curvas se produce para una V_{CE} e I_C más baja. En particular, la tensión de codo en simulación es de 0.1 V mientras que en medida puede llegar a 1 V. Otro efecto observado es que si se sigue subiendo la I_B sigue subiendo la I_C . Por lo que los resultados obtenidos con el modelo no serán del todo exactos.



3.2.3 Punto de trabajo

El punto de trabajo óptimo varía en función del armónico que deseemos beneficiar a la salida, por lo que cada multiplicador tendrá su propio punto de trabajo óptimo. Para saber cuál es el punto de trabajo óptimo para cada armónico se ha realizado un barrido de la corriente de base del transistor para distintos valores de v_c , y se ha observado que combinación es la que proporciona mayor potencia de salida para cada armónico.

2º ARMÓNICO

El punto de trabajo óptimo para mayor potencia de salida en el multiplicador x2 es el siguiente:

Tabla 1. Punto de trabajo óptimo (multiplicador x2).

Parámetro	Valor
v_b	856 mV
v_c	1.24 V
i_b	140 μ A
i_c	30.8 mA

Sin embargo, en este punto de trabajo el consumo del multiplicador excede el máximo especificado. Por lo tanto, se busca un nuevo punto de trabajo que consiga la mayor potencia de salida sin exceder el consumo máximo.

Tabla 2. Punto de trabajo óptimo sin exceder consumo (multiplicador x2).

Parámetro	Valor
v_b	830 mV
v_c	970 mV
i_b	70.6 μ A
i_c	18.6 mA

El problema es que con este punto de trabajo hay alguna excursión de tensión que está al límite de los maximum ratings. Por lo que se determina un tercer punto de trabajo que no está tan al límite.

Tabla 3. Punto de trabajo óptimo cumpliendo con los Maximum Ratings (multiplicador x2).

Parámetro	Valor
v_b	836 mV
v_c	890 mV
i_b	79.9 μ A
i_c	20.5 mA

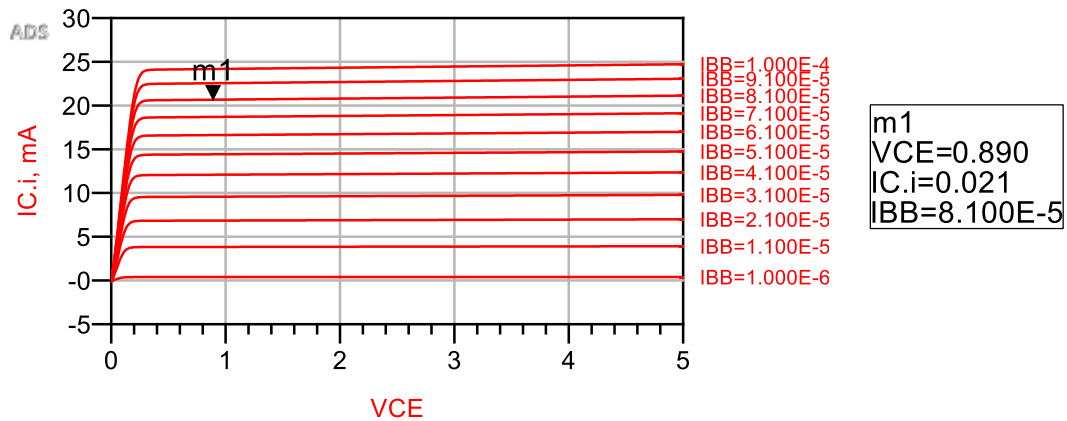


Ilustración 39. Punto de trabajo inicial para el multiplicador x2.

3^{er} ARMÓNICO

El punto de trabajo óptimo para mayor potencia de salida en el multiplicador x3 es el siguiente:

Tabla 4. Punto de trabajo óptimo (multiplicador x3).

Parámetro	Valor
v_b	827 mV
v_c	1.5 V
i_b	61.5 μ A
i_c	16.8 mA

Con este punto de trabajo también nos encontramos muy cerca de los maximum ratings, por lo que se busca otro punto de trabajo alternativo.

Tabla 5. Punto de trabajo óptimo cumpliendo con los Maximum Ratings (multiplicador x3).

Parámetro	Valor
v_b	806 mV
v_c	1.05 V
i_b	33 μ A
i_c	10.1 mA

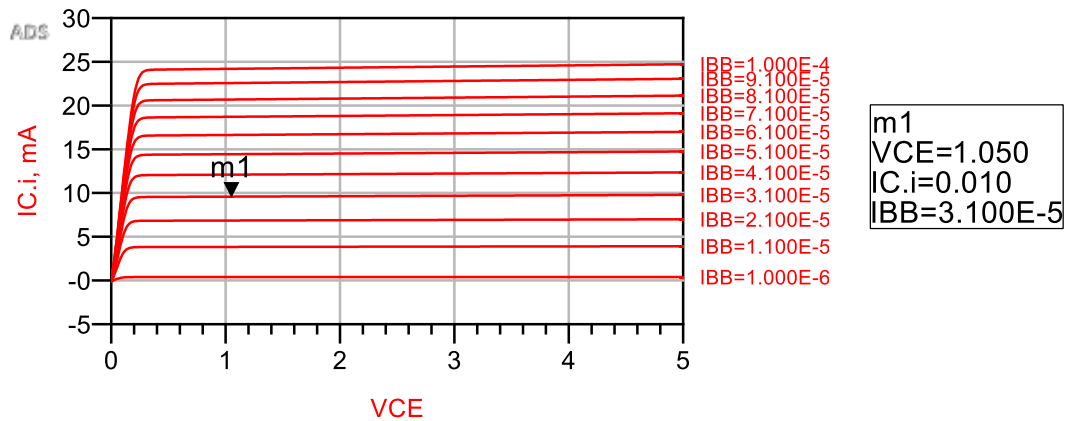


Ilustración 40. Punto de trabajo inicial para el multiplicador x3.

4^o ARMÓNICO

El punto de trabajo óptimo para mayor potencia de salida en el multiplicador x4 es el siguiente:

Tabla 6. Punto de trabajo óptimo cumpliendo (multiplicador x4).

Parámetro	Valor
v_b	807 mV
v_c	980 mV
i_b	33.6 μ A
i_c	10.2 mA

Con este punto de trabajo se cumple tanto el consumo como los maximum ratings de tensión.

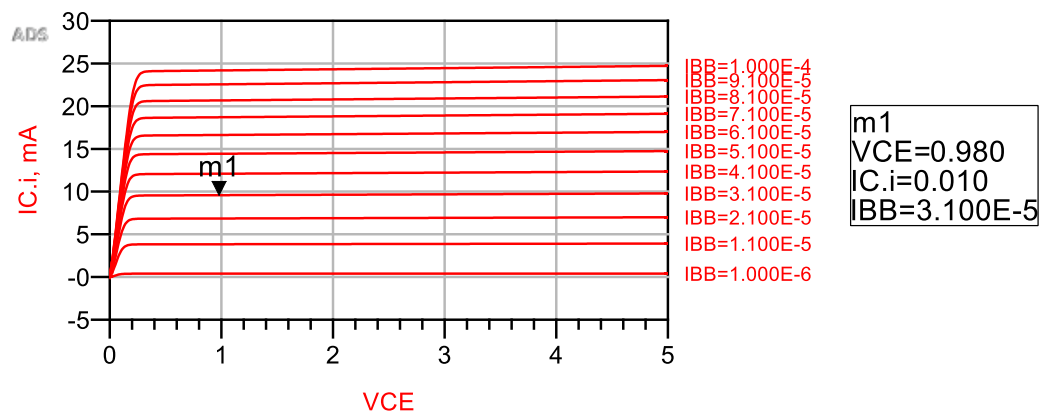


Ilustración 41. Punto de trabajo inicial para el multiplicador x4.



3.3 Diseño

En este apartado se lleva a cabo el diseño de los distintos multiplicadores a nivel de esquemático. El diseño se realizará en ADS, lo que nos permitirá realizar diversos análisis que nos darán a conocer los parámetros característicos de estos multiplicadores.

Este apartado está dividido de la siguiente manera. En primer lugar, se realiza el diseño de las redes de adaptación de entrada. Posteriormente, se realiza el diseño de las redes de polarización y, por último, se realiza el diseño de los filtros paso banda de salida. Si las simulaciones no cumplen las especificaciones demandadas habría que realizar el correspondiente proceso de rediseño, es decir, buscar nuevas alternativas que permitan alcanzarlas.

Una vez que las simulaciones de esquemático cumplan con las especificaciones se pasará al diseño de layout. A su vez, cuando las simulaciones electromagnéticas den resultados acordes a las especificaciones se procederá a la fabricación. La última fase es una fase de medidas del diseño fabricado, cuando estas medidas cumplan las especificaciones se dará por finalizado el presente proyecto.

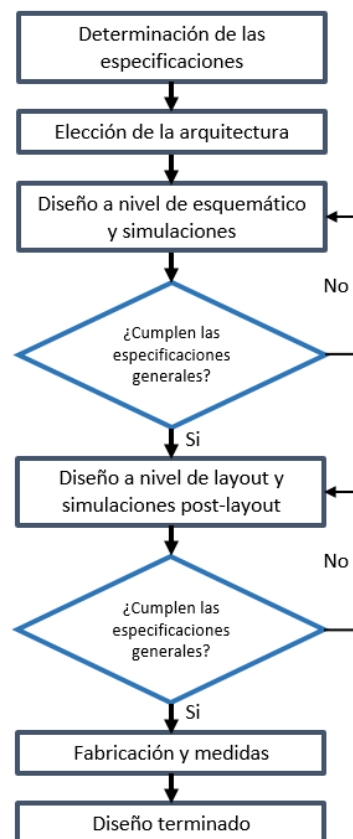


Ilustración 42. Flujo de diseño.



3.3.1 Redes de adaptación

El propósito de las redes de adaptación es entregar la mayor cantidad posible de potencia de la fuente al transistor, minimizando las pérdidas entre ambos. Para lograr esto es necesario adaptar la impedancia de entrada del transistor a la del generador, que en nuestro caso es de $50\ \Omega$.

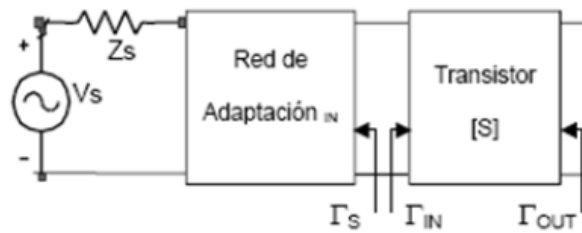


Ilustración 43. Etapa de adaptación.

La potencia generada por la fuente será de $-5\ \text{dBm}$, ya que esta es la máxima potencia a la que se cumplen los máximos de tensión y consumo del transistor para el punto de trabajo óptimo.

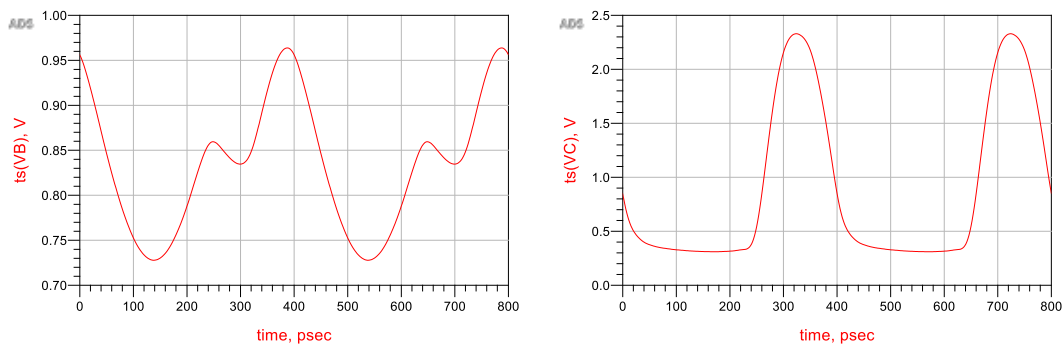


Ilustración 44. Excursiones de tensión en la base y colector del transistor.

La red de adaptación de entrada permite que esa señal de $-5\ \text{dBm}$ llegue hasta el transistor sin sufrir muchas pérdidas. La potencia a la entrada del transistor en caso de no adaptar se muestra en Ilustración 45.



RFpower	PB[:,1]
-10.000	-12.525
-8.000	-10.639
-6.000	-8.724
-4.000	-6.785
-2.000	-4.821
0.000	-2.842
2.000	-0.845
4.000	1.165
6.000	3.184
8.000	5.213
10.000	7.257
12.000	9.303
14.000	11.379
16.000	13.471
18.000	15.592
20.000	17.680

Ilustración 45. Potencia de la fuente (Izquierda) frente a la potencia que llega al transistor (Derecha).

A la hora de diseñar una red de adaptación existen diferentes métodos:

- Componentes pasivos (boninas, condensadores), lo que nos permite obtener una red de tamaño reducido y una mayor facilidad para realizar modificaciones. Sin embargo, los componentes pasivos tienen muchos parásitos a frecuencias de GHz, y sus valores están limitados a los valores comerciales.
- Líneas de transmisión y líneas en serie (stubs rectos y/o radiales), que, a pesar de contar con un mayor tamaño, su montaje es más simple, presentan un buen comportamiento en altas frecuencias y tienen una mayor exactitud en los valores.

Debido a esto, nos hemos decantado por realizar el diseño de las redes de adaptación mediante líneas de transmisión.

Esta adaptación será de banda ancha ya que hay que adaptar el rango de frecuencia generadas por el VCO, es decir, de 2 a 3 GHz. Este tipo de adaptación de banda ancha es bastante más complejo que adaptar a una frecuencia fija.

En un primer momento se realiza la adaptación de entrada en pequeña señal, por lo que no se tiene en cuenta la variación de la impedancia con la potencia. Las redes de adaptación de entrada para los tres diseños de multiplicadores (segundo, tercer, y cuarto armónico) serán las mismas, ya que la frecuencia de entrada es común para todos los diseños.

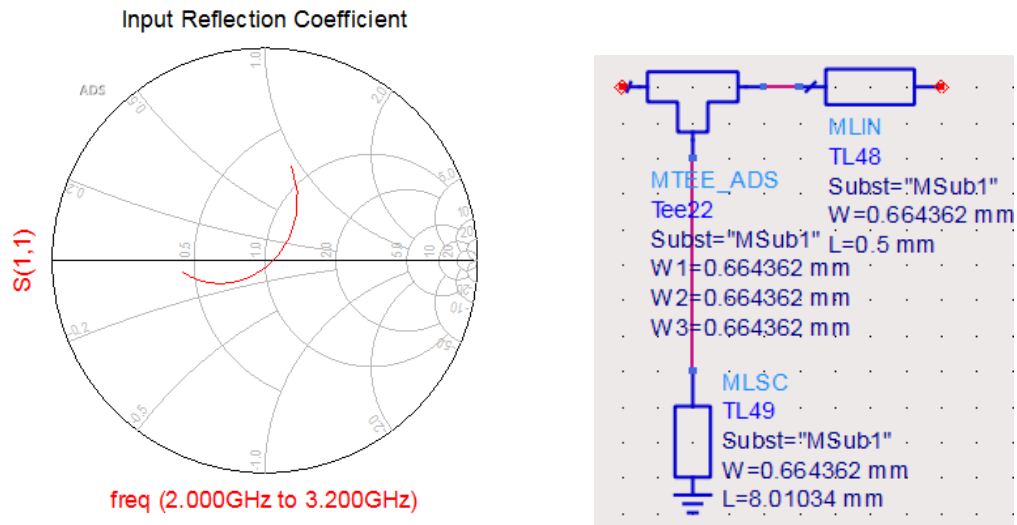


Ilustración 46. Red de adaptación de entrada (pequeña señal).

Sin embargo, se observó que esta adaptación en pequeña señal no es correcta debido a la variación de la impedancia de entrada del transistor con la potencia. Por lo que se realiza otro diseño en gran señal de la red de adaptación.

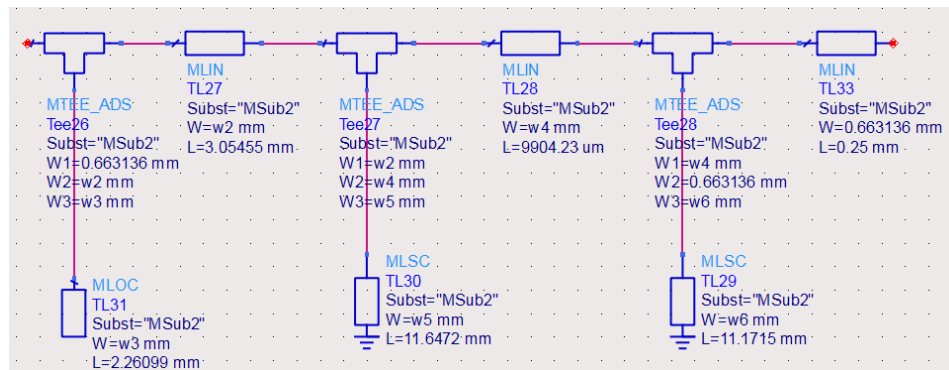


Ilustración 47. Red de adaptación de entrada (gran señal).

Se observa en la Ilustración 47 como las dimensiones de las líneas en este caso son demasiado grandes haciendo que las dimensiones del total de la red sean de 20.22 x 12.8 mm. Con esta red únicamente se pierde una media de 0.284 dB de la potencia de la fuente, como se observa en la Ilustración 48.

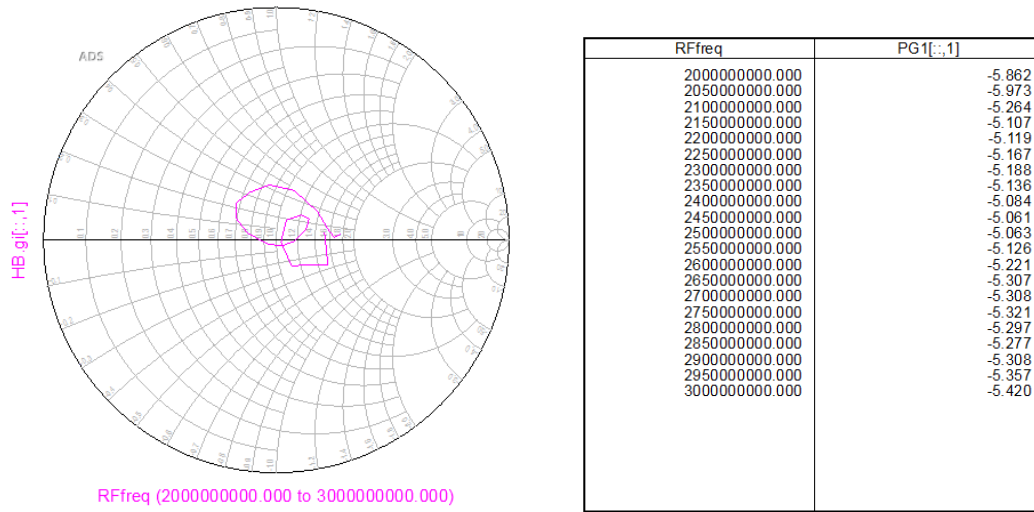


Ilustración 48. Parámetro S11, y potencia en la base del transistor.

El gran tamaño de la red de adaptación obliga a buscar alternativas para realizar la adaptación de entrada. Una alternativa bastante común en la adaptación de circuitos de banda ancha es adaptar mediante un atenuador.

Se ha diseñado un atenuador en T de 12.5 dB, cuyo diseño se utilizará en los tres multiplicadores. Con el objetivo de obtener una potencia de -5 dBm en la base del transistor, la potencia de entrada será de 10 dBm.

$$R_1 = Z_0 \left[\frac{10^{A/20} - 1}{10^{A/20} + 1} \right] = 30.83 \, \Omega$$

$$R_2 = \frac{Z_0^2 - R_1^2}{2R_1} = 25.128 \, \Omega$$

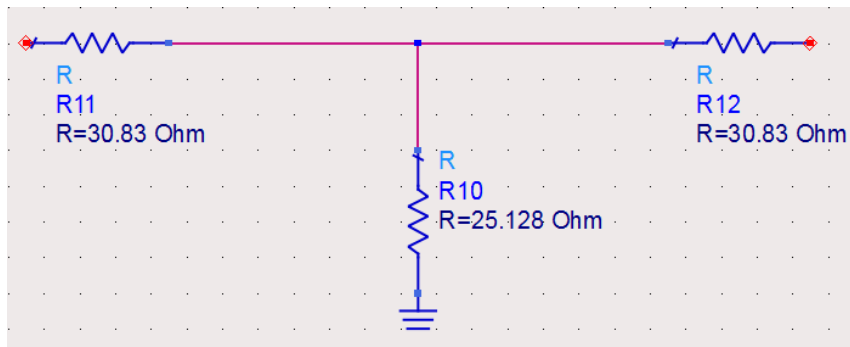


Ilustración 49. Atenuador en T de 12.5 dB.



La adaptación de entrada con este atenuador se muestra en la Ilustración 50.

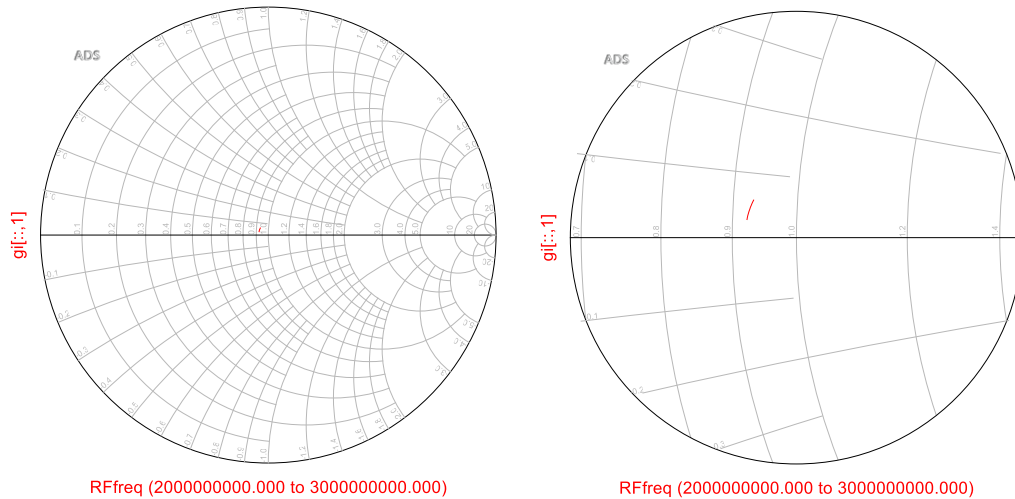


Ilustración 50. Parámetro S11, sin zoom (izquierda), con zoom (derecha).

3.3.2 Redes de polarización

La red de polarización es una parte fundamental en nuestros diseños de multiplicadores ya que tendrán dos funciones muy importantes. La primera es hacer que el transistor trabaje en el punto de trabajo deseado. La segunda es impedir el paso de señal alterna a las fuentes de continua.

Para empezar, se utilizan dos fuentes de tensión, en base y en colector, para lograr el punto de trabajo deseado. El bloqueo de señal y de continua se deja ideal con los bloques DC_Block y DC_Feed como se muestra en la Ilustración 51.

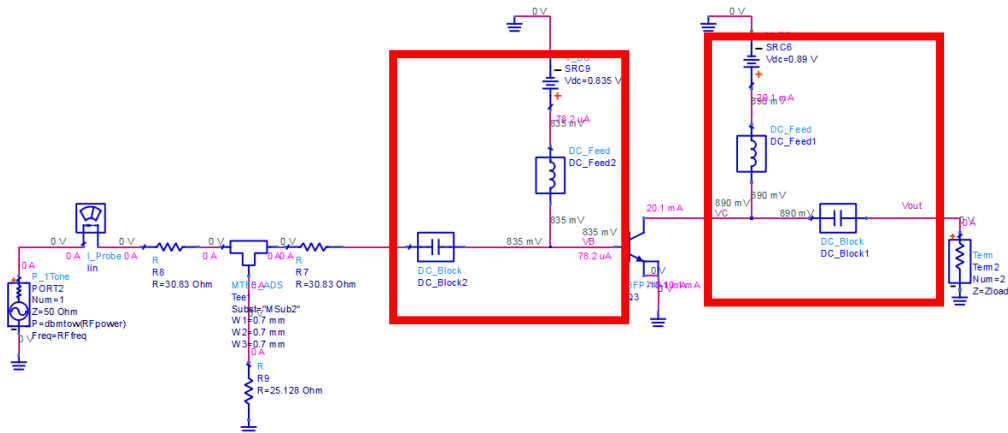


Ilustración 51. Fuentes de tensión para obtener el punto de trabajo deseado.



Una vez el transistor se encuentre trabajando en el punto de trabajo deseado se sustituyen los bloqueos ideales de continua y señal por condensadores y bobinas respectivamente, como se muestra en la Ilustración 52.

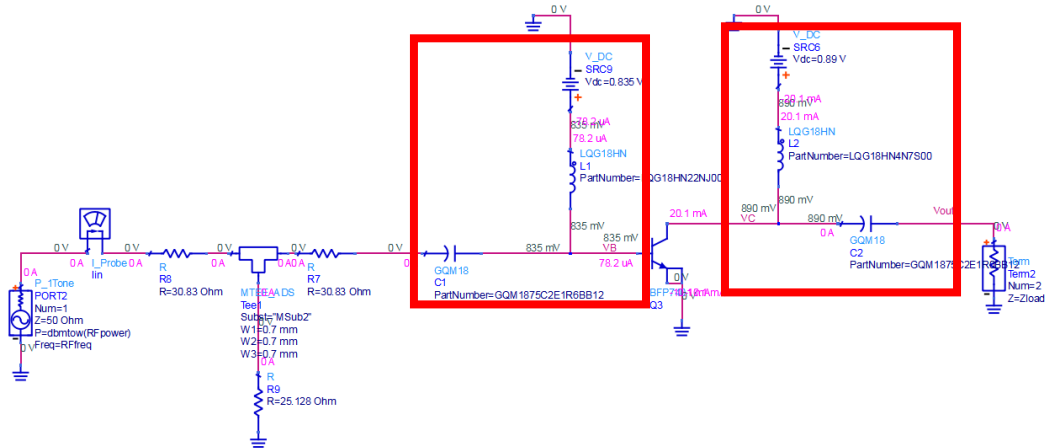


Ilustración 52. Redes de polarización con componentes pasivos.

Una de las utilidades de los condensadores es el filtrado de corrientes y tensiones continuas. Como se observa en la Ilustración 53, la atenuación a frecuencias bajas (cercanas a continua) es mayor a medida que disminuye el valor de la capacidad. Por lo que si se trabaja a frecuencias muy bajas se necesitarán valores de condensador elevados para que la señal no se vea degradada.

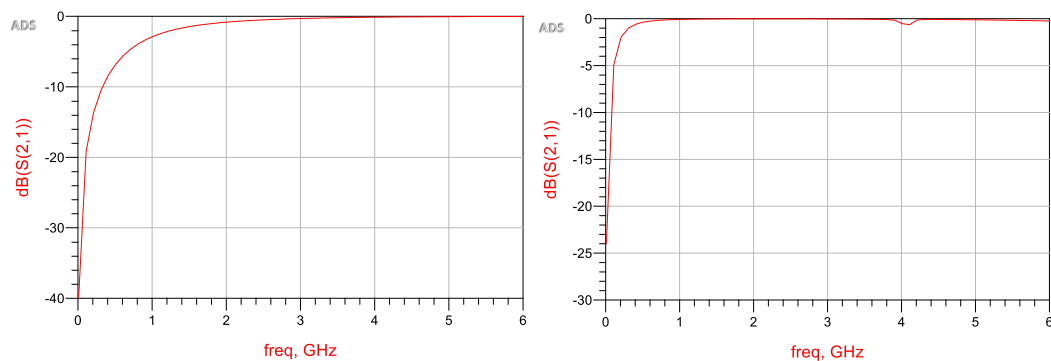


Ilustración 53. Ganancia de un condensador, $C=1.6$ pF (Izquierda), $C=10$ pF (Derecha).

Por su parte, las bobinas de choque se escogen para tener una reactancia muy grande a una frecuencia o rango de frecuencias determinadas. Por esto, las bobinas se suelen utilizar para impedir el paso de la corriente alterna de una parte del circuito a otra, al mismo tiempo que se deja pasar la corriente continua. En este caso, al disminuir el valor de la inductancia el rango de frecuencias rechazadas estará a una frecuencia mayor.



En la Ilustración 54 se muestra el parámetro S21 para distintos valores de bobina, dichos valores podrían ser utilizados por ejemplo para impedir que las frecuencias del fundamental (Ilustración 54a), 2º armónico (Ilustración 54b), 3ª armónico (Ilustración 54c) y 4º armónico (Ilustración 54d), lleguen hasta las fuentes de continua.

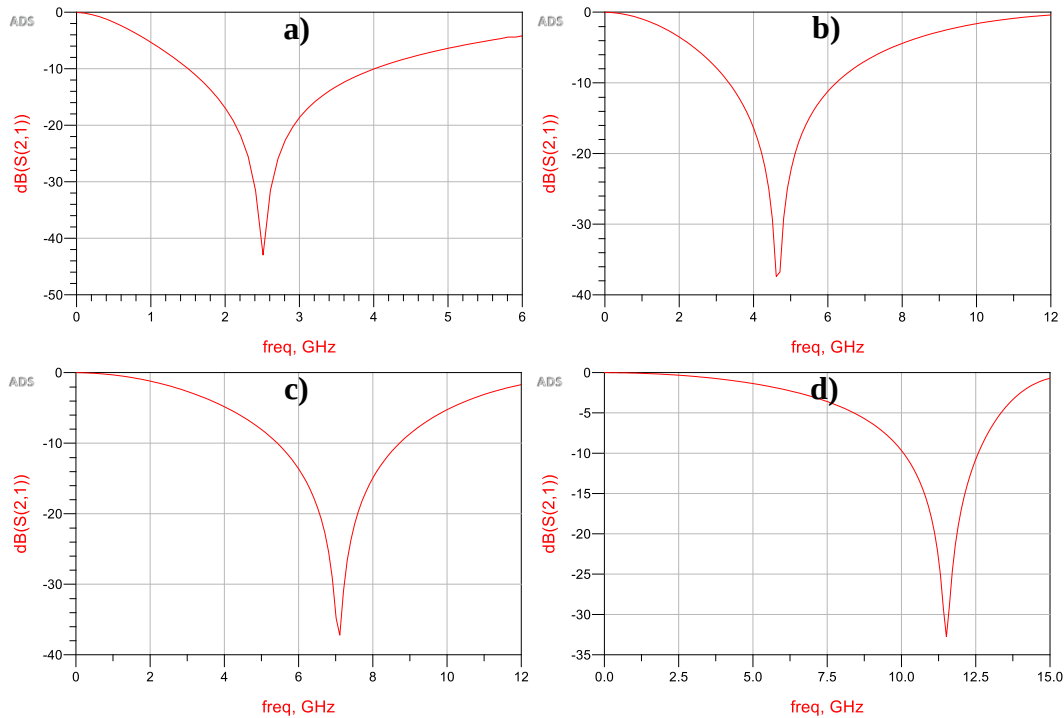


Ilustración 54. Ganancia de una bobina, a) $L=22$ nH, b) $L=8.2$ nH, c) $L=4.7$ nH, d) $L=2.2$ nH.

El siguiente paso es sustituir las bobinas por otros elementos que también eliminen la señal, ya que las bobinas suelen tener mal comportamiento a frecuencias elevadas. En nuestro caso se sustituye la bobina de la polarización de base por una resistencia, y la bobina de la polarización de colector por una línea de transmisión $\lambda/4$ y un stub radial $\lambda/4$. El stub radial tiene el mismo efecto que un condensador a masa, por lo que permite la creación de una masa de RF que, junto con la línea de transmisión $\lambda/4$ hace que en la rama de colector se tenga un abierto a RF. Esto permite aislar a la fuente de la frecuencia de RF con la que se esté trabajando, esta frecuencia dependerá del multiplicador que se esté diseñando, 5 GHz para el multiplicador x2, 7.5 GHz para el multiplicador x3, y 11 GHz para el multiplicador x4.

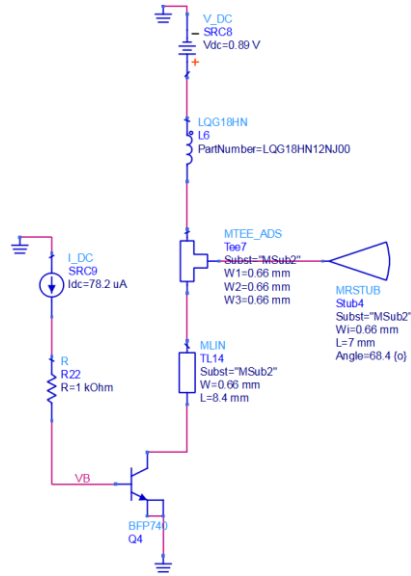


Ilustración 55. Red de polarización con líneas (2^o armónico).

Como se observa en la Ilustración 55, se ha sustituido la fuente de tensión de base por una fuente de corriente que nos permita conseguir el mismo punto de trabajo. Por su parte, una longitud $\lambda/4$ a la frecuencia de trabajo de 5 GHz (2^o armónico) y con el sustrato utilizado se corresponde con una longitud de 9 mm, con lo que la línea de transmisión y el stub radial tienen una longitud similar.

Lo mismo ocurre para la red de polarización del tercer armónico que se muestra en la Ilustración 56. A la frecuencia de trabajo del tercer armónico (7.5 GHz) y con el sustrato utilizado, una longitud $\lambda/4$ se corresponde con 6 mm, por lo que la línea de transmisión y el stub radial tendrán una longitud cercana a los 6 mm.

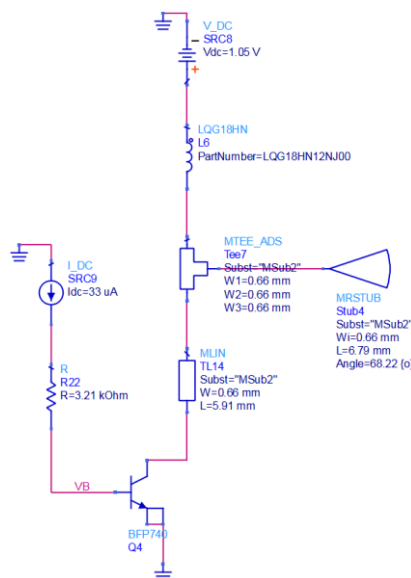


Ilustración 56. Red de polarización con líneas (3^{er} armónico).



Para la frecuencia de trabajo del cuarto armónico (11 GHz) y el sustrato utilizado, una longitud $\lambda/4$ se corresponde con 4 mm. Como se muestra en la Ilustración 57 el stub radial y la línea de transmisión tienen una longitud cercana a los 4 mm.

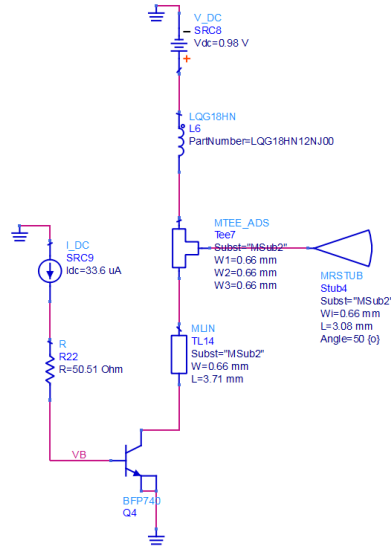


Ilustración 57. Red de polarización con líneas (4^o armónico).

El último paso es pasar del diseño con dos fuentes a un diseño con una única fuente de alimentación. Para hacer este tipo de polarización es necesario calcular el valor de las resistencias que hagan que el transistor trabaje en el punto de trabajo óptimo.

$$R_{pol} = \frac{V_{DC} - V}{I_C} = \frac{5 - 0.89}{20 * 10^{-3}} = 206 \Omega$$

Ecuación 21

$$V * \frac{R_{12}}{R_{10} + R_{12}} = 0.835 V$$

Ecuación 22

$$R_{10} = 0.604 k\Omega \quad R_{12} = 57 k\Omega$$

Ecuación 23

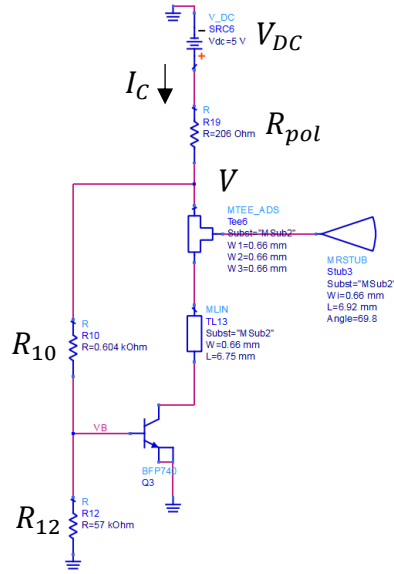


Ilustración 58. Red de polarización con una única fuente (2º armónico).

Además de cambiar la red de polarización se ha realizado un ajuste de los valores de longitud la línea de transmisión y del stub radial para unos mejores resultados.

En todos los diseños se utiliza una fuente de alimentación de tensión de 5 V, esta fuente podrá ser cambiada en cualquier momento calculando la resistencia de polarización necesaria para mantener el punto de trabajo.

El cálculo de resistencias para la red de polarización del tercer armónico se realiza de la misma forma.

$$R_{pol} = \frac{V_{DC} - V}{I_C} = \frac{5 - 1.05}{9.92 * 10^{-3}} = 397 \Omega$$

Ecuación 24

$$V * \frac{R_{12}}{R_{10} + R_{12}} = 0.805 V$$

Ecuación 25

$$R_{10} = 5.95 k\Omega \quad R_{12} = 85.27 k\Omega$$

Ecuación 26

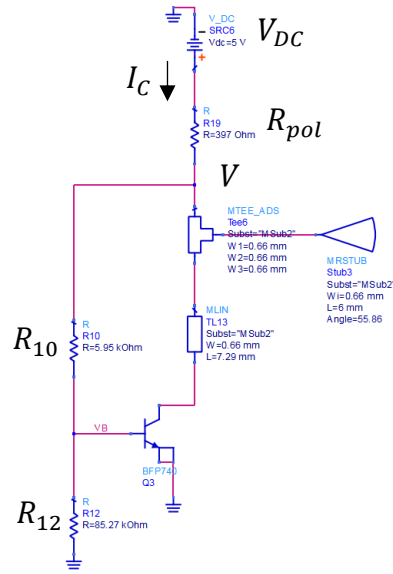


Ilustración 59. Red de polarización con una única fuente (3^{er} armónico).

Por último, la red de polarización para el cuarto armónico se realiza de forma idéntica.

$$R_{pol} = \frac{V_{DC} - V}{I_C} = \frac{5 - 0.98}{10.2 * 10^{-3}} = 394 \Omega$$

Ecuación 27

$$V * \frac{R_{12}}{R_{10} + R_{12}} = 0.805 V$$

Ecuación 28

$$R_{10} = 2.91 k\Omega \quad R_{12} = 25.44 k\Omega$$

Ecuación 29

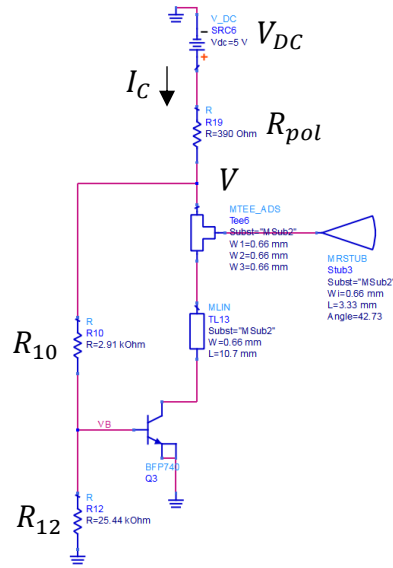


Ilustración 60. Red de polarización con una única fuente (4^o armónico).

3.3.3 Filtros paso banda

La función de los filtros paso banda es la de elegir el armónico deseado a la salida. Por esto, se diseñan tres filtros paso banda distintos, uno para cada armónico.

- Filtro paso banda entre 4 y 6 GHz para el segundo armónico.
- Filtro paso banda entre 7 y 8 GHz para el tercer armónico.
- Filtro paso banda entre 10 y 12.8 GHz para el cuarto armónico.

En cuanto al diseño de estos filtros existen básicamente dos opciones, la primera es realizar el diseño mediante componentes pasivos, y la segunda es realizar el diseño mediante líneas de transmisión. Entre estas dos opciones se elige la segunda, ya que los filtros realizados con componentes pasivos tienen el problema de los efectos parásitos de los componentes discretos a altas frecuencias. En la Ilustración 61 se compara la respuesta de un filtro realizado con componentes pasivos con la respuesta de un filtro realizado con líneas de transmisión.

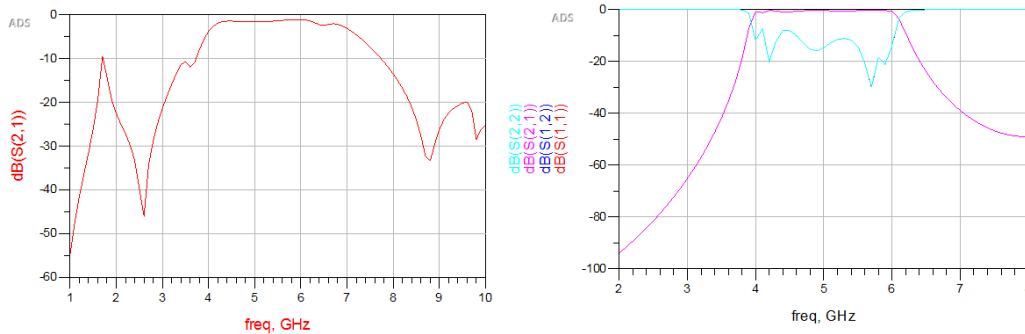


Ilustración 61. Comparación de los parámetros S de un filtro realizado con componentes pasivos (izquierda) con los parámetros S de un filtro realizado con líneas de transmisión (derecha).

Dentro de los filtros paso banda realizados con líneas de transmisión existen varias opciones de diseño, como los filtros de líneas acopladas, filtros interdigitales o los filtros “hairpin”.

Los filtros de líneas acopladas es una de las topologías más populares. Su diseño consiste en una fila de resonadores $\lambda/2$ colocados de forma paralela, pero acoplando únicamente una longitud $\lambda/4$ con los resonadores contiguos. Esto hace que adquiera la forma que se muestra en la Ilustración 62. Este tipo de filtro tiene dos problemas, uno es su gran tamaño al estar formado por líneas de longitud $\lambda/2$, y otro es que este tipo de filtros no tienen una caída muy abrupta, lo que imposibilita su uso en nuestro trabajo.



Ilustración 62. Filtro paso banda de líneas acopladas.

Una topología que mejora estos dos problemas es la de los filtros paso banda interdigitales. Este tipo de filtro está formado por líneas de transmisión de longitud $\lambda/4$, en el que cada línea está terminada en cortocircuito en un extremo, dejando el otro extremo en circuito abierto. El extremo terminado en cortocircuito alterna en cada línea como se muestra en la Ilustración 63.

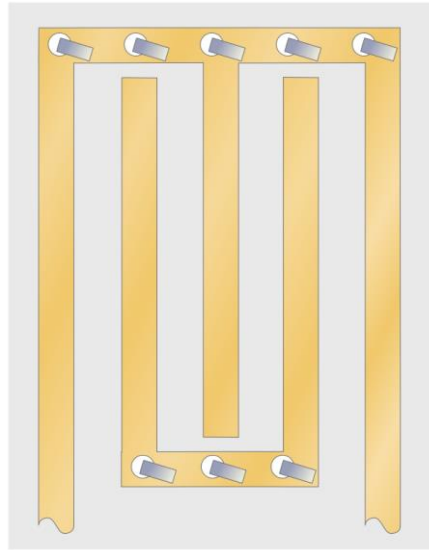


Ilustración 63. Filtro paso banda interdigital.

Por último, una topología que tiene las mejoras de los filtros interdigitales pero que cuenta con una mayor simplicidad de diseño son los filtros “hairpin”. Estos filtros están formados por líneas paralelas de longitud $\lambda/4$, cada par de líneas paralelas está conectado al siguiente par por un cortocircuito, dando la forma de “U” que se muestra en la Ilustración 64, estos cortocircuitos deben ser lo suficientemente largos para que no haya acoplos entre las líneas, pero lo suficientemente cortos como para no aumentar demasiado el tamaño del filtro.



Ilustración 64. Filtro paso banda hairpin.

De entre todas estas topologías nos decantamos por los filtros “hairpin” ya que su simplicidad, su banda de paso plana, y su caída abrupta hace que sea ideal para la selección de los armónicos.

Se ha optado por filtros de 4 etapas, ya que este es el número mínimo de etapas que permite cubrir todo el ancho de banda necesario.



N	g_1	g_2	g_3	g_4	g_5	g_6	g_7	g_8	g_9	g_{10}	g_{11}
1	0.6986	1.0000									
2	1.4029	0.7071	1.9841								
3	1.5963	1.0967	1.5963	1.0000							
4	1.6703	1.1926	2.3661	0.8419	1.9841						
5	1.7058	1.2296	2.5408	1.2296	1.7058	1.0000					
6	1.7254	1.2479	2.6064	1.3137	2.4758	0.8696	1.9841				
7	1.7372	1.2583	2.6381	1.3444	2.6381	1.2583	1.7372	1.0000			
8	1.7451	1.2647	2.6564	1.3590	2.6964	1.3389	2.5093	0.8796	1.9841		
9	1.7504	1.2690	2.6678	1.3673	2.7939	1.3673	2.6678	1.2690	1.7504	1.0000	
10	1.7543	1.2721	2.6754	1.3725	2.7392	1.3806	2.7231	1.3485	2.5239	0.8842	1.9841

Ilustración 65. Coeficientes del filtro paso bajo Chebyshev con 0.5 dB de rizado.

Para el diseño de este tipo de filtros, se tienen que calcular las admitancias características del inversor J, para ello se utiliza la siguiente ecuación.

$$Z_0 J_{n,n+1} = \sqrt{\frac{\pi}{2} \frac{FBW}{g_n g_{n+1}}}$$

Ecuación 30

Donde FBW es el ancho de banda fraccional, Z_0 es la impedancia característica de la línea, y g_n son los coeficientes de un filtro paso bajo Chebyshev prototipo de 0.5 dB de rizado. La tabla con estos coeficientes se muestra en la Ilustración 65. En nuestro caso, al diseñar filtros de cinco polos, los coeficientes serán los correspondientes a $n=5$.

Las impedancias par e impar de las líneas microstrip acopladas se muestra en la Ecuación 31 y la Ecuación 32, respectivamente. Estas impedancias se calculan a partir de los valores obtenidos de las admitancias características del inversor J.

$$(Z_{0e})_{n,n+1} = Z_0 [1 + J_{n,n+1} Z_0 + (J_{n,n+1} Z_0)^2]$$

Ecuación 31

$$(Z_{0o})_{n,n+1} = Z_0 [1 - J_{n,n+1} Z_0 + (J_{n,n+1} Z_0)^2]$$

Ecuación 32



Para una única línea microstrip estas ecuaciones se reducen a las mostradas en la Ecuación 33 y Ecuación 34.

$$Z_{0se} = \frac{(Z_{0e})_{n,n+1}}{2}$$

Ecuación 33

$$Z_{0so} = \frac{(Z_{0o})_{n,n+1}}{2}$$

Ecuación 34

El siguiente paso es encontrar las relaciones $(w/h)_{se}$ y $(w/h)_{so}$ a partir de las impedancias calculadas anteriormente. En nuestro caso al realizar los filtros con unas anchuras muy pequeñas, dicha relación es inferior a 2, por lo que se utilizará la expresión de la Ecuación 35.

$$\frac{w}{h} = \frac{8e^A}{e^{2A} - 2}$$

Ecuación 35

Donde,

$$A = \frac{Z_C}{60} \left(\frac{\epsilon_r + 1}{2} \right)^{0.5} + \frac{\epsilon_r - 1}{\epsilon_r + 1} \left(0.23 + \frac{0.11}{\epsilon_r} \right)$$

Ecuación 36

Con estas ecuaciones ya es posible calcular las relaciones $(w/h)_{se}$ y $(w/h)_{so}$ aplicando Z_{0se} y Z_{0so} como Z_C en la Ecuación 36.

Una vez calculadas $(w/h)_{se}$ y $(w/h)_{so}$, se puede calcular otra relación más interesante, la relación s/h , de la cual se obtiene la separación entre las distintas líneas del filtro.

$$\frac{s}{h} = \frac{2}{\pi} \cosh^{-1} \left[\frac{\cosh \left(\left(\frac{\pi}{2} \right) \left(\frac{w}{h} \right)_{se} \right) + \cosh \left(\left(\frac{\pi}{2} \right) \left(\frac{w}{h} \right)_{so} \right) - 2}{\cosh \left(\left(\frac{\pi}{2} \right) \left(\frac{w}{h} \right)_{so} \right) - \cosh \left(\left(\frac{\pi}{2} \right) \left(\frac{w}{h} \right)_{se} \right)} \right]$$

Ecuación 37



Para calcular la longitud de las líneas simplemente se tiene que calcular la constante dieléctrica efectiva, ϵ_{re} .

$$\epsilon_{re} = \frac{\epsilon_r + 1}{2} + \frac{\epsilon_r - 1}{2} \frac{1}{\sqrt{1 + \frac{12h}{w}}}$$

Ecuación 38

A partir de este valor de constante dieléctrica se calcula la longitud de onda siguiendo la Ecuación 39.

$$\lambda_g = \frac{300}{f(\text{GHz})\sqrt{\epsilon_{re}}} \text{ mm}$$

Ecuación 39

Una vez calculada la longitud de onda, se puede calcular la longitud de las líneas siguiendo la expresión de la Ecuación 40.

$$l = \frac{\lambda_g}{4}$$

Ecuación 40

Por ejemplo, para el filtro del multiplicador x2, la frecuencia central es de 5 GHz y la constante dieléctrica del sustrato tiene un valor de 3.55.

$$\begin{aligned} \epsilon_{re} &= \frac{\epsilon_r + 1}{2} + \frac{\epsilon_r - 1}{2} \frac{1}{\sqrt{1 + \frac{12h}{w}}} = \frac{3.55 + 1}{2} + \frac{3.55 - 1}{2} \frac{1}{\sqrt{1 + \frac{12 * 0.305}{0.66}}} \\ &= 2.78 \end{aligned}$$

Ecuación 41

$$\lambda_g = \frac{300}{f(\text{GHz})\sqrt{\epsilon_{re}}} \text{ mm} = \frac{300}{5 * \sqrt{2.78}} = 35.98 \text{ mm}$$

Ecuación 42

$$l = \frac{\lambda_g}{4} = \frac{35.98}{4} = 9 \text{ mm}$$

Ecuación 43



En el diseño del filtro paso banda para el segundo armónico, la longitud resultante de las líneas paralelas es de 9.37 mm ($\sim\lambda/4$). La anchura de las líneas es de 0.1 mm, y la separación entre líneas es también de 0.1. Por último, la distancia entre pares de líneas paralelas es de 1.1 mm.



Ilustración 66. Layout del filtro paso banda para el segundo armónico.

En la Ilustración 67 se muestra la respuesta del filtro diseñado para el segundo armónico, las pérdidas en los extremos de la banda son de 2.35 dB (extremo inferior), y de 1.93 dB (extremo superior), las pérdidas mínimas se consiguen a la frecuencia de 4.59 GHz y son de 0.28 dB.

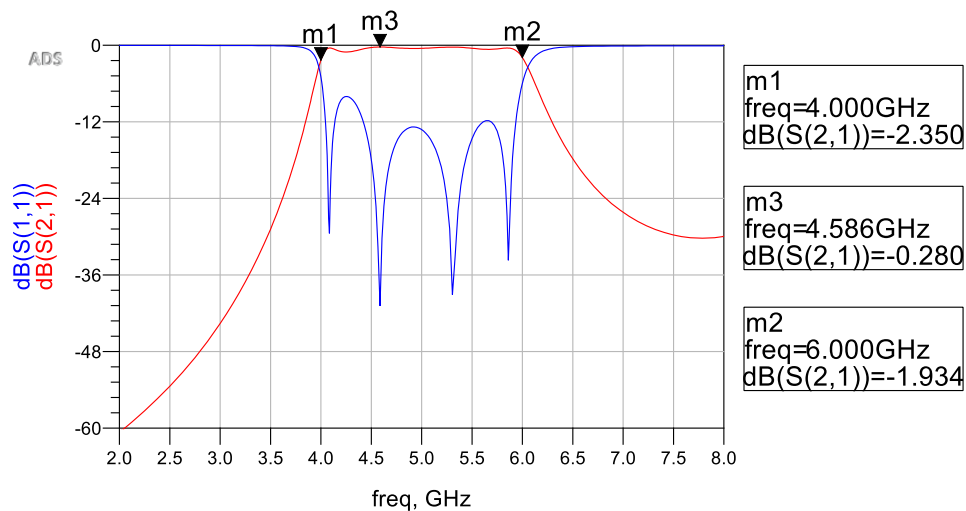


Ilustración 67. Parámetros S21 (ganancia) y S11 (adaptación), del filtro paso banda para el segundo armónico.



En el caso del filtro paso banda para el tercer armónico la longitud de las líneas paralelas es de 5.82 mm ($\sim \lambda/4$), las anchuras de las líneas son de 0.15 mm en los pares de los extremos y el par central, y de 0.33 mm en el segundo y cuarto par. Las separaciones entre líneas son de 0.15 mm en todos los pares salvo en el par central que es de 0.32 mm. Por último, la distancia entre pares de líneas paralelas es de 1 mm.

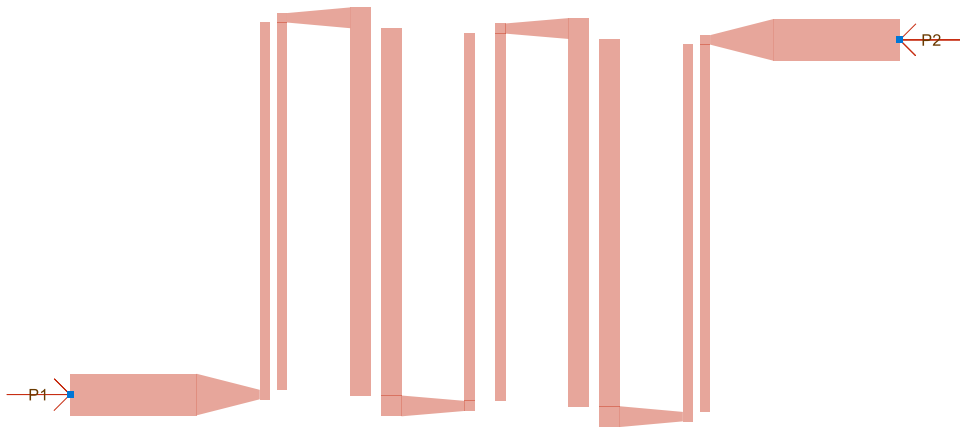


Ilustración 68. Layout del filtro paso banda para el tercer armónico.

En la Ilustración 69 se muestra la respuesta del filtro paso banda para el multiplicador x3, las pérdidas en los extremos de la banda son de 0.65 dB en el extremo inferior, y de 0.54 en el extremo superior.

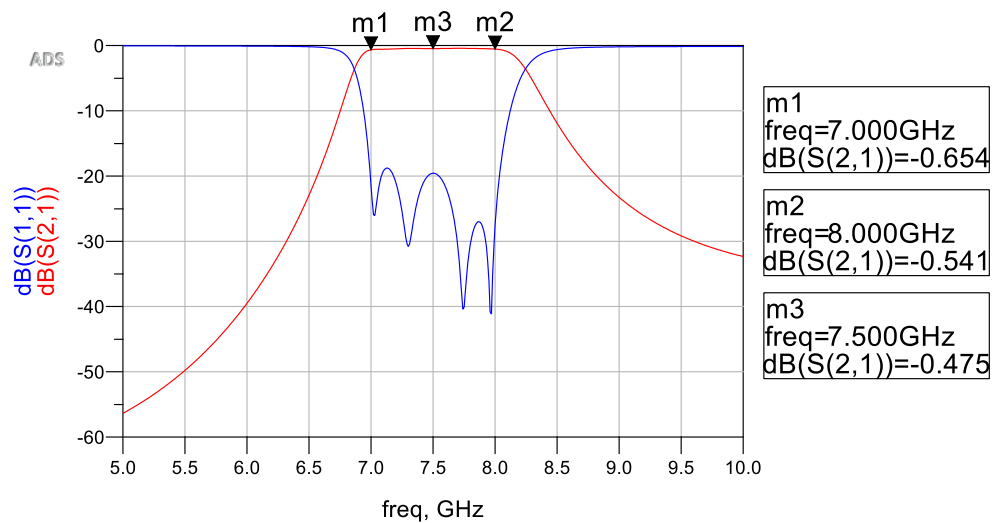


Ilustración 69. Parámetros S21 (ganancia) y S11 (adaptación), del filtro paso banda para el tercer armónico.



La longitud de las líneas paralelas en el filtro paso banda para el multiplicador x4 es de 3.68 mm ($\sim \lambda/4$), la anchura de las líneas es de 0.13 mm en los pares de líneas de los extremos y en el par central, y de 0.17 mm en el segundo y cuarto par de líneas. La separación entre líneas paralelas es de 0.1 mm en los pares de los extremos, de 0.12 mm en el segundo y cuarto par, y de 0.17 mm en el par central. La distancia entre pares de líneas contiguos es de 1 mm.

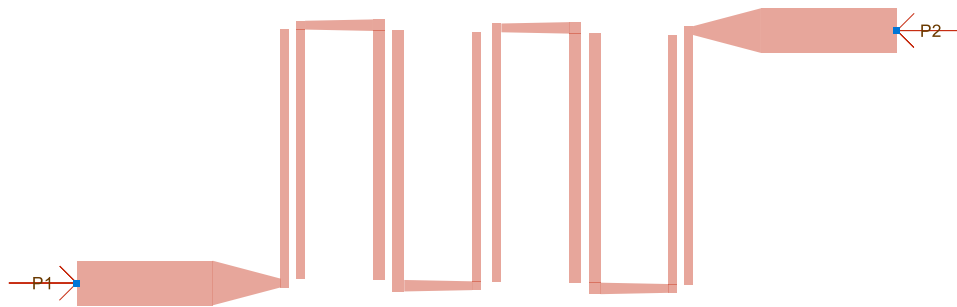


Ilustración 70. Layout del filtro paso banda para el cuarto armónico.

En la Ilustración 71 se muestra la respuesta del filtro paso banda diseñado para el multiplicador x4. Las pérdidas en los extremos de la banda son de 0.42 dB en el extremo inferior, y de 0.36 dB en el extremo superior, siendo las pérdidas mínimas del filtro de 0.25 dB en la frecuencia de 11.5 GHz.

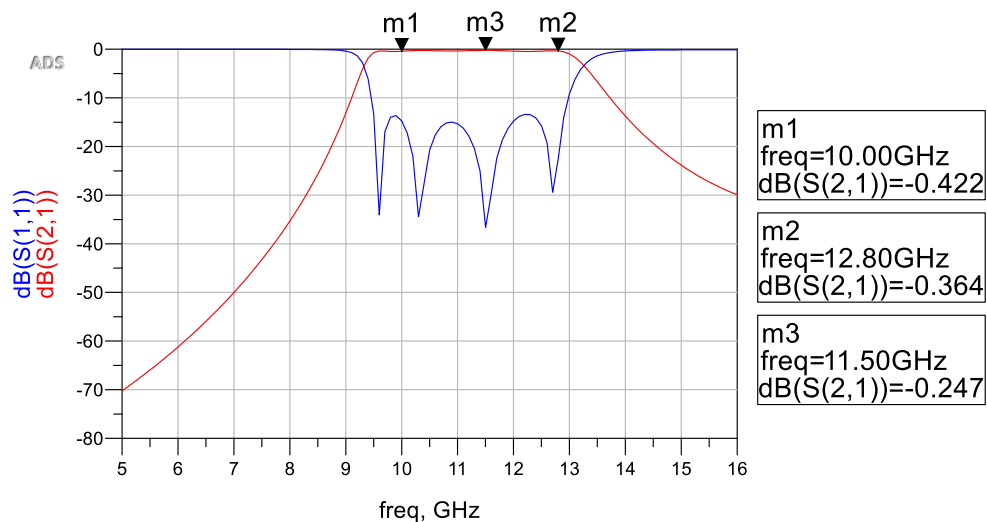


Ilustración 71. Parámetros S21 (ganancia) y S11 (adaptación), del filtro paso banda para el cuarto armónico.



El primer diseño completo se muestra en la Ilustración 72, con el atenuador como elemento para conseguir la adaptación de entrada, el filtro paso banda para seleccionar el armónico deseado a la salida, y con una polarización con dos fuentes de alimentación y una bobina. Estas fuentes permiten que el transistor trabaje en el punto de trabajo óptimo para cada caso.

Como se dijo en apartados anteriores, la potencia de entrada es de 10 dBm, que junto con el atenuador hará que lleguen únicamente -5 dBm a la base del transistor. Esta potencia es la máxima con la que se cumplen las especificaciones del transistor. En la Ilustración 73 se muestra el espectro de salida, las potencias del segundo armónico se encuentran en torno a los 0 dBm, mientras que los demás armónicos cuentan con una buena supresión.

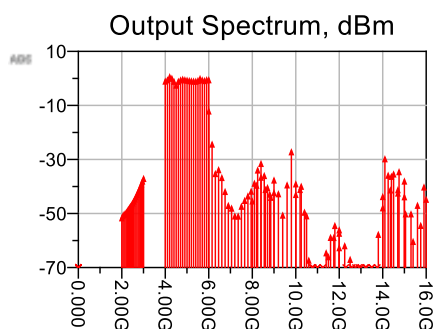
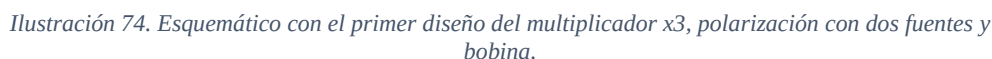
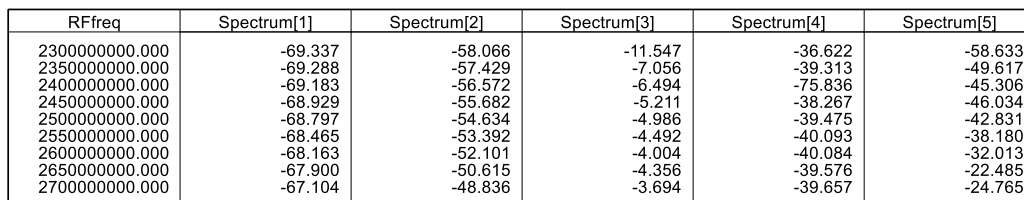
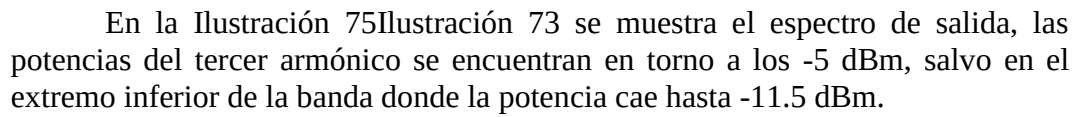


Ilustración 73. Potencias de salida del multiplicador x2, en la versión esquemático con dos fuentes de alimentación y bobina.

El diseño del multiplicador x3 es similar al del multiplicador x2, únicamente se sustituye el filtro paso banda del segundo armónico por uno que permita el paso del tercer armónico, y se cambia el punto de trabajo para beneficiar la generación del tercer armónico.





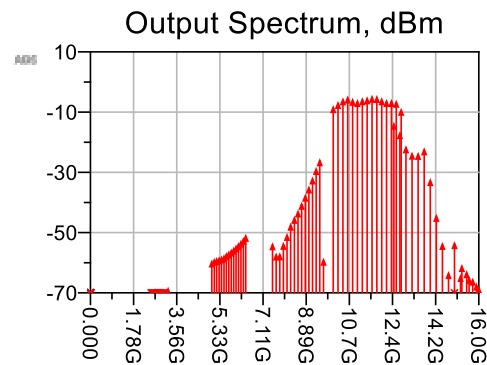
4º ARMÓNICO

[illegible]

72



El espectro de salida se muestra en la Ilustración 77. Las potencias del cuarto armónico oscilan se encuentran en torno a los -5 dBm, salvo en el extremo superior de la banda donde la potencia cae hasta los -9 dBm.



RFfreq	Spectrum[1]	Spectrum[2]	Spectrum[3]	Spectrum[4]	Spectrum[5]
2500000000.000	-70.232	-59.434	-53.729	-8.173	-13.753
2550000000.000	-70.536	-58.904	-57.137	-6.807	-16.814
2600000000.000	-71.056	-58.624	-57.065	-5.621	-21.520
2650000000.000	-71.365	-58.401	-53.571	-4.992	-23.653
2700000000.000	-71.467	-58.101	-50.599	-5.747	-23.718
2750000000.000	-71.564	-57.698	-47.208	-6.204	-22.197
2800000000.000	-71.371	-57.019	-44.941	-5.582	-32.429
2850000000.000	-71.173	-56.436	-42.837	-5.273	-44.289
2900000000.000	-70.956	-55.831	-40.297	-4.770	-53.606
2950000000.000	-70.687	-55.160	-37.611	-4.851	-63.291
3000000000.000	-70.409	-54.427	-34.838	-5.551	-71.633
3050000000.000	-70.105	-53.648	-31.893	-6.127	-64.275
3100000000.000	-69.733	-52.833	-28.710	-6.146	-62.981
3150000000.000	-69.236	-51.957	-25.849	-6.401	-65.480
3200000000.000	-68.499	-50.932	-58.875	-9.057	-68.087

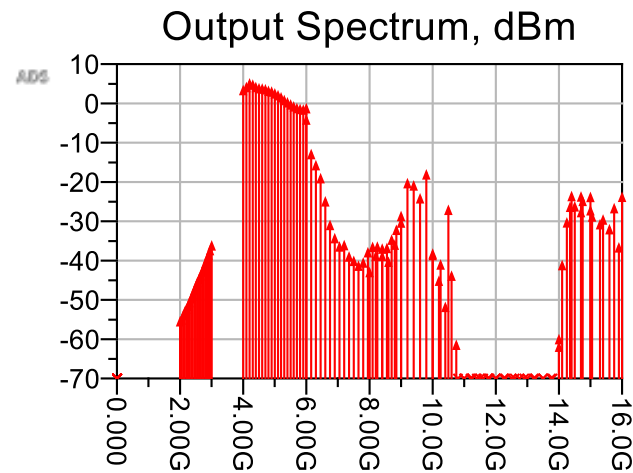
Ilustración 77. Potencias de salida del multiplicador x4, en la versión esquemático con dos fuentes de alimentación y bobina.

El siguiente paso es realizar una primera versión de layout de los diseños que se acaban de mostrar, para ello, como paso previo, se introducen líneas estos esquemáticos para conectar los distintos componentes. Estas líneas son similares a las que se utilizarán posteriormente para realizar el diseño del layout.

Los diseños resultantes con estas líneas incorporadas para el segundo, tercer, y cuarto armónico se muestran en la Ilustración 78, Ilustración 80, e Ilustración 82, respectivamente.

En algunos casos al introducir estas líneas las potencias a la salida son mayores, como en el caso del multiplicador x2 (Ilustración 79). En otros, las potencias a la salida disminuyen, como es el caso del multiplicador x4 (Ilustración 83).





RFfreq	Spectrum[1]	Spectrum[2]	Spectrum[3]	Spectrum[4]	Spectrum[5]
2000000000.000	-54.606	4.228	-3.290	-42.098	-37.409
2050000000.000	-54.146	4.997	-12.083	-37.921	-40.157
2100000000.000	-53.057	5.905	-14.881	-38.003	-26.253
2150000000.000	-52.170	5.622	-18.219	-39.492	-60.586
2200000000.000	-51.433	5.006	-24.108	-35.112	-71.358
2250000000.000	-50.645	4.693	-30.131	-29.499	-70.818
2300000000.000	-49.740	4.597	-33.462	-19.495	-71.792
2350000000.000	-48.763	4.421	-35.579	-20.070	-71.571
2400000000.000	-47.704	4.044	-35.242	-23.328	-72.729
2450000000.000	-46.646	3.847	-38.139	-17.262	-74.854
2500000000.000	-45.652	3.354	-39.238	-37.770	-74.795
2550000000.000	-44.657	2.925	-40.489	-44.300	-79.975
2600000000.000	-43.750	2.373	-39.657	-50.959	-85.464
2650000000.000	-42.909	1.690	-37.067	-43.010	-76.876
2700000000.000	-41.989	1.089	-35.702	-73.376	-74.964
2750000000.000	-40.919	0.550	-35.630	-73.489	-77.500
2800000000.000	-39.786	0.050	-36.131	-73.462	-59.157
2850000000.000	-38.698	-0.374	-35.973	-74.373	-29.453
2900000000.000	-37.644	-0.607	-33.846	-75.078	-25.388
2950000000.000	-36.525	-0.733	-31.351	-76.699	-23.983
3000000000.000	-35.331	-0.397	-27.850	-81.621	-22.988

Ilustración 79. Potencias de salida del multiplicador x2, en la versión esquemático con líneas y con dos fuentes de alimentación y bobina.



3^{er} ARMÓNICO

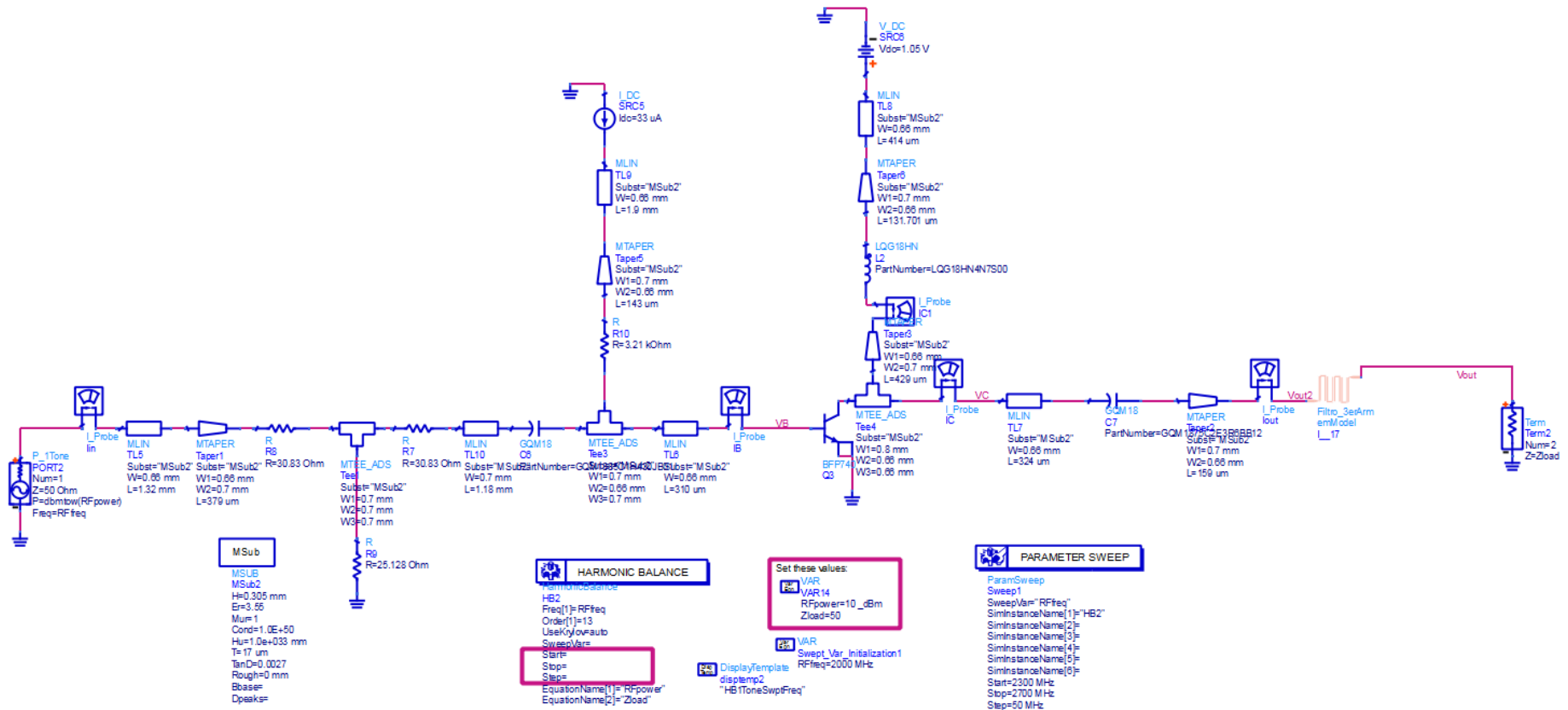
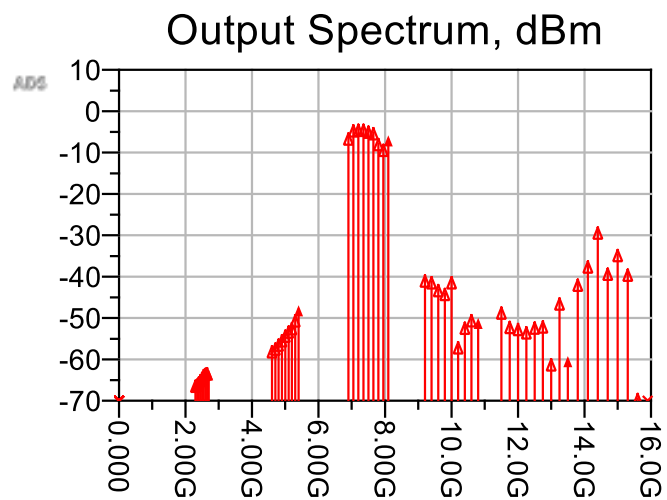


Ilustración 80. Esquemático del multiplicador x3 con líneas, polarización con dos fuentes y bobina.



RFfreq	Spectrum[1]	Spectrum[2]	Spectrum[3]	Spectrum[4]	Spectrum[5]
2300000000.000	-65.713	-57.403	-5.935	-40.305	-48.047
2350000000.000	-65.455	-56.754	-3.997	-40.709	-51.517
2400000000.000	-64.935	-55.786	-3.841	-42.587	-52.015
2450000000.000	-64.374	-54.744	-3.847	-43.534	-52.795
2500000000.000	-63.783	-53.624	-4.295	-40.695	-51.663
2550000000.000	-63.150	-52.634	-4.670	-56.450	-51.373
2600000000.000	-62.833	-51.804	-7.298	-51.689	-60.551
2650000000.000	-62.712	-49.910	-8.692	-49.884	-45.838
2700000000.000	-62.936	-47.447	-6.383	-50.514	-59.763

Ilustración 81. Potencias de salida del multiplicador x3, en la versión esquemático con líneas y con dos fuentes de alimentación y bobina.



4º ARMÓNICO

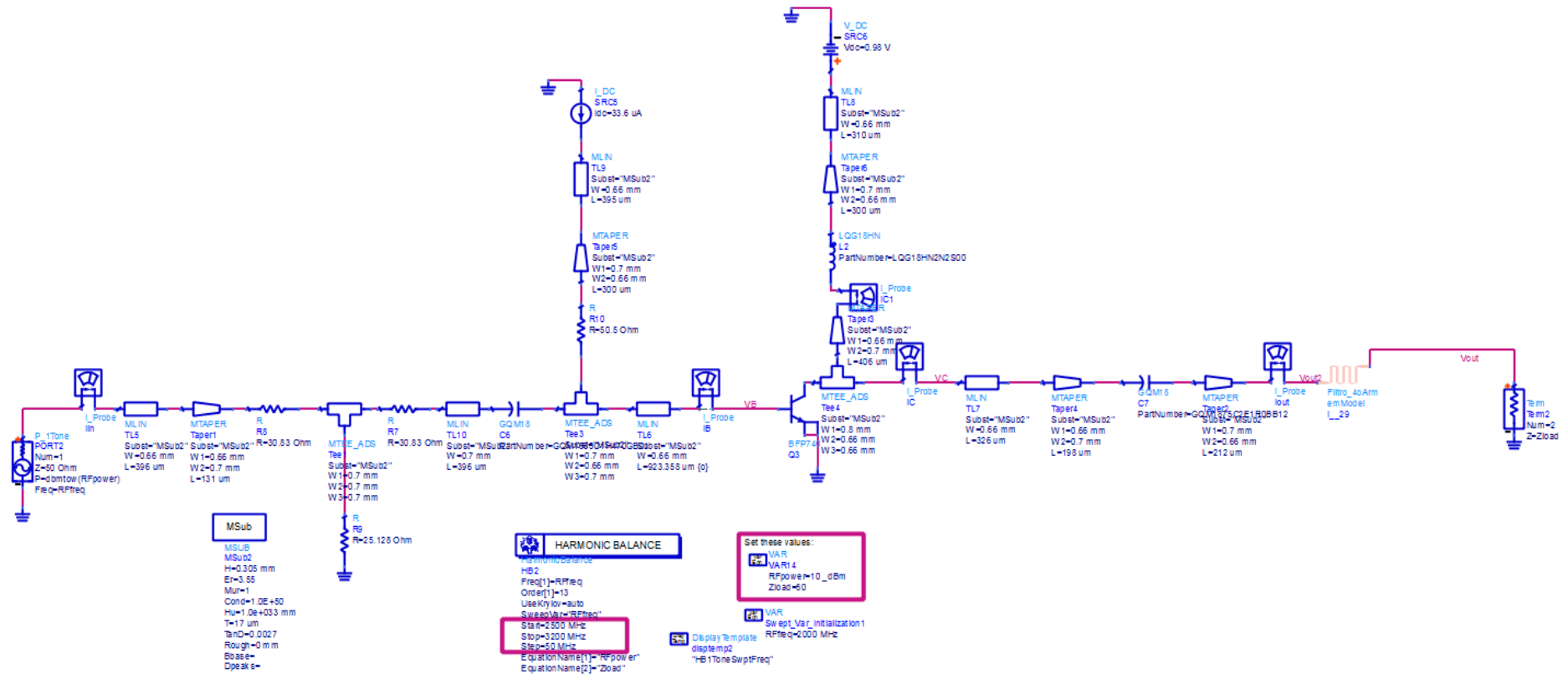
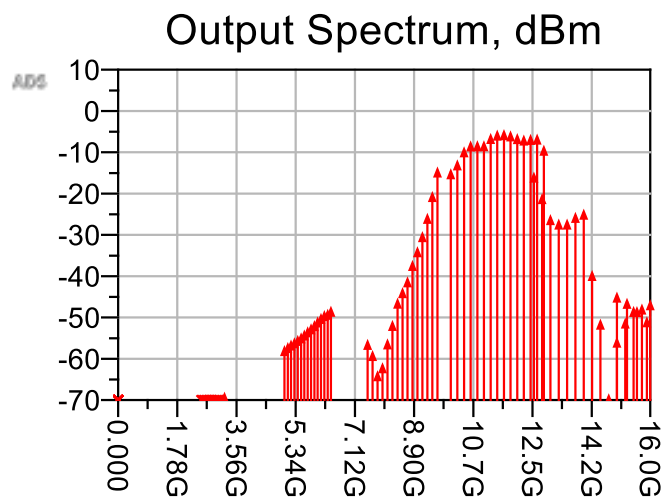


Ilustración 82. Esquemático del multiplicador x4 con líneas, polarización con dos fuentes y bobina.



RFfreq	Spectrum2[1]	Spectrum2[2]	Spectrum2[3]	Spectrum2[4]	Spectrum2[5]
2500000000.000	-71.763	-57.205	-55.706	-14.410	-15.194
2550000000.000	-71.772	-56.472	-58.386	-12.252	-20.390
2600000000.000	-71.861	-55.863	-63.312	-9.075	-25.501
2650000000.000	-71.908	-55.320	-61.379	-7.637	-26.553
2700000000.000	-71.900	-54.744	-55.604	-7.621	-26.553
2750000000.000	-71.859	-54.139	-51.113	-7.609	-24.966
2800000000.000	-71.916	-53.434	-45.732	-5.824	-24.167
2850000000.000	-71.593	-52.658	-43.194	-5.046	-38.999
2900000000.000	-71.287	-51.917	-40.562	-4.911	-50.818
2950000000.000	-71.010	-51.141	-36.593	-5.207	-68.868
3000000000.000	-70.642	-50.281	-33.280	-5.875	-55.146
3050000000.000	-70.227	-49.428	-29.609	-6.242	-50.525
3100000000.000	-69.698	-48.721	-25.193	-6.058	-47.735
3150000000.000	-69.112	-48.408	-19.905	-5.995	-47.144
3200000000.000	-68.511	-47.698	-13.965	-8.706	-46.119

Ilustración 83. Potencias de salida del multiplicador x4, en la versión esquemático con líneas y con dos fuentes de alimentación y bobina.



Una vez añadidas las líneas a los diseños de los multiplicadores, se procede al diseño de los distintos layouts, esto nos permitirá obtener unos resultados más acordes a la realidad, ya que se tienen en cuenta posibles acoplos entre líneas.

Los distintos diseños de layout para el multiplicador x2, x3, y x4, se muestran en la Ilustración 84, Ilustración 86 e Ilustración 88, respectivamente. En estos primeros diseños de layout se tienen las siguientes dimensiones:

- Multiplicador x2: 29.42 x 14.25 mm
- Multiplicador x3: 27.31 x 9.1 mm
- Multiplicador x4: 25.57 x 8.44 mm

Los resultados de la simulación electromagnética de dichos layouts se muestran en la Ilustración 85, Ilustración 87, e Ilustración 89. Estos resultados muestran unos resultados muy similares a los diseños de esquemático con líneas para unir los distintos componentes. Únicamente en el multiplicador x4 se produce una mejora en la potencia de salida.

A partir de este momento, todas las distintas variaciones en los diseños se realizarán sobre layout.

La siguiente variación en los diseños es la sustitución de la bobina de colector por una línea de transmisión y un stub radial de longitud $\lambda/4$, como se explicó en la sección 3.3.2. Además, en estos nuevos diseños se comienzan a utilizar las propias masas del emisor del transistor, en lugar de una masa ideal.

Tras estas modificaciones los distintos diseños para los multiplicadores x2, x3, y x4, se muestran en la Ilustración 90, Ilustración 92, e Ilustración 94. Las dimensiones de estos diseños son las siguientes:

- Multiplicador x2: 31.72 x 14.42 mm
- Multiplicador x3: 31.12 x 13.09 mm
- Multiplicador x4: 27.32 x 8.37 mm

Los resultados de estos nuevos diseños se muestran en la Ilustración 91, Ilustración 93, e Ilustración 95. Las potencias resultantes al utilizar la línea de transmisión y el stub radial de longitud $\lambda/4$ mejoran notablemente respecto a las obtenidas con la bobina. En el multiplicador x2 las potencias de salida crecen hasta los 5 dBm, en el multiplicador x3 la potencia media a la salida es de -1 dBm, superior a los -5 dBm de media con la bobina. En el multiplicador x4 los resultados son bastante similares a los obtenidos con la bobina.



2º ARMÓNICO

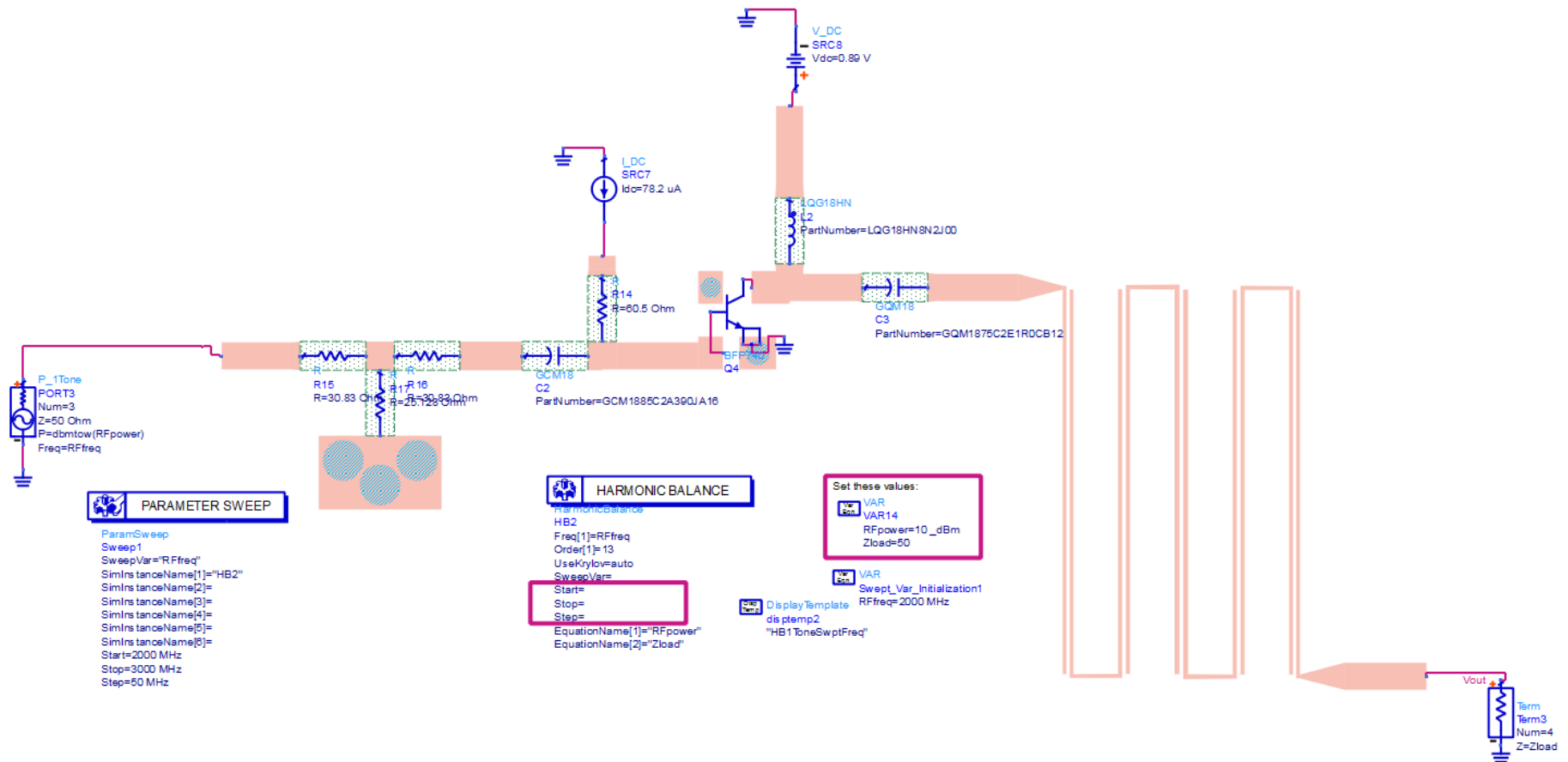
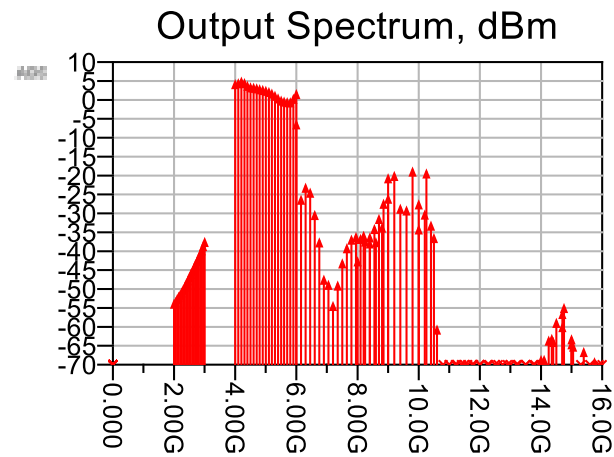


Ilustración 84. Layout del multiplicador x2, polarización con dos fuentes y bobina.



RFfreq	Spectrum[1]	Spectrum[2]	Spectrum[3]	Spectrum[4]	Spectrum[5]
2000000000.000	-53.057	5.006	-5.633	-41.862	-26.800
2050000000.000	-52.582	5.232	-25.587	-35.140	-18.624
2100000000.000	-51.843	5.654	-22.427	-37.136	-35.699
2150000000.000	-51.217	5.265	-23.718	-36.790	-69.795
2200000000.000	-50.685	4.529	-29.596	-32.919	-78.483
2250000000.000	-50.064	4.154	-36.856	-25.302	-79.949
2300000000.000	-49.343	4.031	-46.715	-19.298	-78.908
2350000000.000	-48.553	3.890	-48.080	-27.959	-77.884
2400000000.000	-47.732	3.659	-53.646	-28.425	-78.178
2450000000.000	-46.888	3.460	-48.266	-18.123	-87.639
2500000000.000	-46.021	3.209	-42.400	-33.449	-86.364
2550000000.000	-45.201	2.912	-38.390	-29.498	-83.063
2600000000.000	-44.395	2.472	-36.144	-32.433	-79.410
2650000000.000	-43.549	1.897	-35.439	-59.905	-79.289
2700000000.000	-42.658	1.227	-35.946	-75.446	-80.379
2750000000.000	-41.774	0.651	-36.635	-79.218	-74.264
2800000000.000	-40.888	0.358	-35.538	-78.084	-67.944
2850000000.000	-39.952	0.205	-33.304	-76.666	-62.848
2900000000.000	-38.931	0.188	-30.645	-75.829	-58.119
2950000000.000	-37.813	1.105	-26.648	-75.514	-54.198
3000000000.000	-36.741	2.377	-19.898	-77.787	-63.778

Ilustración 85. Potencias de salida del multiplicador x2, en la versión layout con dos fuentes de alimentación y bobina.



3^{er} ARMÓNICO

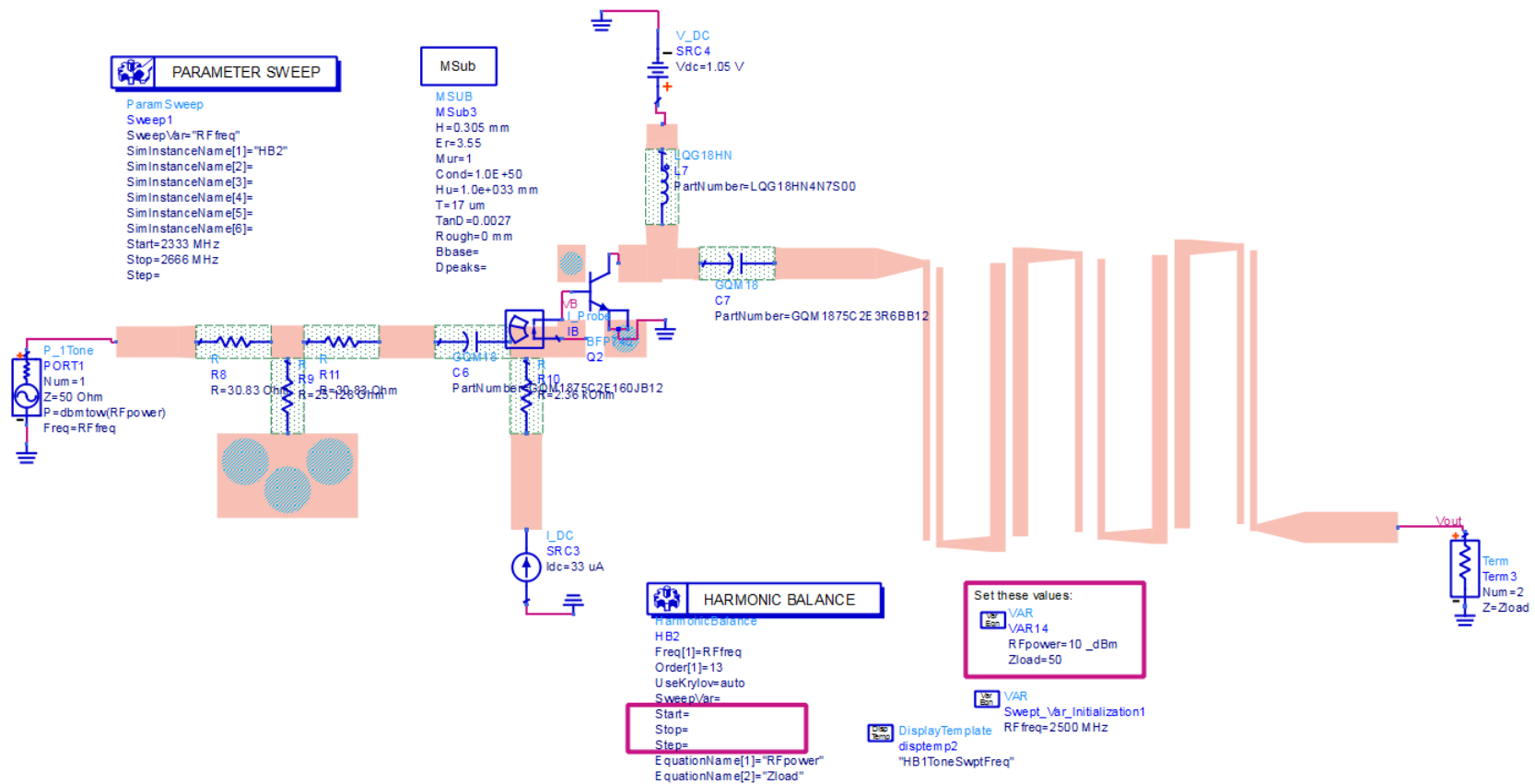
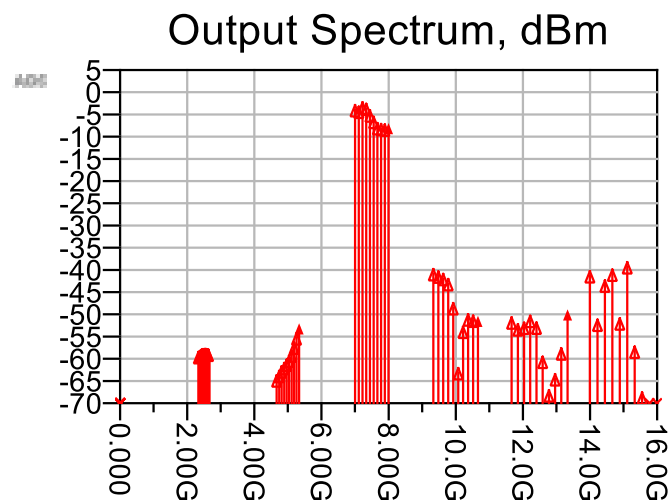


Ilustración 86. Layout del multiplicador x3, polarización con dos fuentes y bobina.



RFfreq	Spectrum[1]	Spectrum[2]	Spectrum[3]	Spectrum[4]	Spectrum[5]
2333000000.000	-59.013	-64.258	-3.434	-40.353	-51.211
2370000000.000	-58.846	-63.229	-3.768	-40.873	-52.759
2407000000.000	-58.581	-62.218	-2.816	-41.407	-52.403
2444000000.000	-58.446	-61.483	-3.124	-42.572	-50.855
2481000000.000	-58.382	-60.711	-4.622	-48.011	-52.353
2518000000.000	-58.324	-59.824	-6.039	-62.643	-60.081
2555000000.000	-58.342	-58.671	-7.478	-53.314	-67.611
2592000000.000	-58.400	-56.872	-7.682	-50.521	-64.008
2629000000.000	-58.470	-54.793	-7.804	-50.820	-58.201
2666000000.000	-58.556	-52.505	-7.420	-50.806	-49.375

Ilustración 87. Potencias de salida del multiplicador x3, en la versión layout con dos fuentes de alimentación y bobina.



4º ARMÓNICO

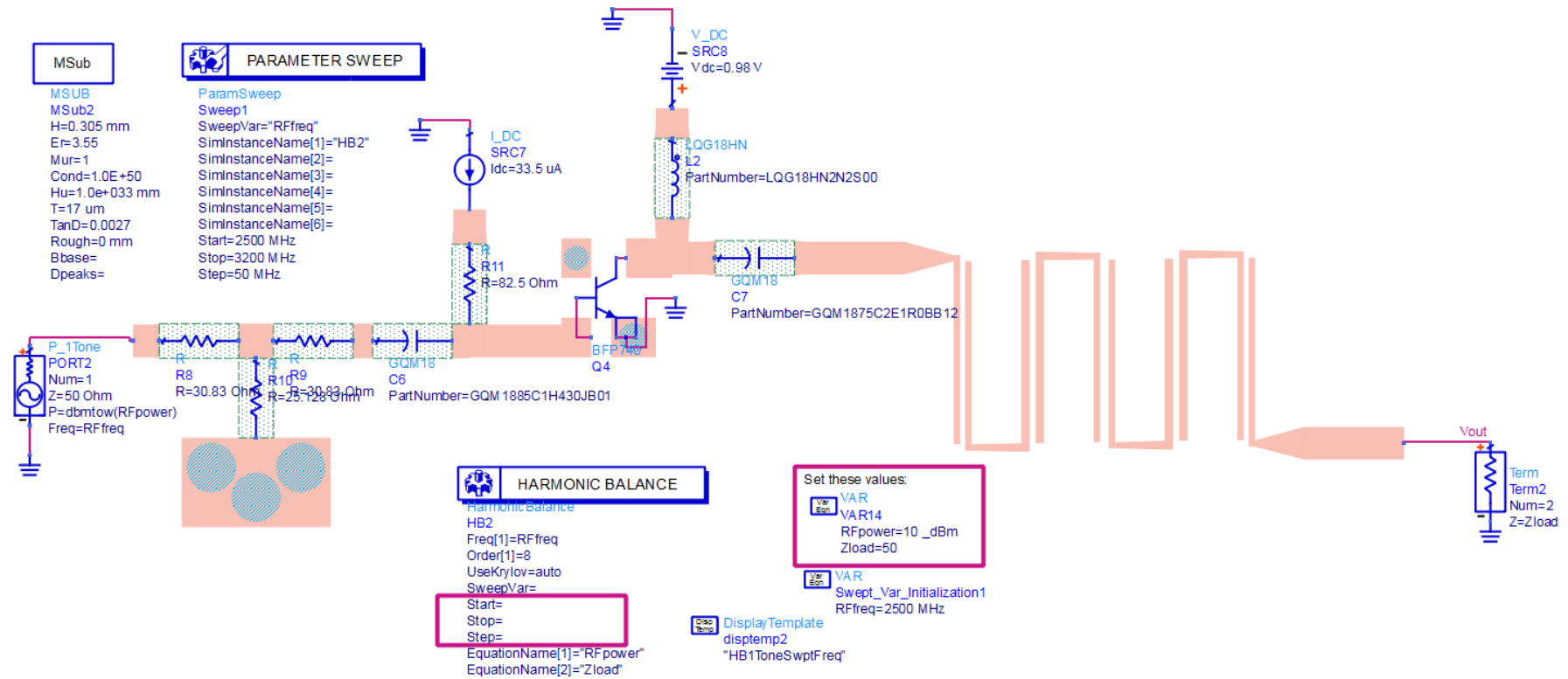
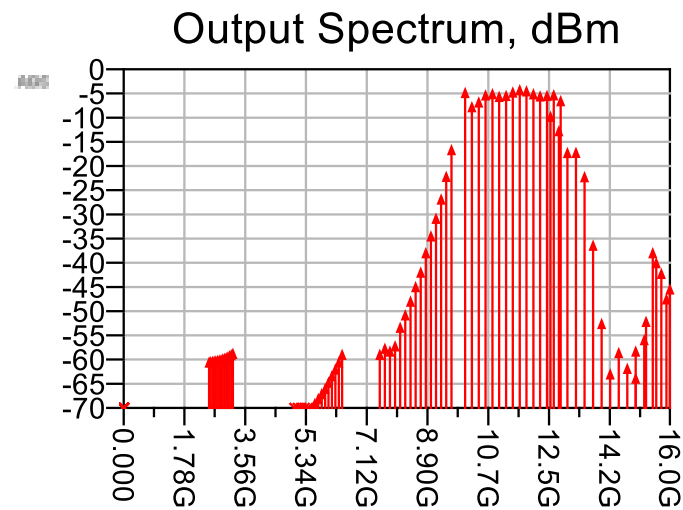


Ilustración 88. Layout del multiplicador x4, polarización con dos fuentes y bobina.



RFfreq	Spectrum[1]	Spectrum[2]	Spectrum[3]	Spectrum[4]	Spectrum[5]
2500000000.000	-59.769	-70.940	-58.188	-4.095	-8.993
2550000000.000	-59.725	-71.444	-56.960	-7.011	-11.953
2600000000.000	-59.669	-71.313	-57.513	-6.044	-16.498
2650000000.000	-59.622	-70.912	-56.449	-4.589	-16.454
2700000000.000	-59.546	-70.239	-52.585	-4.317	-21.485
2750000000.000	-59.475	-69.353	-50.055	-4.874	-35.632
2800000000.000	-59.405	-68.353	-47.206	-4.688	-51.833
2850000000.000	-59.314	-67.349	-44.216	-3.992	-62.249
2900000000.000	-59.178	-66.336	-41.212	-3.502	-57.823
2950000000.000	-59.056	-65.229	-37.192	-3.727	-61.110
3000000000.000	-58.896	-63.967	-33.726	-4.342	-63.105
3050000000.000	-58.724	-62.630	-30.090	-4.804	-55.175
3100000000.000	-58.513	-61.240	-26.105	-4.684	-37.196
3150000000.000	-58.259	-59.778	-21.413	-4.551	-41.467
3200000000.000	-57.983	-58.198	-15.885	-5.760	-44.675

Ilustración 89. Potencias de salida del multiplicador x4, en la versión layout con dos fuentes de alimentación y bobina.



2º ARMÓNICO

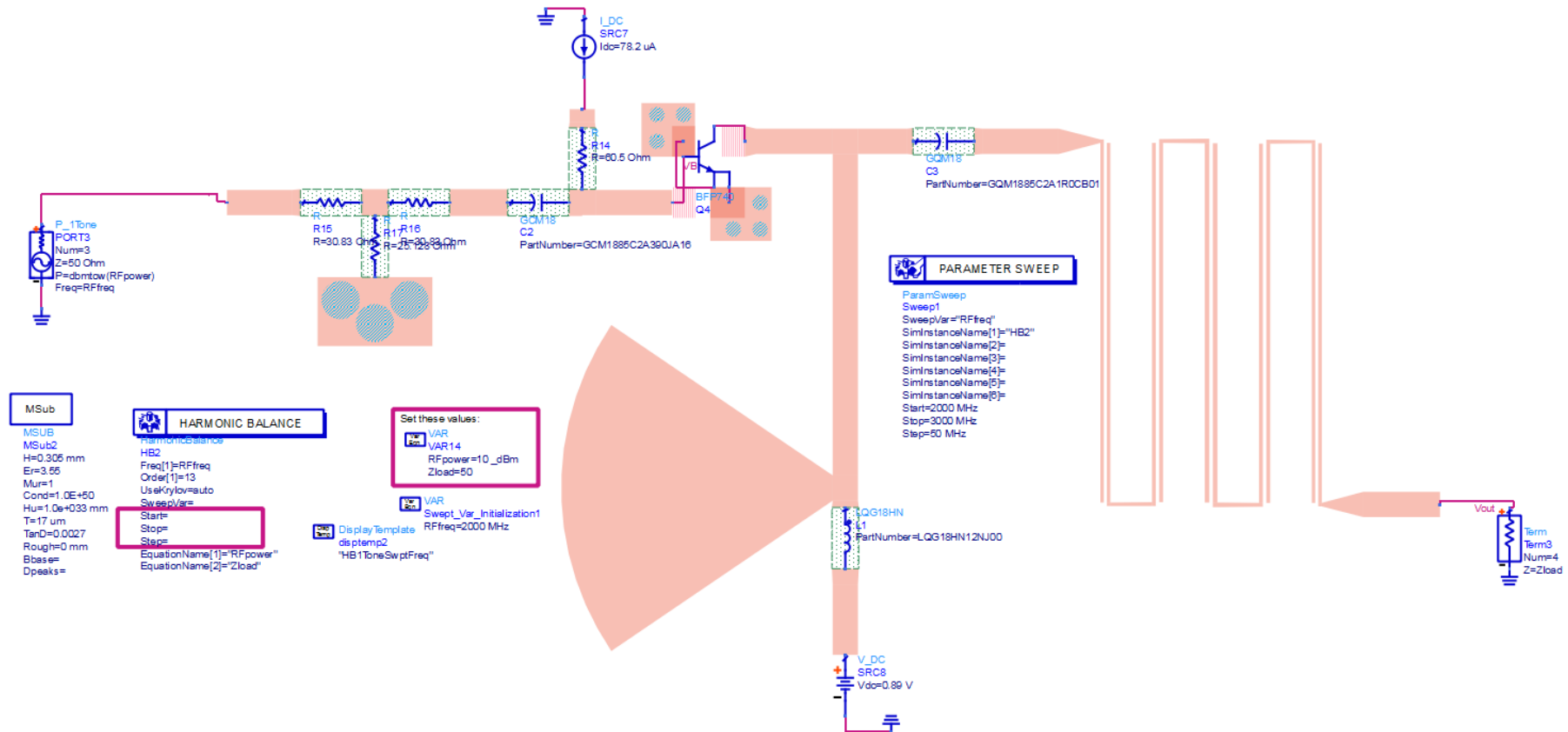
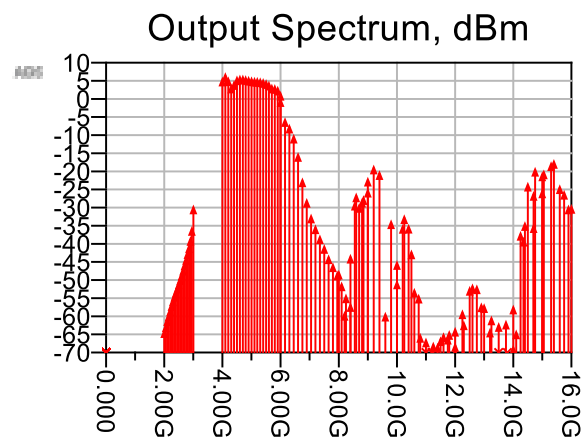


Ilustración 90. Layout del multiplicador x2, polarización con dos fuentes y stub radial.



RFfreq	Spectrum[1]	Spectrum[2]	Spectrum[3]	Spectrum[4]	Spectrum[5]
2000000000.000	-63.831	5.608	-0.075	-47.691	-45.013
2050000000.000	-62.207	6.840	-5.559	-59.047	-32.382
2100000000.000	-60.518	5.688	-7.360	-56.636	-42.117
2150000000.000	-59.261	3.688	-10.147	-26.376	-54.307
2200000000.000	-57.826	4.642	-15.190	-27.804	-66.423
2250000000.000	-56.340	5.942	-22.225	-25.055	-67.551
2300000000.000	-55.043	6.183	-27.875	-18.657	-66.085
2350000000.000	-53.795	6.203	-32.194	-20.198	-65.639
2400000000.000	-52.649	6.037	-35.154	-59.293	-63.437
2450000000.000	-51.536	5.840	-37.949	-33.778	-58.616
2500000000.000	-50.401	5.677	-40.581	-50.377	-52.143
2550000000.000	-49.206	5.563	-43.453	-35.061	-51.725
2600000000.000	-47.937	5.515	-45.638	-34.998	-56.925
2650000000.000	-46.591	5.411	-47.964	-52.680	-60.326
2700000000.000	-45.158	5.214	-50.910	-65.131	-62.151
2750000000.000	-43.639	4.900	-54.258	-73.312	-61.495
2800000000.000	-42.038	4.493	-43.312	-71.923	-57.341
2850000000.000	-40.401	3.698	-28.663	-67.846	-36.966
2900000000.000	-38.405	3.553	-29.279	-64.948	-23.422
2950000000.000	-35.621	3.105	-27.106	-64.344	-19.295
3000000000.000	-29.704	1.659	-22.029	-67.652	-20.547

Ilustración 91. Potencias de salida del multiplicador x2, en la versión layout con dos fuentes de alimentación y stub radial.



3^{er} ARMÓNICO

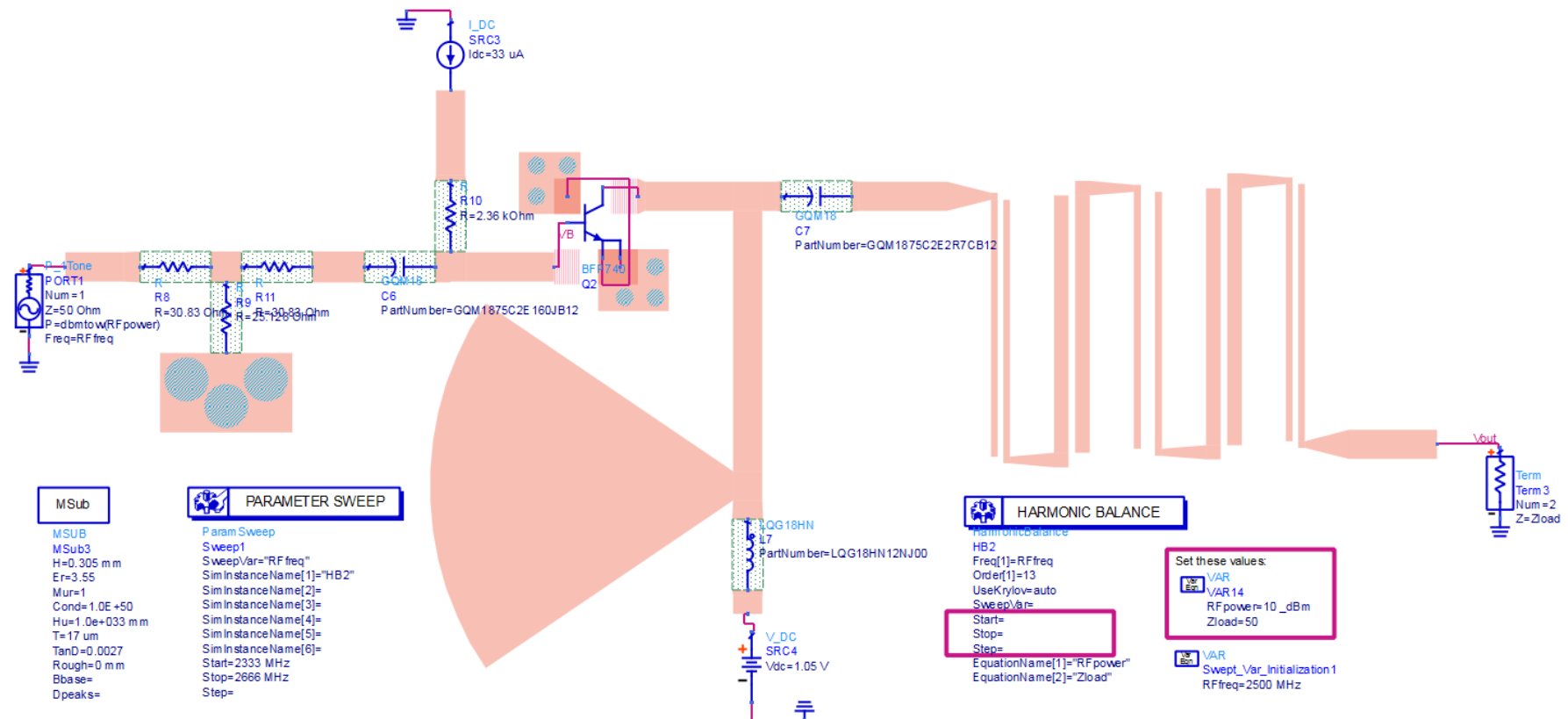
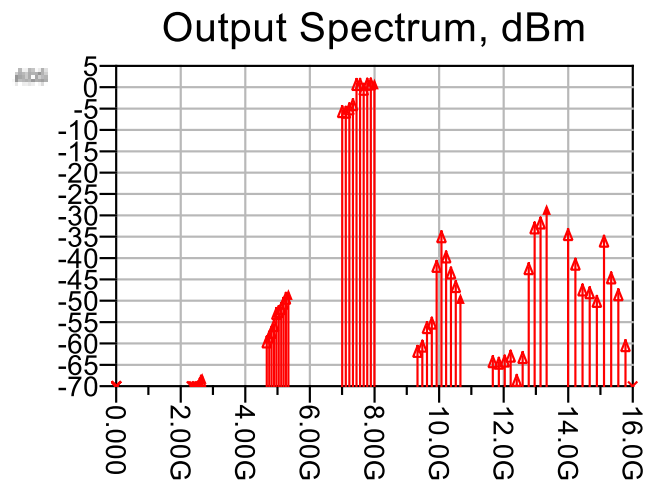


Ilustración 92. Layout del multiplicador x3, polarización con dos fuentes y stub radial.



RFfreq	Spectrum[1]	Spectrum[2]	Spectrum[3]	Spectrum[4]	Spectrum[5]
2333000000.000	-70.302	-58.898	-4.958	-61.125	-63.550
2370000000.000	-70.143	-57.753	-5.098	-59.892	-63.887
2407000000.000	-70.021	-56.680	-4.321	-55.549	-63.375
2444000000.000	-69.971	-55.096	-3.332	-54.496	-62.243
2481000000.000	-70.667	-52.273	1.386	-41.192	-67.914
2518000000.000	-70.012	-51.808	1.437	-34.277	-62.572
2555000000.000	-69.352	-51.089	0.275	-39.015	-41.747
2592000000.000	-68.722	-49.836	1.468	-42.742	-32.220
2629000000.000	-68.069	-48.681	1.507	-45.939	-31.056
2666000000.000	-67.419	-47.767	1.518	-48.730	-27.871

Ilustración 93. Potencias de salida del multiplicador x3, en la versión layout con dos fuentes de alimentación y stub radial.



4º ARMÓNICO

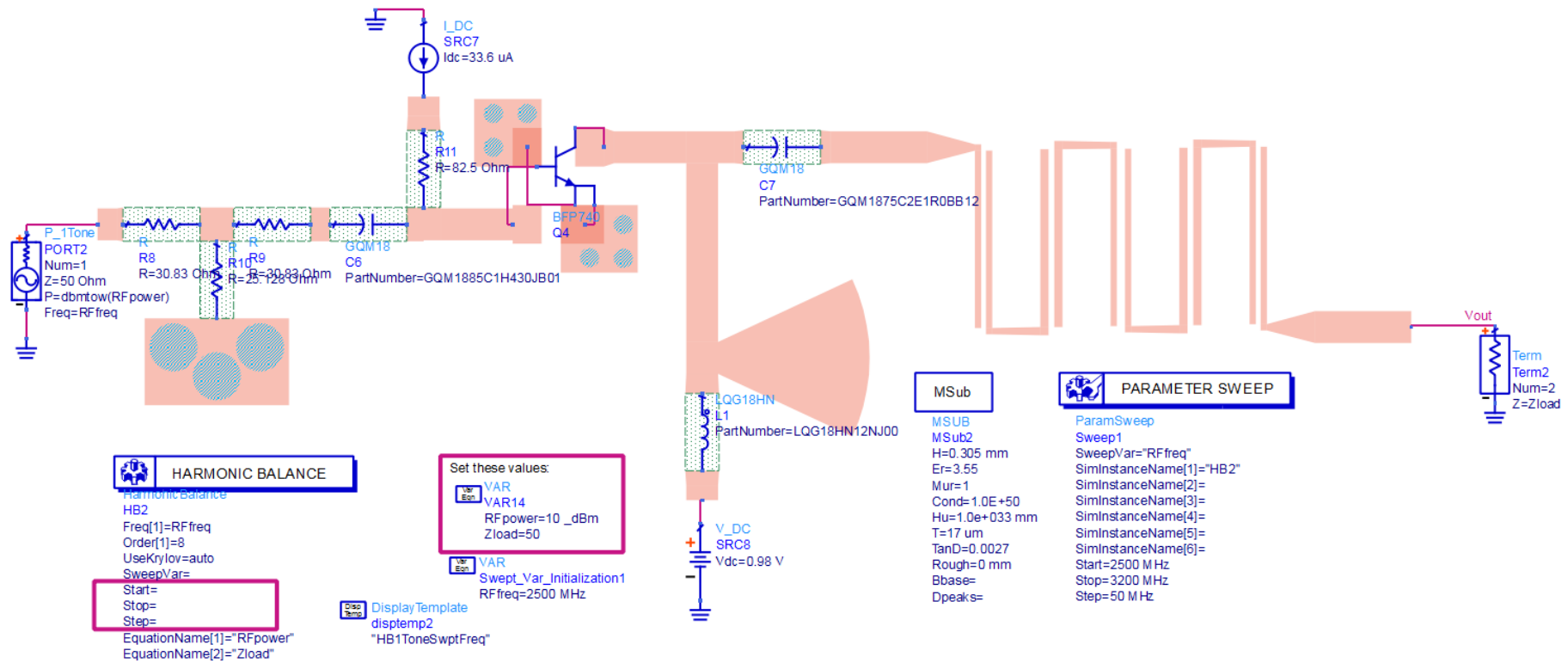
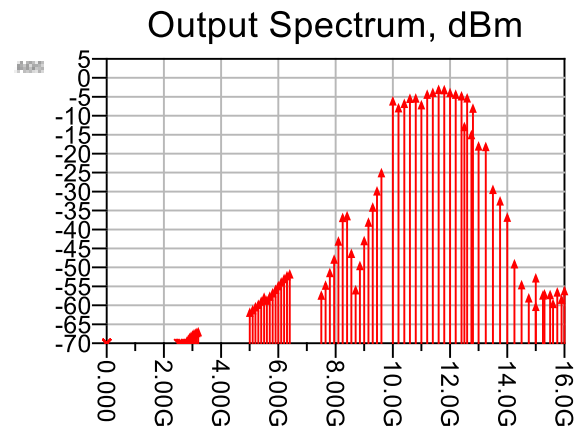


Ilustración 94. Layout del multiplicador x4, polarización con dos fuentes y stub radial.



RFfreq	Spectrum[1]	Spectrum[2]	Spectrum[3]	Spectrum[4]	Spectrum[5]
2500000000.000	-71.512	-61.054	-56.516	-5.290	-12.064
2550000000.000	-71.042	-60.351	-53.870	-7.091	-14.178
2600000000.000	-70.547	-59.608	-50.579	-5.950	-17.173
2650000000.000	-70.071	-58.951	-47.018	-4.623	-17.344
2700000000.000	-69.660	-58.126	-42.237	-4.526	-28.628
2750000000.000	-69.376	-57.065	-36.029	-6.318	-31.661
2800000000.000	-68.696	-57.849	-35.574	-3.524	-35.978
2850000000.000	-68.158	-56.822	-45.502	-3.042	-48.250
2900000000.000	-67.735	-55.903	-55.117	-2.280	-53.773
2950000000.000	-67.359	-54.999	-48.709	-2.329	-57.240
3000000000.000	-67.035	-54.030	-42.158	-3.083	-59.496
3050000000.000	-66.767	-53.047	-37.283	-3.530	-56.502
3100000000.000	-66.575	-52.167	-33.295	-3.945	-56.382
3150000000.000	-66.391	-51.412	-29.034	-4.508	-55.697
3200000000.000	-66.186	-50.933	-24.241	-7.222	-55.337

Ilustración 95. Potencias de salida del multiplicador x4, en la versión layout con dos fuentes de alimentación y stub radial.



El último paso para obtener un diseño definitivo es utilizar una única fuente de alimentación, por lo que se eliminará la fuente de corriente y se utilizará solamente la fuente de tensión. Se añade una resistencia de polarización y un divisor de tensión para elegir el punto de trabajo correspondiente, estas resistencias difieren levemente de las mostradas en la sección 3.3.2 ya que se han elegido valores disponibles para su posterior fabricación.

Además del uso de una única fuente de alimentación, se ha realizado un leve ajuste en la línea de transmisión y el stub radial $\lambda/4$ para obtener unos mejores resultados.

Por último, se han alargado las líneas de entrada y salida para llegar a los extremos del portador donde se realizará su posterior montaje, este portador tiene unas dimensiones de 40 x 40 mm.

Los diseños finales de los multiplicadores x2, x3 y x4, se muestran en la Ilustración 96, Ilustración 98, e Ilustración 100, respectivamente. Las dimensiones finales de estos diseños se muestran a continuación, estas dimensiones finales están por debajo de las dimensiones máximas de 50x25 mm especificadas en la sección 3.2.

- Multiplicador x2: 32.23 x 13.23 mm
- Multiplicador x3: 31.3 x 12.63 mm
- Multiplicador x4: 25.66 x 11.97 mm

Los espectros de salida de los distintos de multiplicadores se pueden ver en la Ilustración 97, Ilustración 99, e Ilustración 101. Estos resultados muestran una mejora notable respecto al diseño con dos fuentes de alimentación, especialmente los resultados del multiplicador x3 y x4. En el multiplicador x3 se produce un aumento de 4 dB en las potencias de salida al pasar de -1 dBm de media a 3 dBm de media. En el multiplicador x4, las potencias de salida pasan de -5 dBm de media a -3 dBm. Por último, en el multiplicador x2 no se observan cambios notables con respecto a los resultados conseguidos con el anterior diseño, por lo que la potencia media de salida sigue siendo de 5 dBm.



2º ARMÓNICO

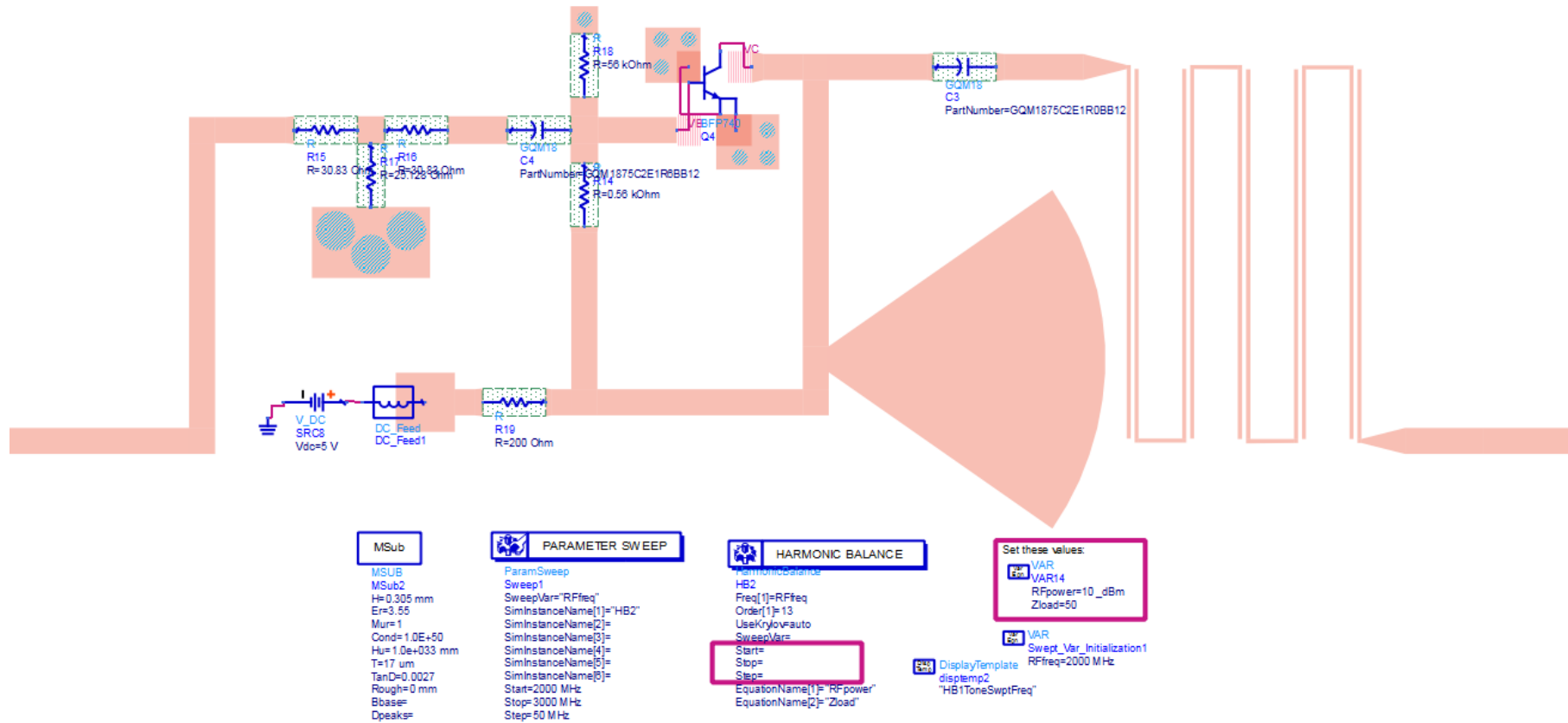
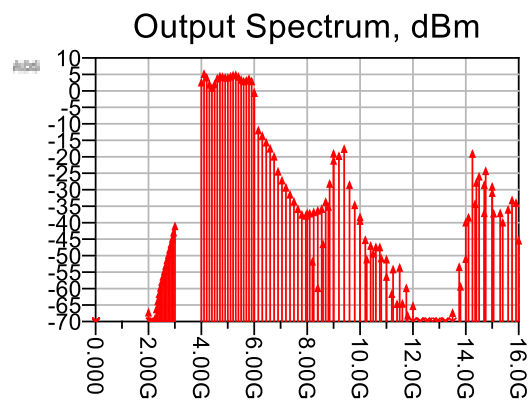


Ilustración 96. Diseño final del layout del multiplicador x2, polarización con una única fuente y stub radial.



RFfreq	Spectrum[1]	Spectrum[2]	Spectrum[3]	Spectrum[4]	Spectrum[5]
2000000000.000	-66.333	3.480	0.340	-36.229	-38.534
2050000000.000	-73.163	6.067	-11.039	-50.870	-50.174
2100000000.000	-75.580	4.996	-12.746	-58.903	-48.475
2150000000.000	-75.844	2.840	-14.753	-45.550	-46.541
2200000000.000	-71.594	1.821	-16.576	-34.223	-50.215
2250000000.000	-68.118	2.936	-19.036	-20.242	-53.245
2300000000.000	-65.337	4.678	-23.556	-18.822	-52.747
2350000000.000	-62.908	5.307	-26.272	-16.701	-58.957
2400000000.000	-60.739	5.158	-28.438	-27.614	-64.368
2450000000.000	-58.789	4.940	-30.546	-33.730	-71.862
2500000000.000	-57.035	4.946	-32.686	-37.408	-78.677
2550000000.000	-55.392	5.252	-34.935	-44.331	-81.959
2600000000.000	-53.792	5.633	-36.632	-46.092	-77.699
2650000000.000	-52.148	5.712	-36.963	-46.491	-73.410
2700000000.000	-50.474	5.195	-36.299	-49.874	-66.448
2750000000.000	-48.849	4.308	-35.891	-55.515	-52.562
2800000000.000	-47.234	3.848	-35.418	-60.701	-39.034
2850000000.000	-45.621	4.046	-34.907	-63.757	-18.162
2900000000.000	-43.937	4.584	-32.777	-63.658	-25.055
2950000000.000	-42.010	3.816	-27.267	-67.222	-23.399
3000000000.000	-40.140	0.331	-18.116	-76.734	-28.159

Ilustración 97. Potencias de salida del multiplicador x2, en la versión final de layout con una única fuente de alimentación y stub radial.



3^{er} ARMÓNICO

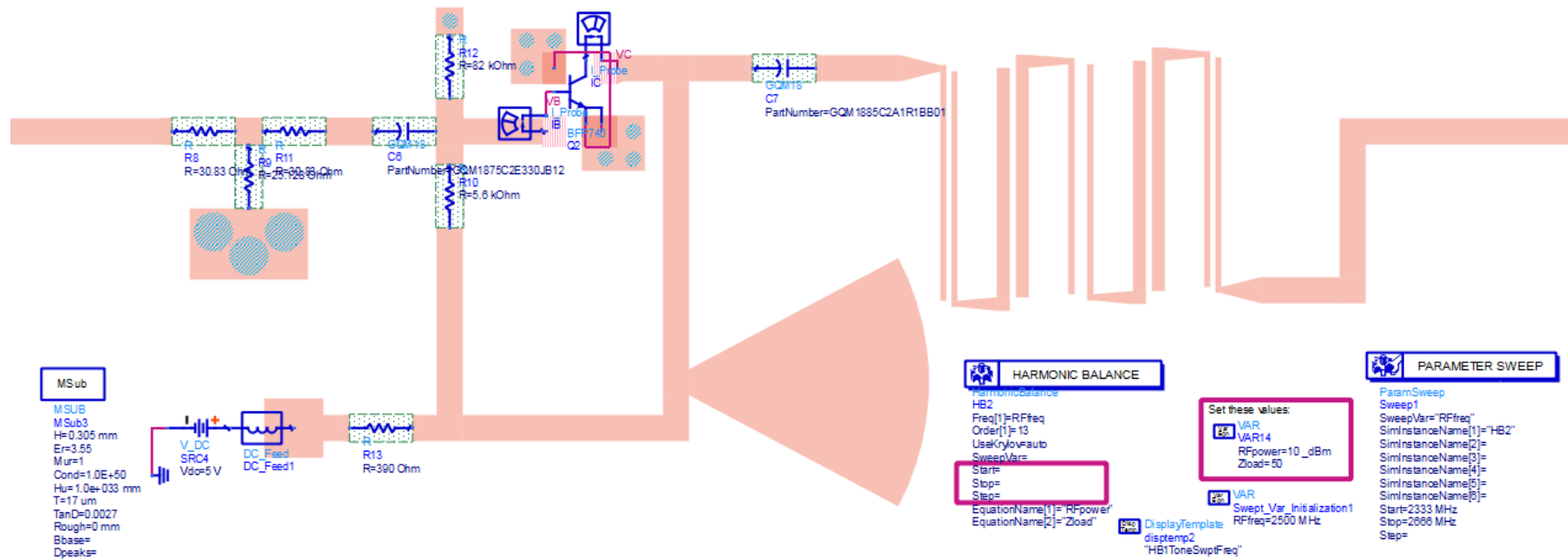
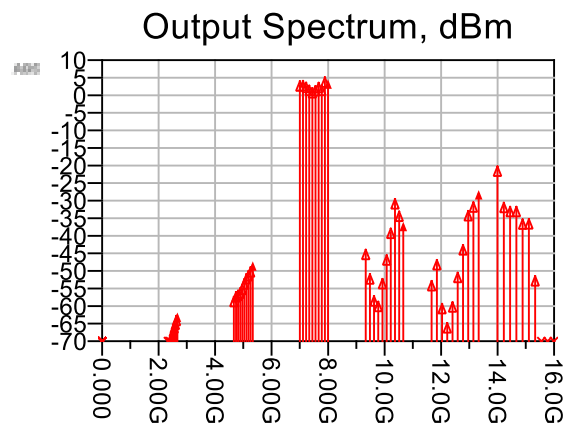


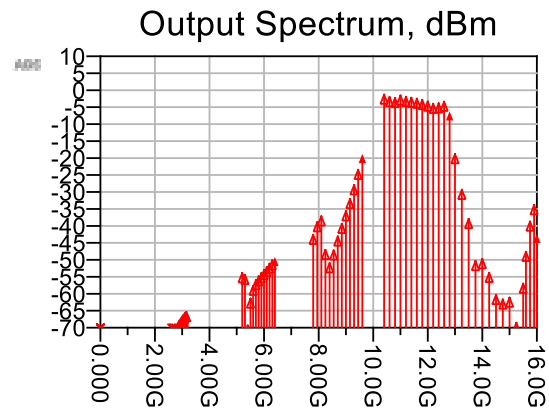
Ilustración 98. Diseño final del layout del multiplicador x3, polarización con una única fuente y stub radial.



RFfreq	Spectrum[1]	Spectrum[2]	Spectrum[3]	Spectrum[4]	Spectrum[5]
2333000000.000	-73.316	-57.945	3.419	-44.537	-53.415
2370000000.000	-71.511	-56.591	3.537	-51.512	-47.438
2407000000.000	-69.999	-56.151	3.026	-57.740	-59.924
2444000000.000	-68.806	-55.528	2.179	-59.335	-65.427
2481000000.000	-67.575	-54.464	1.503	-52.833	-59.469
2518000000.000	-66.415	-52.918	2.050	-46.118	-51.088
2555000000.000	-65.420	-51.434	2.990	-38.523	-43.199
2592000000.000	-64.410	-50.584	2.174	-30.116	-33.518
2629000000.000	-63.338	-49.509	4.520	-33.666	-31.055
2666000000.000	-62.375	-47.807	3.982	-36.566	-27.531

Ilustración 99. Potencias de salida del multiplicador x3, en la versión final de layout con una única fuente de alimentación y stub radial.





RFfreq	Spectrum[1]	Spectrum[2]	Spectrum[3]	Spectrum[4]	Spectrum[5]
2600000000.000	-74.302	-54.457	-43.170	-1.880	-19.385
2650000000.000	-73.172	-55.017	-39.499	-2.607	-29.920
2700000000.000	-71.583	-69.927	-37.760	-2.850	-38.535
2750000000.000	-70.721	-61.972	-47.648	-2.136	-50.923
2800000000.000	-69.929	-58.202	-51.559	-2.540	-50.328
2850000000.000	-69.160	-56.562	-47.790	-2.792	-54.389
2900000000.000	-68.465	-55.449	-43.687	-3.062	-60.919
2950000000.000	-67.863	-54.464	-39.930	-3.467	-62.273
3000000000.000	-67.307	-53.540	-36.249	-3.926	-61.708
3050000000.000	-66.775	-52.668	-32.604	-4.577	-69.125
3100000000.000	-66.239	-51.694	-28.573	-4.455	-57.580
3150000000.000	-65.937	-50.702	-24.044	-3.964	-39.295
3200000000.000	-66.160	-49.696	-19.332	-6.773	-42.876

Ilustración 101. Potencias de salida del multiplicador x4, en la versión final de layout con una única fuente de alimentación y stub radial.



3.4 Pruebas sobre el diseño final

Sobre los diseños finales de los multiplicadores x2, x3 y x4, mostrados en la Ilustración 96, Ilustración 98, e Ilustración 100, se aplican distintas pruebas con el objetivo de demostrar el buen funcionamiento de estos diseños. Las pruebas que se van a realizar en este apartado son las siguientes:

- **Temperatura:** Los distintos multiplicadores deben tener un buen funcionamiento desde -30°C a 85°C (sección 3.2), por lo que se realizan simulaciones a estas dos temperaturas y se comprueba su buen funcionamiento.
- **Estabilidad:** Se hacen las comprobaciones necesarias para asegurar la estabilidad de los distintos circuitos.
- **Excursiones de tensión y corriente:** Se muestran las excursiones de tensión y de corriente en la base y colector de cada multiplicador, y se comprueba que dichas excursiones no sobrepasan el 50% de los maximum ratings del transistor mostrados en la Ilustración 35.
- **Consumo:** Se comprueba que los distintos multiplicadores no superan el consumo máximo de 25 mA (sección 3.2) en toda la banda de frecuencias.
- **Buffers:** Con el objetivo de conseguir los 10 dBm a la salida (sección 3.2) se diseñan tres buffers, y se muestran los resultados de añadir estos buffers a la salida de los multiplicadores.

3.4.1 Temperatura

Se realizan simulaciones para la temperatura mínima (-30°C) y la máxima (85°C), para asegurar el buen funcionamiento de los distintos multiplicadores en todo el rango de temperaturas.

Los resultados de las simulaciones de temperatura para el multiplicador x2 se muestran en la Ilustración 102 para la temperatura mínima de -30°C , y en la Ilustración 103 para la temperatura máxima de 85°C . Ambos resultados muestran unas potencias de salida similares a las obtenidas a temperatura ambiente (Ilustración 97). En el caso de disminuir la temperatura a -30°C , la potencia de salida sube ligeramente, mientras que en el caso de aumentar la temperatura a 85°C , la potencia de salida baja ligeramente.

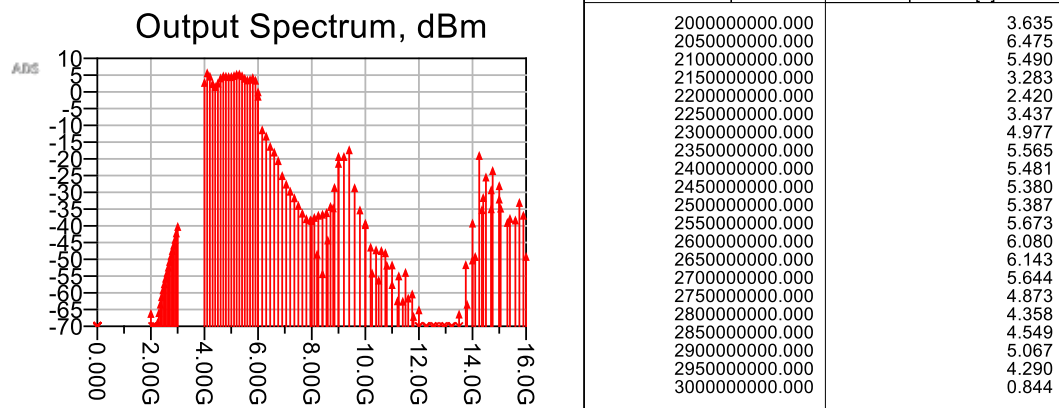


Ilustración 102. Prueba de temperatura: Potencias de salida del multiplicador x2, en la versión final de layout, $T = -30^{\circ}\text{C}$.

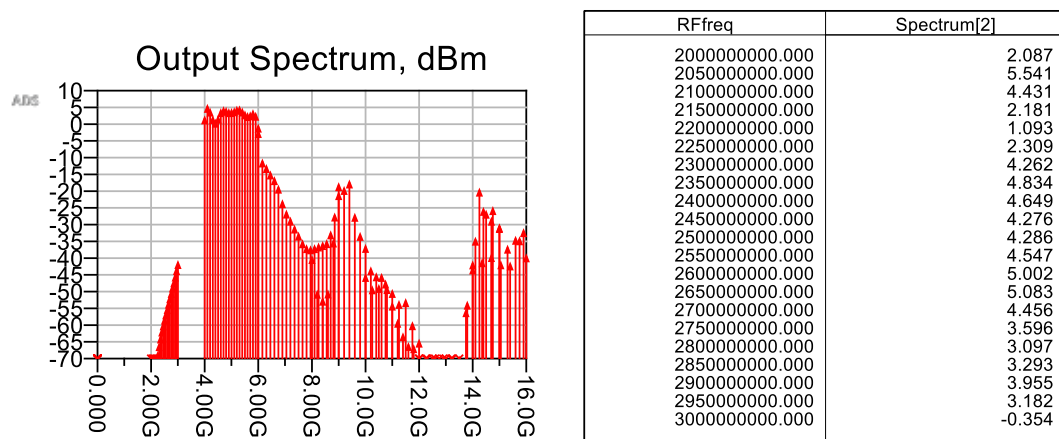


Ilustración 103. Prueba de temperatura: Potencias de salida del multiplicador x2, en la versión final de layout, $T = 85^{\circ}\text{C}$.

En la Ilustración 104 e Ilustración 105 se muestran los resultados de simulación del multiplicador x3 para la temperatura mínima de -30°C y para la temperatura máxima de 85°C , respectivamente. Al igual que pasa con el multiplicador x2, ambos resultados muestran unas potencias de salida similares a las obtenidas a temperatura ambiente (Ilustración 99). En el caso de disminuir la temperatura a -30°C , la potencia de salida sube ligeramente, mientras que en el caso de aumentar la temperatura a 85°C , la potencia de salida baja ligeramente.

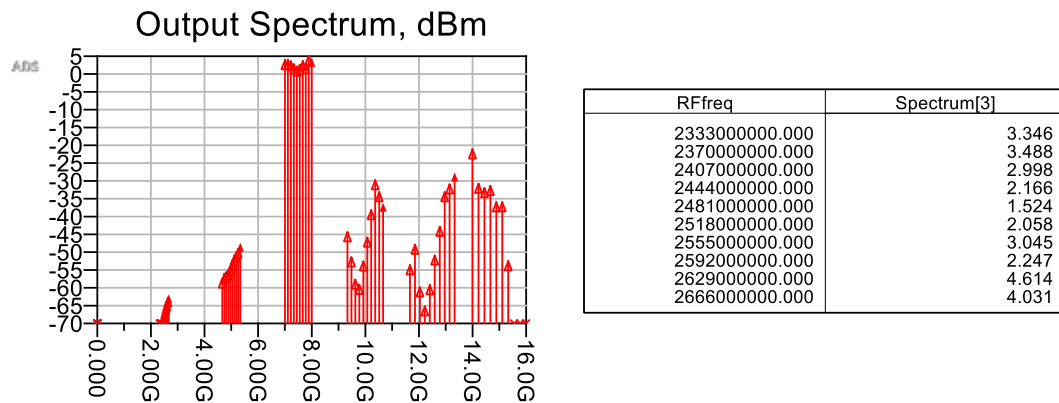


Ilustración 104. Prueba de temperatura: Potencias de salida del multiplicador x3, en la versión final de layout, $T = -30^{\circ}\text{C}$.

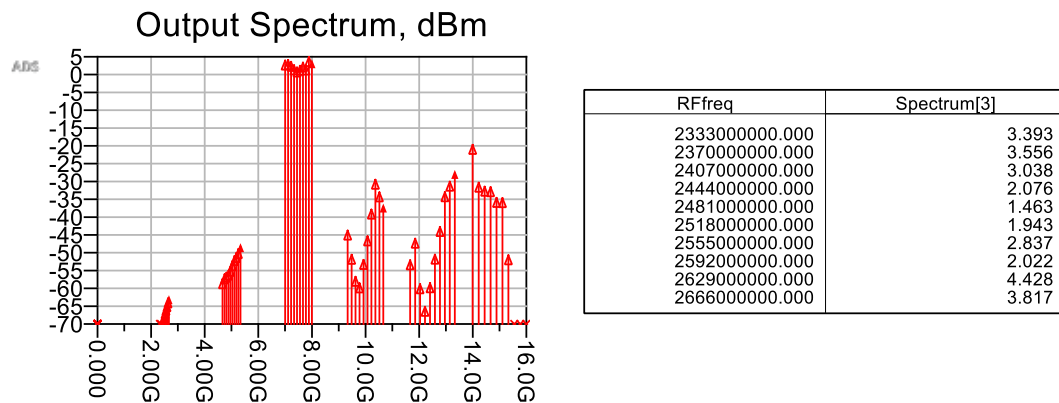


Ilustración 105. Prueba de temperatura: Potencias de salida del multiplicador x3, en la versión final de layout, $T = 85^{\circ}\text{C}$.

Los resultados de las simulaciones de temperatura para el multiplicador x4 se muestran en la Ilustración 106 para la temperatura mínima de -30°C , y en la Ilustración 107 para la temperatura máxima de 85°C . Al igual que ocurre con los otros multiplicadores, ambos resultados muestran unas potencias de salida similares a las obtenidas a temperatura ambiente (Ilustración 101). En el caso de disminuir la temperatura a -30°C , la potencia de salida sube ligeramente, mientras que en el caso de aumentar la temperatura a 85°C , la potencia de salida baja ligeramente.

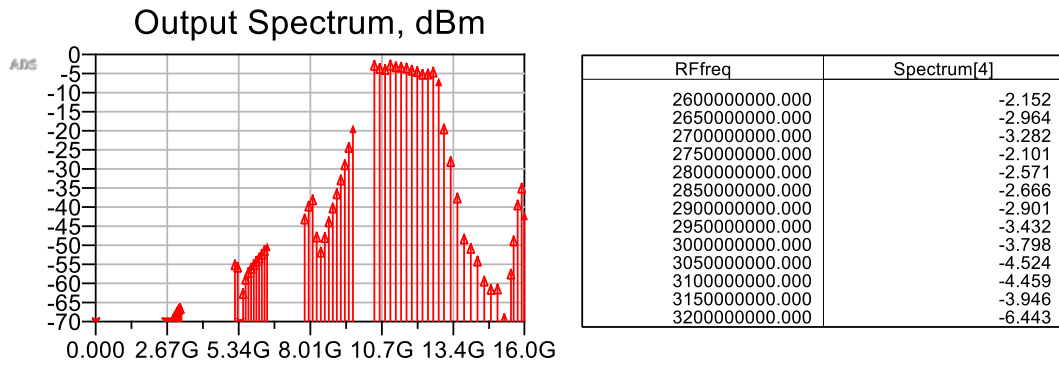


Ilustración 106. Prueba de temperatura: Potencias de salida del multiplicador x4, en la versión final de layout, T = -30 °C.

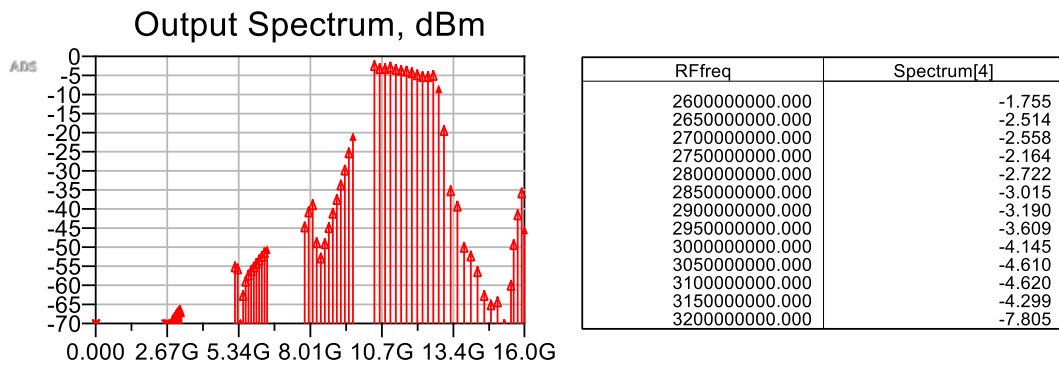


Ilustración 107. Prueba de temperatura: Potencias de salida del multiplicador x4, en la versión final de layout, T = 85 °C.

3.4.2 Estabilidad

Para comprobar la estabilidad de los distintos diseños se realiza un análisis de estabilidad en pequeña señal. Las condiciones necesarias y suficientes de estabilidad incondicional se pueden poner como:

$$k = \frac{1 - |S_{11}|^2 - |S_{22}|^2 + |\Delta|^2}{2|S_{12}S_{21}|} > 1$$

Ecuación 44

$$|\Delta| = |S_{11}S_{22} - S_{12}S_{21}| < 1$$

Ecuación 45



Sin embargo, existe una alternativa más sencilla para verificar la estabilidad incondicional de un circuito, esta alternativa es el factor μ , definido como la distancia más corta de la zona inestable al centro de la carta de Smith. Cuando esta distancia sea mayor que la unidad, la zona inestable estará fuera de la carta de Smith, y el circuito podrá considerarse incondicionalmente estable.

$$\mu = \frac{1 - |S_{11}|^2}{|S_{22} - S_{11}^* \Delta| + |S_{21} S_{12}|} > 1$$

Ecuación 46

Se ha realizado un estudio de este factor μ para los distintos multiplicadores, obteniendo siempre un factor μ por encima de uno. Sin embargo, estas técnicas únicamente sirven para determinar la estabilidad del circuito en pequeña señal. Estudiar la estabilidad en un circuito en gran señal requiere de una mayor complejidad, dicho estudio no se ha realizado por falta de tiempo. Este estudio podría ser una futura línea de trabajo.

3.4.3 Excursiones de tensión y corriente

A continuación, se representan las excursiones de tensión y de corriente tanto en la base como en el colector del transistor. Estas excursiones tendrán que ser inferiores al 50% de los valores mostrados en la tabla de los maximum rating del transistor (Ilustración 35), esta limitación del 50% es debido a que los multiplicadores diseñados tienen que cumplir las especificaciones de espacio, dentro de estas especificaciones se encuentra la limitación del 50% de los maximum rating.

La tabla con los maximum ratings, aplicando la limitación del 50% se muestra en la Tabla 7.

Tabla 7. Maximum ratings del transistor en espacio, aplicando la limitación del 50%.

Parámetro	Símbolo	Valor	Unidad	Condición de test
Voltaje colector-emisor	V_{CEO}	2	V	Base en abierto
Voltaje colector-base	V_{CBO}	6.5	V	Emisor en abierto
Voltaje emisor-base	V_{EBO}	0.6	V	Colector en abierto
Corriente de colector	I_C	22.5	mA	-
Corriente de base	I_B	2	mA	-



En la Ilustración 108 se muestran las excursiones de tensión y corriente en la base y colector del transistor del multiplicador x2. Las excursiones resultantes son las siguientes:

- a) $V_{CEO} = 2.097 \text{ V}$.
- b) $V_{EBO} = 0.18 \text{ V}$.
- c) $I_C = 72 \text{ mA}$.
- d) $I_B = 11 \text{ mA}$.

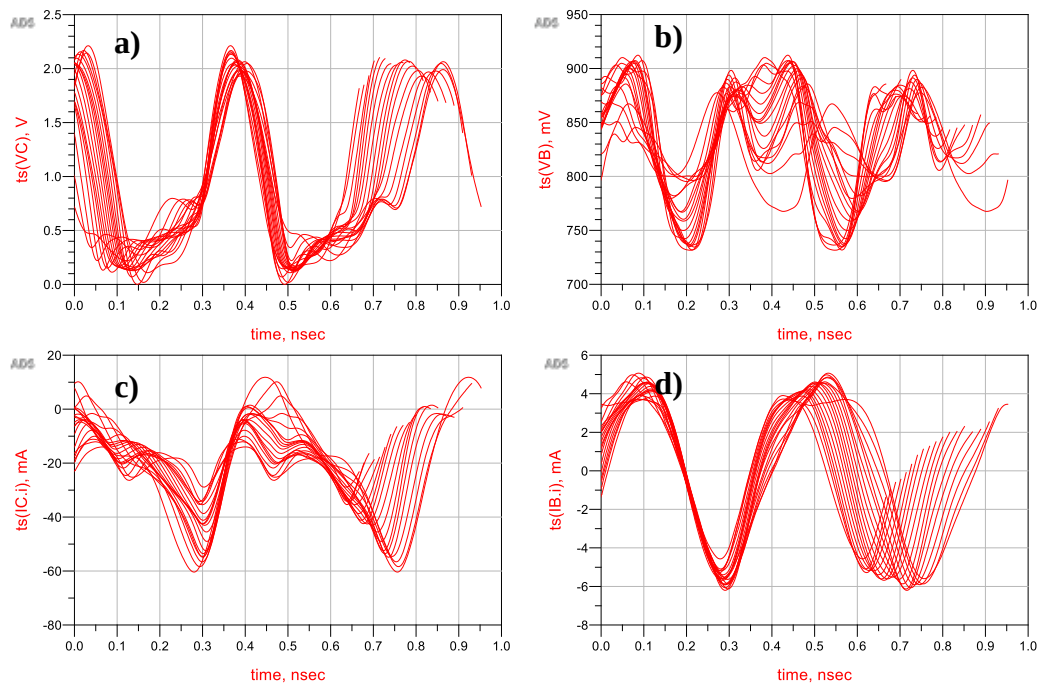


Ilustración 108. Excursiones de tensión y corriente en la base y colector del multiplicador x2, para las distintas frecuencias de la banda de trabajo (4-6 GHz). a) V_{CEO} , b) V_{EBO} , c) I_C , d) I_B .

En un principio únicamente parece estar por debajo del maximum rating la excursión de la tensión de base (Ilustración 108b), y la tensión de colector muy al límite (Ilustración 108a). Las excursiones de las dos corrientes están muy por encima de los maximum ratings. Sin embargo, representando estas excursiones junto a las curvas I-V del transistor se llegó a la conclusión de que las excursiones no se ven limitadas por el modelo del transistor, por lo que la excursión de simulación siempre será bastante mayor a la excursión real de medida.

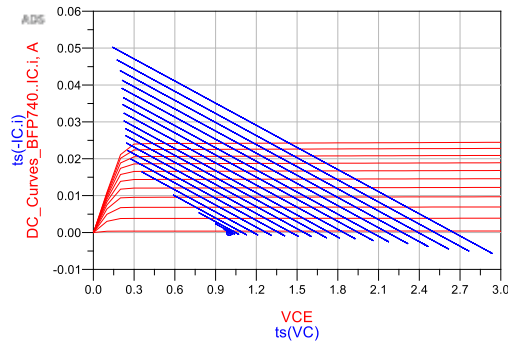


Ilustración 109. Excursión de tensión de colector vs corriente de colector en el tiempo (azul), curvas I-V del transistor (rojo).

Sabiendo esto, damos por buenas las excursiones vistas anteriormente, sabiendo que luego en medida, dichas excursiones disminuirán notablemente.

En la Ilustración 110 se muestran las excursiones de tensión y corriente en la base y colector del transistor del multiplicador x3. Las excursiones resultantes son las siguientes:

- a) $V_{CEO} = 2.379 \text{ V}$.
- b) $V_{EBO} = 0.343 \text{ V}$.
- c) $I_C = 81 \text{ mA}$.
- d) $I_B = 13 \text{ mA}$.

Al igual que pasa en el multiplicador x2, estos valores no se corresponden con el valor real de excursión, ya que el modelo de transistor utilizado en simulación no limita estas excursiones.

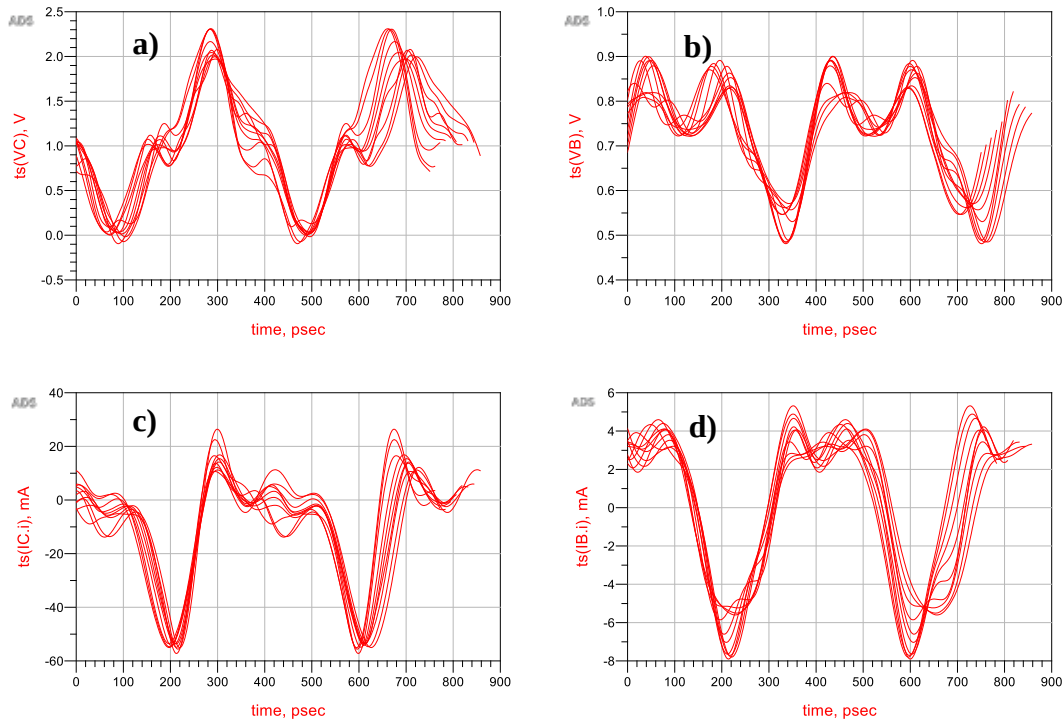


Ilustración 110. Excursiones de tensión y corriente en la base y colector del multiplicador x3, para las distintas frecuencias de la banda de trabajo (7-8 GHz). a) V_{CE} , b) V_{BE} , c) I_C , d) I_B .

Por último, en la se muestran las excursiones de tensión y corriente en la base y colector del transistor del multiplicador x4. Las excursiones resultantes son las siguientes:

- e) $V_{CEO} = 2.277 V$.
- f) $V_{EBO} = 0.219 V$.
- g) $I_C = 61 mA$.
- h) $I_B = 12 mA$.

Al igual que pasa en los multiplicadores x2 y x3, estos valores no se corresponden con el valor real de excursión, ya que el modelo de transistor utilizado en simulación no limita estas excursiones.

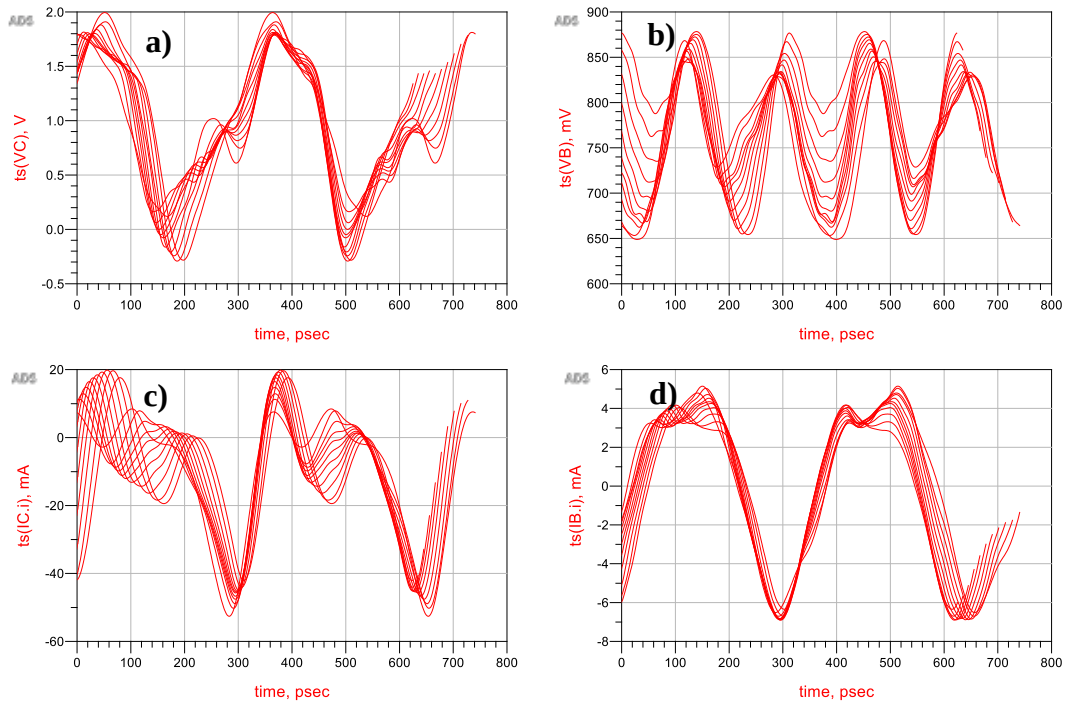


Ilustración 111. Excursiones de tensión y corriente en la base y colector del multiplicador x4, para las distintas frecuencias de la banda de trabajo (10-12.8 GHz). a) V_{CE0} , b) V_{BE0} , c) I_C , d) I_B .

3.4.4 Consumo

En este apartado se representa el consumo de cada multiplicador en función de la frecuencia de entrada. Se comprueba que este consumo esté por debajo del indicado en las especificaciones (25 mA).

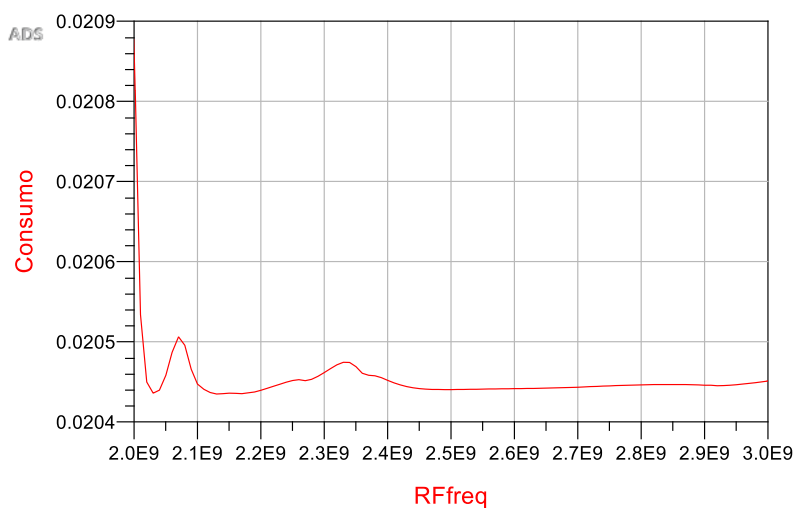


Ilustración 112. Consumo en función de la frecuencia de entrada para el multiplicador x2.



Como se puede ver en la Ilustración 112, el consumo del multiplicador x2 se encuentra en torno a los 20.5 mA, por lo que cumple con las especificaciones de consumo.

El consumo mostrado en la Ilustración 113 se corresponde con el consumo del multiplicador x3, dicho consumo tiene una media de aproximadamente 10.3 mA por lo que también cumple con las especificaciones.

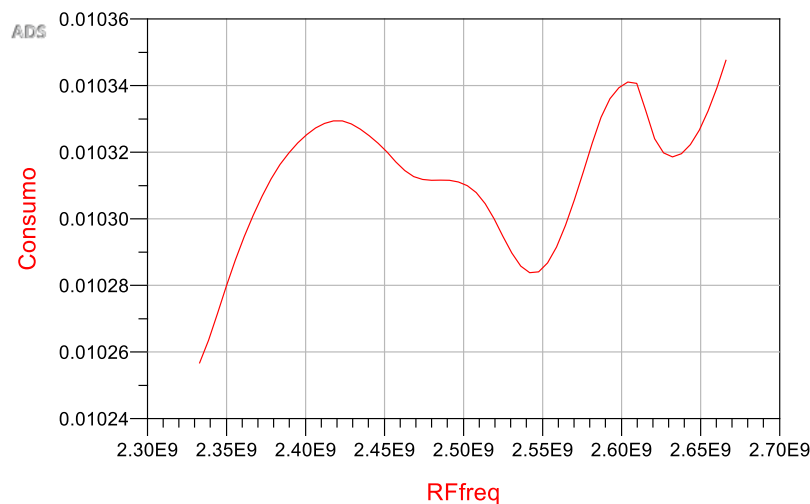


Ilustración 113. Consumo en función de la frecuencia de entrada para el multiplicador x3.

Por último, el consumo del multiplicador x4 se muestra en la Ilustración 114. El consumo medio del multiplicador x4 es de 10.5 mA por lo que también cumple con las especificaciones.

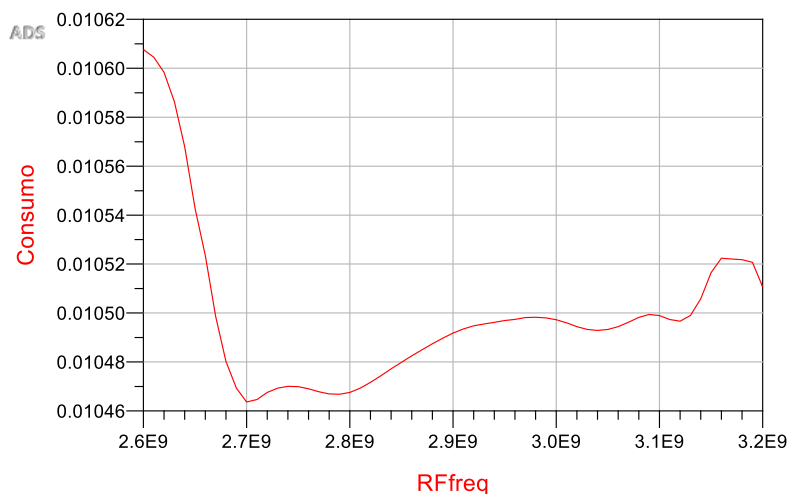


Ilustración 114. Consumo en función de la frecuencia de entrada para el multiplicador x4.



3.4.5 Buffers

En este apartado se muestran los diseños de los buffers empleados a la salida de los multiplicadores, cuya función es aumentar la potencia de salida hasta los 10 dBm. Estos diseños han sido realizados por Carlos Hidalgo.

Para el multiplicador x2 y x3 se va a utilizar el mismo buffer, ya que se ha conseguido diseñar un buffer con una buena ganancia en la banda de 4 a 8 GHz (2^o y 3^{er} armónico). El diseño de este buffer se muestra en la Ilustración 115.

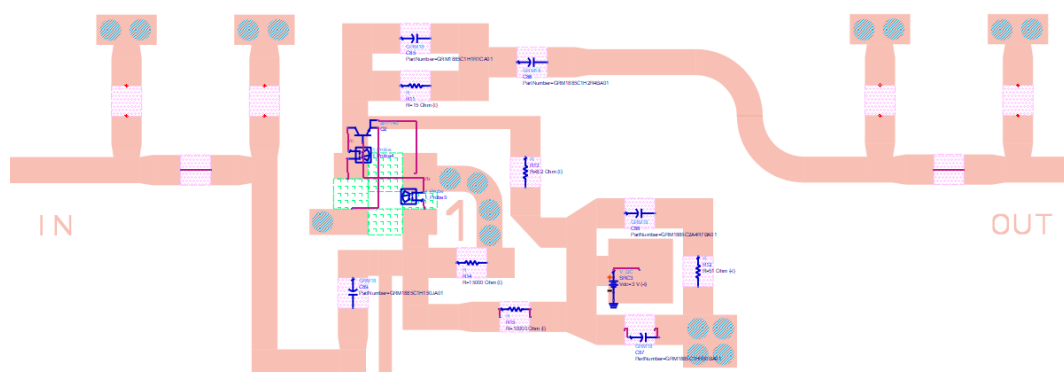


Ilustración 115. Diseño del buffer para los multiplicadores x2 y x3.

Los resultados de los multiplicadores x2 y x3 al emplear este buffer se muestran en la Ilustración 116 e Ilustración 117.

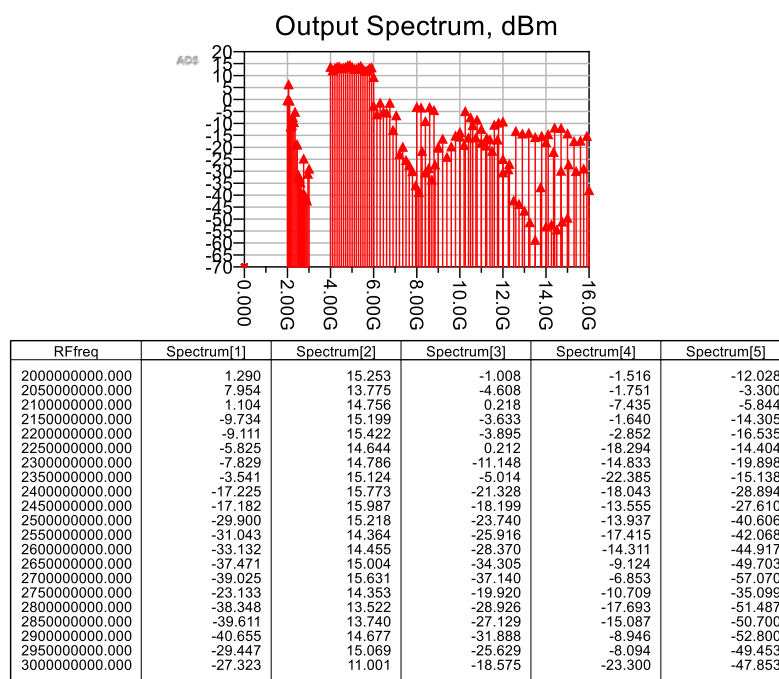
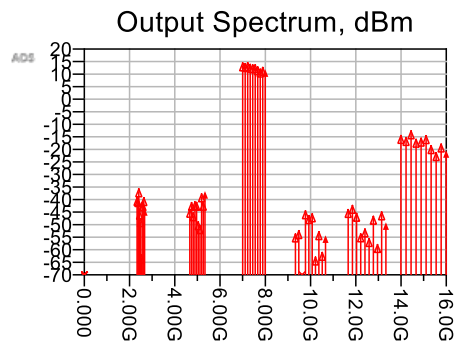


Ilustración 116. Prueba buffer: Potencias de salida para el multiplicador x2.



RFfreq	Spectrum[1]	Spectrum[2]	Spectrum[3]	Spectrum[4]	Spectrum[5]
2333000000.000	-39.903	-44.608	13.753	-54.420	-44.676
2370000000.000	-40.362	-41.888	13.449	-53.073	-43.056
2407000000.000	-36.462	-45.970	13.846	-70.522	-46.195
2444000000.000	-45.433	-41.665	13.182	-45.194	-54.410
2481000000.000	-48.308	-41.802	12.960	-47.105	-52.437
2518000000.000	-62.822	-49.599	13.024	-46.403	-56.240
2555000000.000	-42.022	-51.154	12.149	-63.621	-47.388
2592000000.000	-41.943	-38.422	11.296	-53.515	-58.632
2629000000.000	-39.972	-41.839	11.973	-61.751	-45.637
2666000000.000	-44.030	-37.223	11.322	-54.870	-49.661

Ilustración 117. Prueba buffer: Potencias de salida para el multiplicador x3.

En ambos casos las potencias de salida superan los 10 dBm de las especificaciones, sin embargo, en los resultados del multiplicador x2 la potencia de los armónicos es muy elevada.

Por último, el diseño del buffer para el multiplicador x4 se muestra en la Ilustración 118.

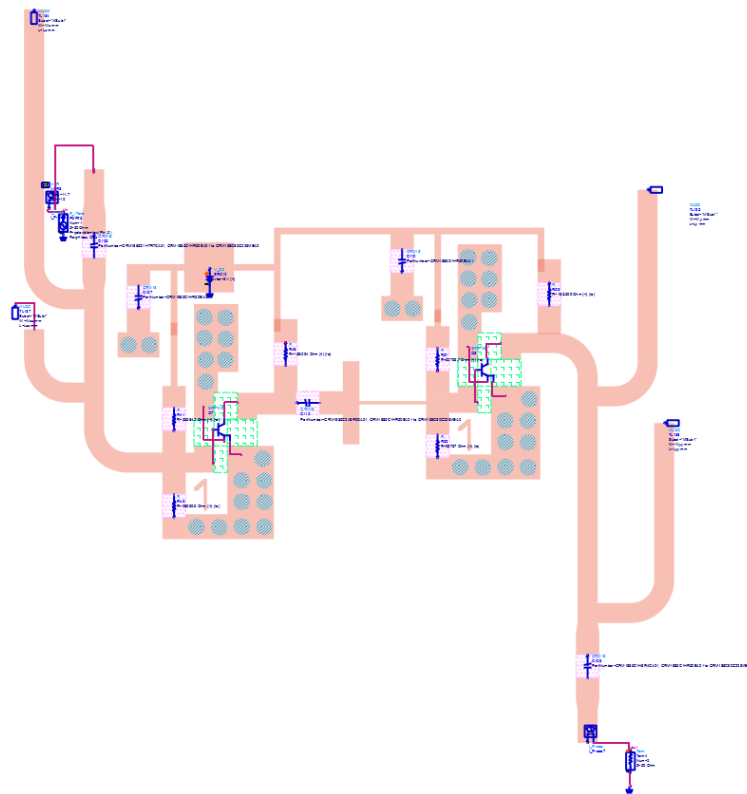


Ilustración 118. Diseño del buffer para el multiplicador x4.



En la Ilustración 119 se muestran las potencias de salida para el multiplicador x4.

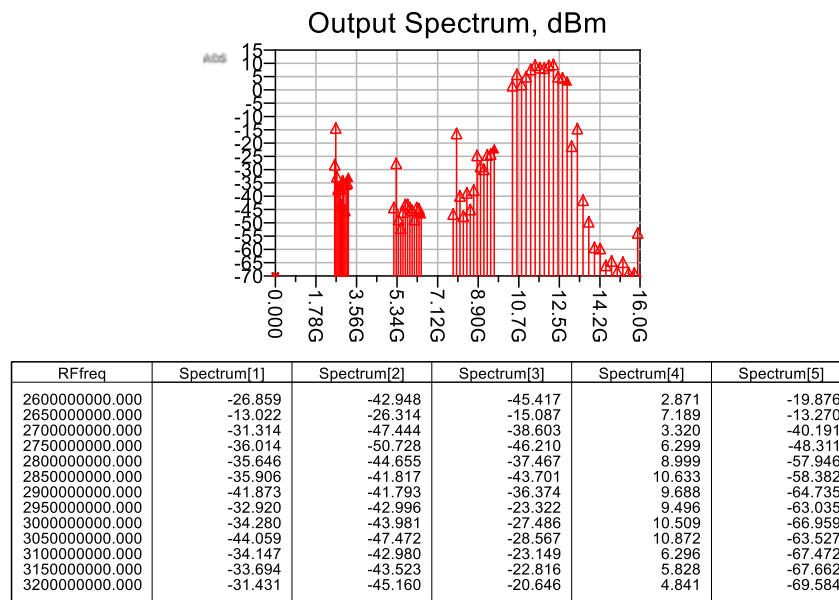


Ilustración 119. Prueba buffer: Potencias de salida para el multiplicador x4.

En este caso no se logra llegar a los 10 dBm de salida en toda la banda, ya que es difícil conseguir mucha ganancia a unas frecuencias tan elevadas. Ésta es una tarea a mejorar en líneas futuras de trabajo.



Capítulo 4

4.1 Medidas de laboratorio

Debido a sus reducidas dimensiones se han podido incluir el multiplicador x2 y x3 en la misma caja de dimensiones 40 x 40 mm. La maqueta se muestra en la Ilustración 120.

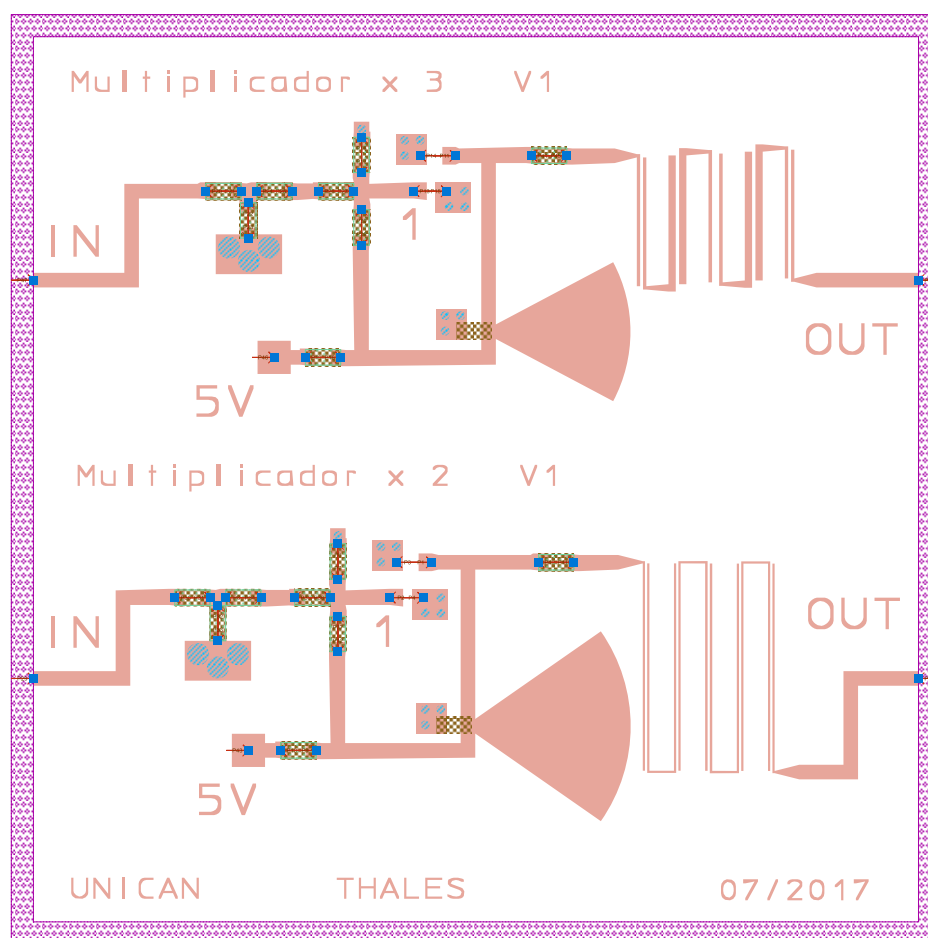


Ilustración 120. Maqueta para el multiplicador x2 y x3, en caja de 40x40 mm.



El listado de componentes para estos dos multiplicadores se muestra en la Tabla 8 y la Tabla 9.

Tabla 8. Listado de componentes para el multiplicador x2

Componente		Modelo	Valor nominal
R15	Resistencia atenuador serie	0603	30 Ω
R16	Resistencia atenuador serie	0603	30 Ω
R17	Resistencia atenuador paralelo	0603	25 Ω
R14	Resistencia divisor 1	0603	0.56 k Ω
R18	Resistencia divisor 2	0603	56 k Ω
R19	Resistencia polarización	0603	200 Ω
C4	Capacidad de desacoplo de entrada	GQM1875C2E1R6BB12	1.6 pF
C3	Capacidad de desacoplo de salida	GQM1875C2E1R0BB12	1 pF
BFP	Transistor	BFP740	

Tabla 9. Listado de componentes para el multiplicador x3.

Componente		Modelo	Valor nominal
R24	Resistencia atenuador serie	0603	30 Ω
R25	Resistencia atenuador serie	0603	30 Ω
R23	Resistencia atenuador paralelo	0603	25 Ω
R22	Resistencia divisor 1	0603	5.6 k Ω
R20	Resistencia divisor 2	0603	82 k Ω
R21	Resistencia polarización	0603	390 Ω
C5	Capacidad de desacoplo de entrada	GQM1875C2E330JB12	33 pF
C6	Capacidad de desacoplo de salida	GQM1885C2A1R1BB01	1 pF
BFP	Transistor	BFP740	

El circuito resultante tras el montaje de los componentes se puede ver en la Ilustración 121.

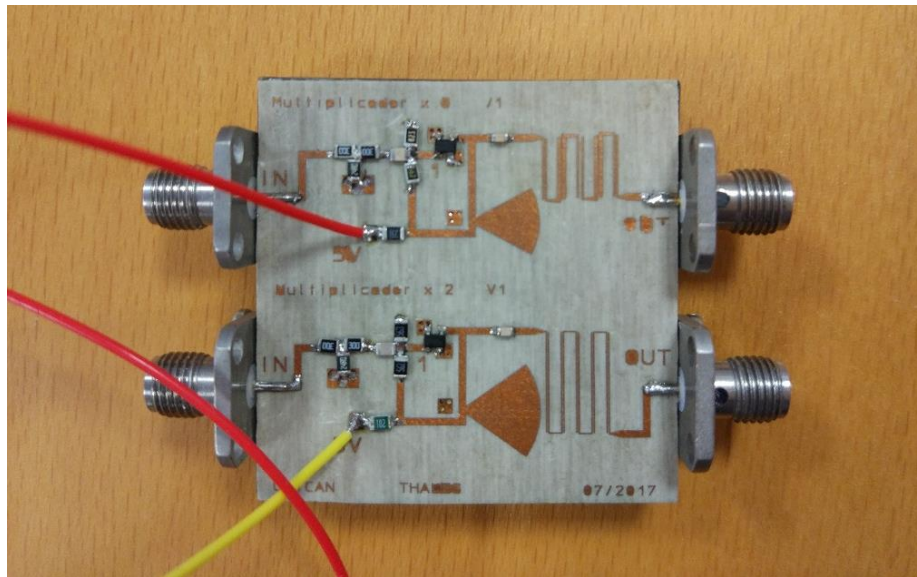


Ilustración 121. Circuitos del multiplicador x2 y x3, tras la fabricación y el montaje de los componentes.

Se ha realizado una segunda maqueta que contiene de nuevo al multiplicador x2, además del multiplicador x4. La maqueta se muestra en la Ilustración 122.

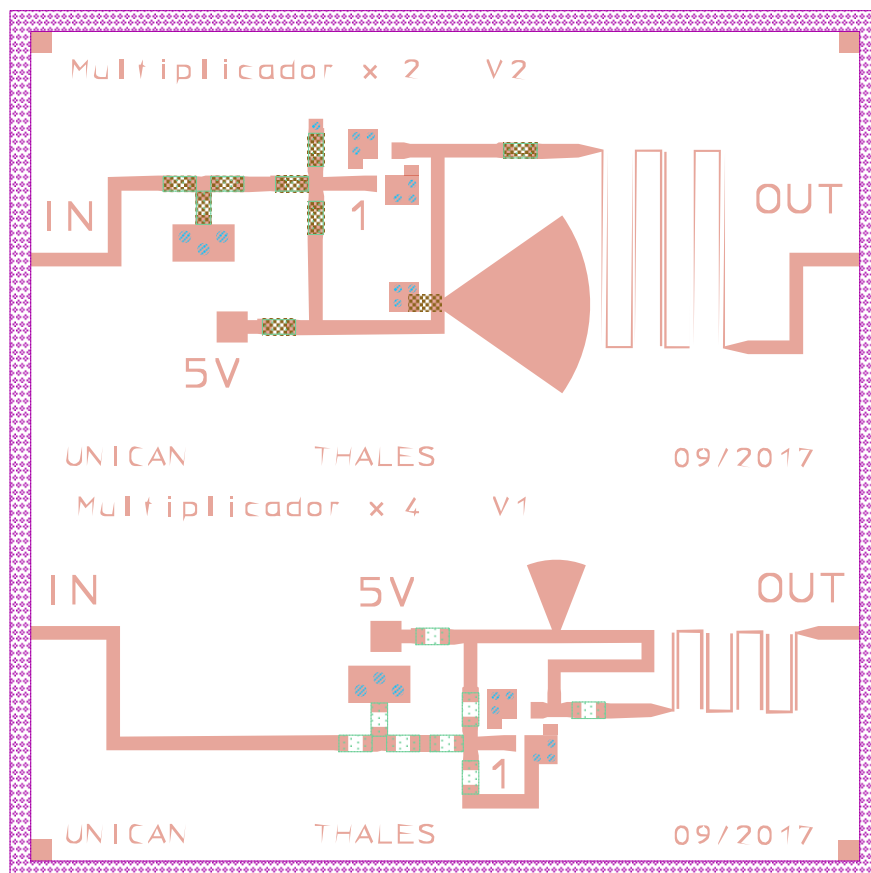


Ilustración 122. Maqueta para el multiplicador x2 y x4, en caja de 40x40 mm.



El listado de componentes para el multiplicador x4 se muestra en la Tabla 10.

Tabla 10. Listado de componentes para el multiplicador x4.

Componente		Modelo	Valor nominal
R24	Resistencia atenuador serie	0603	30 Ω
R25	Resistencia atenuador serie	0603	30 Ω
R23	Resistencia atenuador paralelo	0603	25 Ω
R22	Resistencia divisor 1	0603	2.7 k Ω
R20	Resistencia divisor 2	0603	27 k Ω
R21	Resistencia polarización	0603	390 Ω
C5	Capacidad de desacoplo de entrada	GQM1875C2E330JB12	39 pF
C6	Capacidad de desacoplo de salida	GQM1885C2A1R1BB01	1.5 pF
BFP	Transistor	BFP740	

Una vez montados los componentes, el circuito resultante se puede ver en la Ilustración 123.

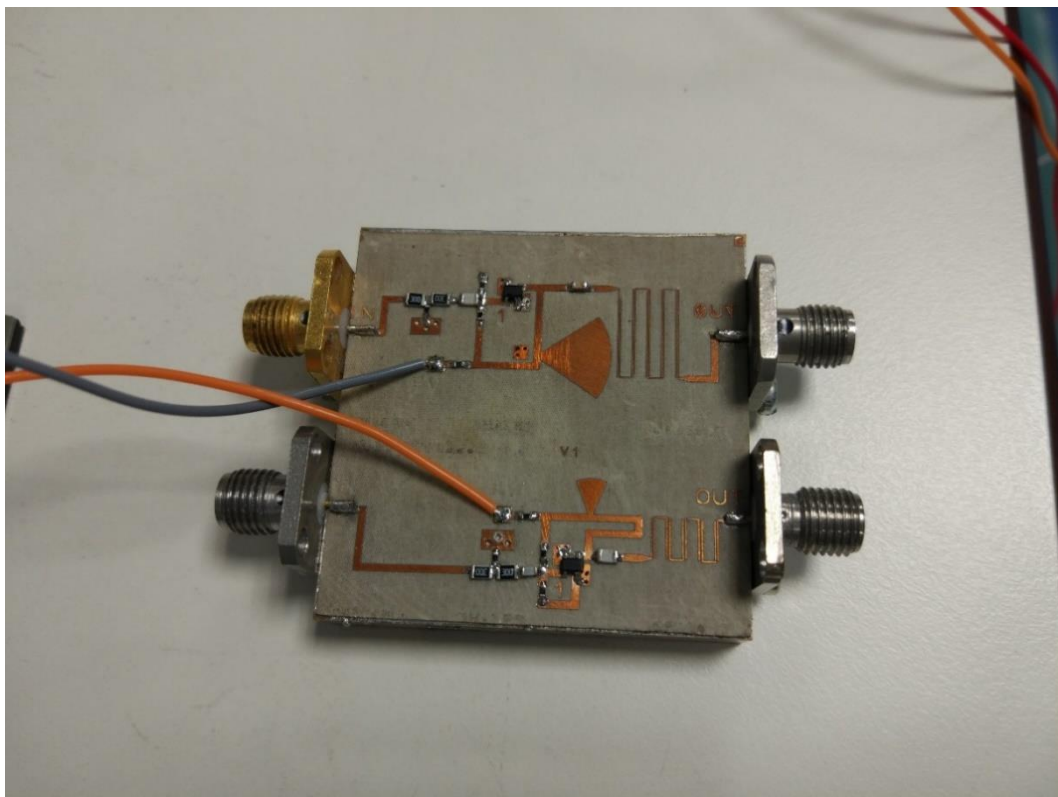


Ilustración 123. Circuitos del multiplicador x2 y x4, tras la fabricación y el montaje de los componentes.



Todos los circuitos diseñados en este trabajo se miden en el puesto de trabajo mostrado en la Ilustración 124, compuesto por:

- Osciloscopio: Agilent DSO90804A Digital Storage Oscilloscope infinity.
- Generador de señal: Rohde & Schwarz Signal Generator, 5 KHz - 6 GHz.
- Analizador de espectro: Agilent E44464, 3 Hz – 44 GHz.
- Fuente de alimentación: Hewlett Packard E3611A DC Power Supply.

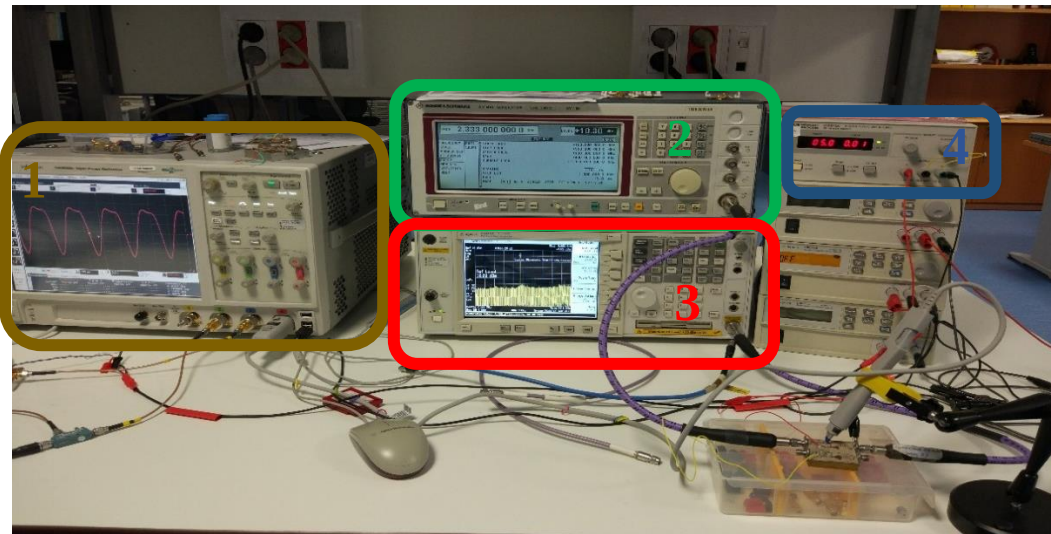


Ilustración 124. Puesto de medidas compuesto por: 1) Osciloscopio, 2) Generador de señal, 3) Analizador de espectro, 4) Fuente de alimentación.

2º ARMÓNICO

Los resultados de medida de la potencia de salida del multiplicador x2 para una potencia de entrada de 10 dBm son similares a los obtenidos en simulación. En los resultados de medida se observa una mayor potencia de salida en la zona central de la banda (5 GHz) y una menor potencia en los extremos de la banda.

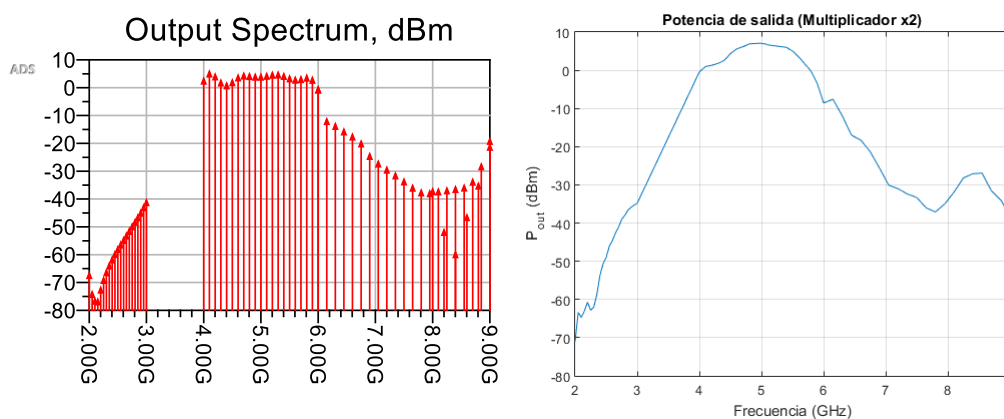


Ilustración 125. Multiplicador x2: Comparación gráfica de potencias de salida de simulación (Izquierda) y medida (Derecha).



Para observar estas potencias de salida con un mejor detalle se comparan también los valores exactos de potencia de salida, esta comparación se puede observar en la Tabla 11.

Tabla 11. Multiplicador x2: Comparación de potencias de salida de simulación (Arriba) y medida (Abajo).

RFfreq	Spectrum[1]	Spectrum[2]	Spectrum[3]
2000000000.000	-66.333	3.480	0.340
2050000000.000	-73.163	6.067	-11.039
2100000000.000	-75.580	4.996	-12.746
2150000000.000	-75.844	2.840	-14.753
2200000000.000	-71.594	1.821	-16.576
2250000000.000	-68.118	2.936	-19.036
2300000000.000	-65.337	4.678	-23.556
2350000000.000	-62.908	5.307	-26.272
2400000000.000	-60.739	5.158	-28.438
2450000000.000	-58.789	4.940	-30.546
2500000000.000	-57.035	4.946	-32.686
2550000000.000	-55.392	5.252	-34.935
2600000000.000	-53.792	5.633	-36.632
2650000000.000	-52.148	5.712	-36.963
2700000000.000	-50.474	5.195	-36.299
2750000000.000	-48.849	4.308	-35.891
2800000000.000	-47.234	3.848	-35.418
2850000000.000	-45.621	4.046	-34.907
2900000000.000	-43.937	4.584	-32.777
2950000000.000	-42.010	3.816	-27.267
3000000000.000	-40.140	0.331	-18.116

Frec. (GHz)	Fund. (dBm)	2 ^o arm. (dBm)	3 ^{er} arm. (dBm)
2.00	-71.0	-0.44	-7.1
2.05	-63.4	0.98	-7.6
2.10	-64.7	1.3	-11.9
2.15	-63.0	1.8	-17.0
2.20	-60.7	2.55	-18.3
2.25	-62.8	4.34	-21.3
2.30	-62.0	5.57	-25.6
2.35	-58.7	6.15	-30.1
2.40	-53.7	6.89	-31.0
2.45	-50.7	7.02	-32.4
2.50	-49.0	7.05	-33.3
2.55	-46.1	6.75	-36.0
2.60	-44.6	6.64	-37.1
2.65	-42.6	6.2	-35.0
2.70	-41.1	6.01	-31.9
2.75	-39.0	5.02	-28.2
2.80	-38.0	3.48	-27.1
2.85	-36.6	1.63	-26.7
2.90	-35.9	-0.28	-35.5
2.95	-35.5	-3.55	-34.1
3.00	-34.8	-8.57	-38.2



Con la ayuda de una sonda y del osciloscopio utilizado en el puesto de trabajo, se puede observar la excursión de tensión de base del transistor, y comparar dicha excursión con la obtenida en simulación.

En este caso ambas excursiones están realizadas para la frecuencia central, $f = 2.5 \text{ GHz}$, y muestran resultados similares, 0.276 V en simulación, y 0.325 V en medida.

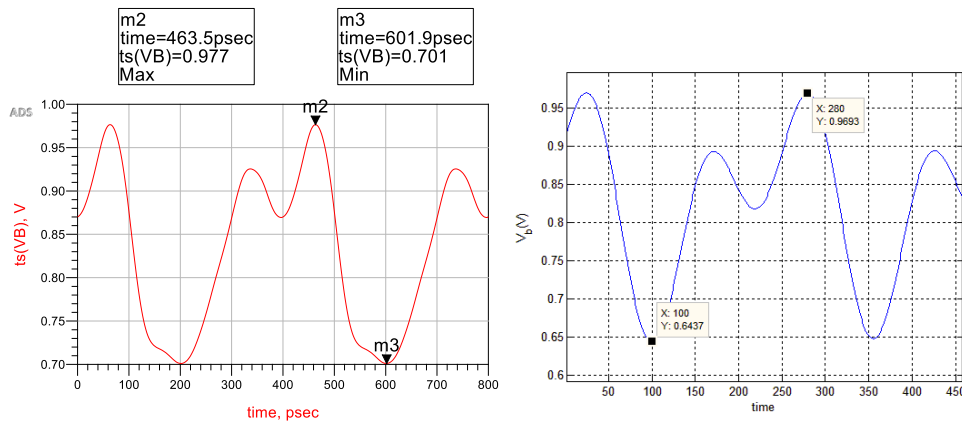


Ilustración 126. Multiplicador x2: comparación de la excursión de tensión en base entre simulación (izquierda), y medida (derecha).

3^{er} ARMÓNICO

En cuanto a los resultados de medida de la potencia de salida del multiplicador x3, también se corresponden con los resultados de simulación. Al igual que pasa en el multiplicador x2, en los resultados de medida se observa una mayor potencia de salida en la zona central de la banda (7.5 GHz), sin embargo, la potencia en los extremos de la banda es inferior a la de simulación.

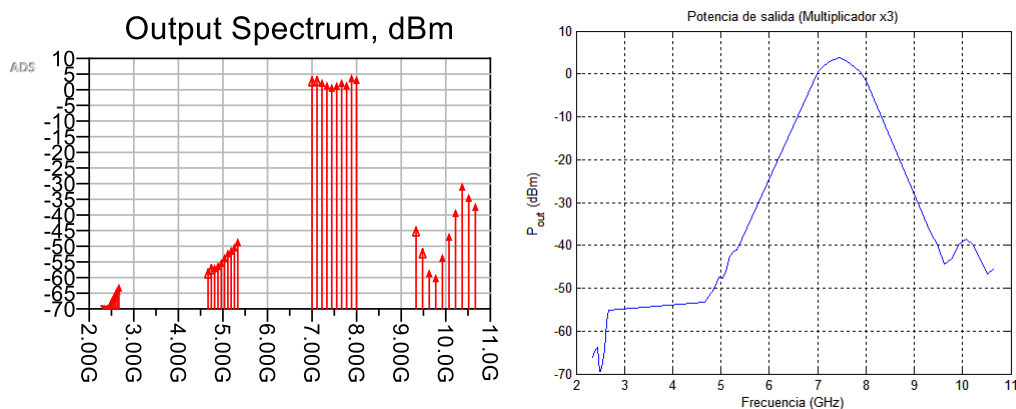


Ilustración 127. Multiplicador x3: Comparación gráfica de potencias de salida de simulación (Izquierda) y medida (Derecha).



En la Tabla 12 se pueden observar estas potencias de salida con un mejor detalle.

Tabla 12. Multiplicador x3: Comparación de potencias de salida de simulación (Arriba) y medida (Abajo).

RFfreq	Spectrum[1]	Spectrum[2]	Spectrum[3]	Spectrum[4]
2333000000.000	-73.316	-57.945	3.419	-44.537
2370000000.000	-71.511	-56.591	3.537	-51.512
2407000000.000	-69.999	-56.151	3.026	-57.740
2444000000.000	-68.806	-55.528	2.179	-59.335
2481000000.000	-67.575	-54.464	1.503	-52.833
2518000000.000	-66.415	-52.918	2.050	-46.118
2555000000.000	-65.420	-51.434	2.990	-38.523
2592000000.000	-64.410	-50.584	2.174	-30.116
2629000000.000	-63.338	-49.509	4.520	-33.666
2666000000.000	-62.375	-47.807	3.982	-36.566

Frec. (GHz)	Fund. (dBm)	2º arm. (dBm)	3ª arm. (dBm)	4º arm. (dBm)
2.333	-66.1	-53.2	0.56	-37.0
2.370	-65.4	-51.8	1.62	-39.7
2.407	-64.3	-50.9	2.57	-44.5
2.444	-63.8	-49.4	3.45	-43.3
2.481	-69.5	-47.5	3.85	-39.6
2.518	-69.5	-47.6	3.24	-38.5
2.555	-67.4	-46.3	2.36	-40.0
2.592	-64.5	-42.6	1.41	-43.3
2.629	-58.0	-41.4	0.55	-46.8
2.666	-55.2	-41.1	-1.58	-45.3

En la Ilustración 128, se compara la excursión de tensión de base del multiplicador x3 obtenida en simulación, con la obtenida en medida. Ambas excursiones están realizadas para la frecuencia central, $f = 2.5 \text{ GHz}$. Se observa como la excursión de tensión en medida (0.158 V) es bastante más pequeña que en simulación (0.33 V), con lo que se confirma que el modelo de transistor no limita estas excursiones como se mostraba en la Ilustración 109.

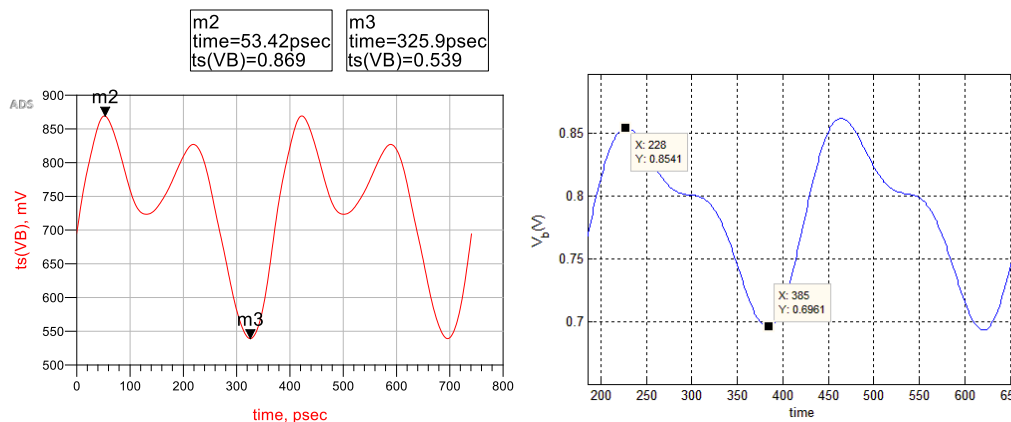


Ilustración 128. Multiplicador x3: comparación de la excursión de tensión en base entre simulación (izquierda), y medida (derecha).



4º ARMÓNICO

Los resultados de medida del multiplicador x4 se corresponden con los resultados de simulación en la parte baja de la banda (10-11.6 GHz), sin embargo, en la parte alta de la banda (11.6-12.8 GHz) la potencia de salida en medida cae de forma brusca.

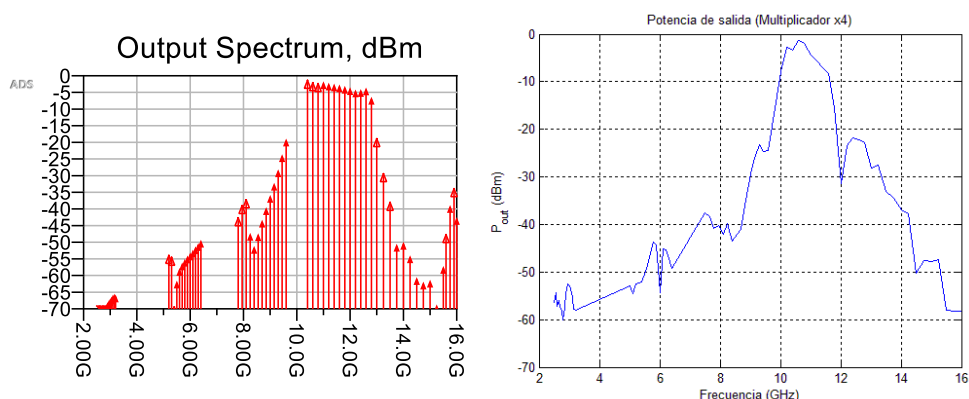


Ilustración 129. Multiplicador x4: Comparación gráfica de potencias de salida de simulación (Izquierda) y medida (Derecha).

En la Tabla 13 se pueden observar estas potencias de salida con un mejor detalle.

Tabla 13. Multiplicador x4: Comparación de potencias de salida de simulación (Arriba) y medida (Abajo).

RFfreq	Spectrum[1]	Spectrum[2]	Spectrum[3]	Spectrum[4]	Spectrum[5]
2600000000.000	-74.302	-54.457	-43.170	-1.880	-19.385
2650000000.000	-73.172	-55.017	-39.499	-2.607	-29.920
2700000000.000	-71.583	-69.927	-37.760	-2.850	-38.535
2750000000.000	-70.721	-61.972	-47.648	-2.136	-50.923
2800000000.000	-69.929	-58.202	-51.559	-2.540	-50.328
2850000000.000	-69.160	-56.562	-47.790	-2.792	-54.389
2900000000.000	-68.465	-55.449	-43.687	-3.062	-60.919
2950000000.000	-67.863	-54.464	-39.930	-3.467	-62.273
3000000000.000	-67.307	-53.540	-36.249	-3.926	-61.708
3050000000.000	-66.775	-52.668	-32.604	-4.577	-69.125
3100000000.000	-66.239	-51.694	-28.573	-4.455	-57.580
3150000000.000	-65.937	-50.702	-24.044	-3.964	-39.295
3200000000.000	-66.160	-49.696	-19.332	-6.773	-42.876

Frec. (GHz)	Fun. (dBm)	2º arm. (dBm)	3º arm. (dBm)	4º arm. (dBm)	5º arm. (dBm)
2.5	-56.3	-52.9	-37.5	-7.8	-24.3
2.55	-54.4	-54.5	-38.4	-2.8	-25.8
2.6	-57.3	-52.4	-40.9	-3.3	-28.2
2.65	-56.0	-52.2	-40.3	-1.3	-27.6
2.7	-57.4	-52.0	-42.0	-2.0	-33.0
2.75	-58.0	-50.4	-39.9	-4.4	-34.4
2.8	-60.1	-48.6	-43.5	-5.6	-36.9
2.85	-57.5	-46.2	-42.0	-7.1	-37.7
2.9	-54.6	-43.7	-41.1	-8.2	-50.2
2.95	-52.5	-44.3	-34.9	-15.4	-47.5
3.0	-53.0	-45.4	-29.4	-31.4	-47.7



3.05	-53.6	-45.1	-26.1	-23.5	-47.4
3.1	-55.4	-45.4	-23.3	-21.8	-58.1
3.15	-57.8	-47.2	-24.6	-22.3	-58.2
3.2	-58.1	-49.3	-24.4	-22.9	-58.3

Por último, se realiza la comparación entre la excursión de tensión de base en simulación y en medida para el multiplicador x4, estas excursiones están realizadas para la frecuencia central de la banda ($f = 2.8 \text{ GHz}$). En este caso tenemos una excursión de 0.439 V en simulación, frente a una excursión de 0.382 V en medida.

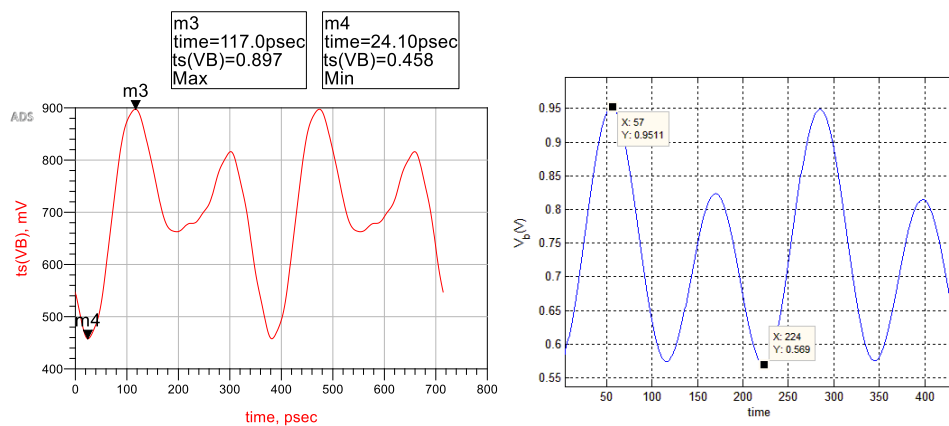


Ilustración 130. Multiplicador x4: comparación de la excursión de tensión en base entre simulación (izquierda), y medida (derecha).



Capítulo 5

5.1 Conclusión

En este trabajo se han diseñado tres multiplicadores de frecuencia, un duplicador, un triplicador, y un cuádruplicador, estos multiplicadores de frecuencia permiten generar señales a bajas frecuencias en equipos que trabajan a más alta frecuencia, lo que significa un importante abaratamiento de su coste. Es más barato generar una señal a baja frecuencia y utilizar posteriormente un multiplicador de frecuencia que generar una señal a alta frecuencia.

Los multiplicadores diseñados en este trabajo forman parte de un proyecto de diseño de un convertidor de frecuencia, en el que se integra estos multiplicadores con otros componentes como amplificadores, filtros, VCO, etc.

A lo largo de los capítulos anteriores se ha descrito el proceso de diseño de estos multiplicadores. En primer lugar, se ha realizado un estudio teórico de los multiplicadores de frecuencia, distinguiendo entre multiplicadores realizados con diodos o con transistores. Dentro de los multiplicadores realizados con transistor se han estudiado varias topologías de diseño, dichas topologías han servido para el posterior diseño de los multiplicadores.

Una vez realizado el estudio teórico se ha pasado al diseño de los distintos multiplicadores, el diseño se ha dividido en cuatro partes, el diseño de la red de adaptación de entrada, el diseño de la red de polarización, el diseño del filtro paso banda, y el diseño del multiplicador completo, en el que se muestran los resultados de juntar los diseños de la red de adaptación, polarización, y el filtro paso banda. Para la red de adaptación de entrada se ha optado por un atenuador, ya que las redes de adaptación de entrada de banda ancha tenían un tamaño demasiado grande. En cuanto a la red de polarización, se ha optado por un diseño sin bobinas, en su lugar se han realizado diseños con líneas de longitud $\lambda/4$ y



stubs radiales, ya que estos tienen una respuesta más estable a altas frecuencias. Para los filtros paso banda se ha escogido la topología hairpin, ya que esta topología mantiene el buen comportamiento de un filtro de líneas acopladas, pero con la ventaja de reducir considerablemente su tamaño.

Los resultados de potencia en simulación han sido bastante positivos, ya que con el buffer diseñado se consiguen los 10 dBm de salida de las especificaciones, salvo en el multiplicador x4 en el que no se ha conseguido 10 dBm de salida en toda la banda.

Una vez diseñados los tres multiplicadores se ha procedido a su fabricación. Los resultados tras la fabricación de los multiplicadores han sido los esperados, obteniendo buenos resultados en los multiplicadores x2 y x3, pero obteniendo unos resultados mejorables en el multiplicador x4.

5.2 Líneas de futuro

En primer lugar, se realizará un segundo diseño de los multiplicadores ampliando el ancho de banda de los filtros paso banda, ya que en los resultados de medida se observa como en los extremos de la banda la potencia disminuye. Con esto se conseguirán mejorar los resultados mostrados en este documento.

Otra línea de trabajo sería un mejor diseño de los buffers, ya que en los resultados con buffer del multiplicador x2 los armónicos tienen una potencia demasiado alta, y en los resultados con buffer del multiplicador x4 no se consiguen 10 dBm de potencia en toda la banda.

Además, se realizará un estudio de la estabilidad en gran señal de todos los multiplicadores.

El siguiente paso será la medida del convertidor mostrado en la Ilustración 1, en el que se integrarán los multiplicadores diseñados en este trabajo con otros componentes como amplificadores, filtros, VCO, etc. El trabajo finalizaría con el correcto funcionamiento de dicho convertidor.



Referencias

- [1] Fudem, H., Niehenke, E. C., “Novel millimeter wave active MMIC triplers”, IEEE MTT.-S.International.Microwave.Symposium.Digest, vol.2, pp. 387-390, 1998.
- [2] Hawal Rashid, Sascha Krause, Denis Meledin, Vincent Desmaris, Alexey Pavolotsky, Victor Belitsky. “Frequency Multiplier Based on Distributes Superconducting Tunner Junctions: Theory, Design, and Characterization”. Septiembre 2016.
- [3] O’Ciardha, E., Lidholm, S. U., Lyons, B., “Generic-device frequency-multiplier analysis-a unified approach”. IEEETrans.Microw.Theory.Tech, vol. 48, pp. 1134-1141, Julio 2000.
- [4] Camargo, E., Design of FET frequency multipliers and harmonic oscillators. Boston: Artech House, 1998.



-
- [5] Rauscher, C., "High-frequency doubler operation of GaAs field-effect transistors". IEEE Transactions on Microwave Theory & Techniques, vol. MTT-31, no. 6, pp. 462-473, Junio 1983.
- [6] Jae-Sun Kim, Hyun-Myung Oh, Chul, Woo Byeon, Ju Ho Son, Jeong Ho Lee, Jooseok Lee, Choul-Young Kim. "V-band x8 Frequency Multiplier With Optimized Structure and High Spectral Purity Using 65-nm CMOS Process". Mayo 2017.
- [7] Beaulieu, C., "Millimeter wave broadband frequency tripler in GaAs/InGaP HBT technology". IEEE MTT.-S.International.Microwave.Symposium.Digest, vol.3, pp. 1581-1584, 2000.
- [8] Branner, G. R., Thomas, D. G., Jr., Kumar, B. P., "Radio Frequency Multipliers". Wiley Encyclopedia of Electrical and Electronics Engineering New York, 1999.
- [9] Wardah Inam, Khurram K. Afridi, David J. Perreault. "Variable Frequency Multiplier Technique for High-Efficiency Conversion Over a Wide Operating Range". Junio 2016.
- [10] Yujong Kim, S. Saitiniyazi, M. Mayierjiang, M. Titberidze, T. Andrews, C. Eckman. "Performance Comparison of S-band, C-band, and X-band RF Linac based XFELs". 2012.
- [11] C-band (2016), Tech-FAQ, <http://www.tech-faq.com/c-band.shtml>.
- [12] "Radar: Types, Principles, Bands, Hardware" (2000), Everythingweather, <http://www.everythingweather.com/weather-radar/bands.shtml>.
- [13] David M. Pozar, *Microwave Engineering, Fourth Edition*. Chapter 13.4 Frequency Multipliers, pp. 627-635, 2011.
- [14] Gopinath, A. y Rankin, J.B., "Single-gate MESFET frequency doublers" IEEE Trans.Microw.Theory.Tech.(USA), vol. MTT-30, pp869-875, Junio 1982.
- [15] Clarke, K. K. y Hess, D. T., *Communication circuits: analysis and design*. Reading: Addison-Wesley Pub. Co., 1971.
- [16] Camargo, E., *Design of FET frequency multipliers and harmonic oscillators* / Boston: Artech House, 1998.
- [17] O'Ciarda, E., Lidholm, S. U., y Lyons, B., "Generic-device frequency-multiplier analysis-a unified approach" IEEE Trans.Microw.Theory.Tech.(USA), vol. 48, pp. 1134-1141, Julio 2000.
- [18] Kushner, L. J., "Output performance of idealized microwave power amplifiers" Microw.J.(USA), vol. 32, pp. 103-116, Octubre 1989.



-
- [19] Dow, G. S. y Rosenheck, L. S., "A new approach for MM-wave generation" Microw.J.(USA), vol. 26, pp. 147, 148-150, 162, Septiembre 1983.
- [20] Borg, M. y Branner, G. R., "Novel MIC bipolar frequency doublers having high gain, wide bandwidth and good spectral performance". IEEE Tans.Microw.Theory.Tech.(USA), vol. 39, pp. 1936-1946, Diciembre 1991.
- [21] Pan, J. J., "Wideband MESFET Microwave Frequency Multiplier". IEEE MTT-S International Microwave Symposium Digest, pp. 306-308, 1978.
- [22] Iyama, Y., A. Iida, T. Takagi, y S. Urasaki, "Second-Harmonic Reflector Type High Gain FET Frequency Doubler Operating in K-Band", IEEE MTT-S International Microwave Symposium Digest, pp. 1291-1294, 1989.
- [23] Rauscher, C., "High-Frequency Doubler Operation of GaAs Field-Effect Transistors". IEEE Transactions on Microwave Theory and Techniques, Vol. 21, No. 6, pp. 462-473, Junio 1983.
- [24] Henkus, J. C., R. Overduin, y P. J. Koomen, "A Wideband Tripler for X-Band in Microstrip". Microwave Journal, Vol. No. 3, pp. 106-111, Marzo 1993.
- [25] Stancliff, R., "Balanced Dual Gate GaAs FET Frequency Doublers". IEEE MTT-S International Microwave Symposium Digest, Long Beach, CA, pp. 143-145, 1981.
- [26] Iulian Rosu, "Frequency Multipliers", YO3DAC/VA3IUL, <http://www.qsl.net/va3iul>.
- [27] Mantovani, F., "Active MESFET Multipliers Solve Low Signal Levels". Vol. No. 8, pp. 129-131, Agosto 1984.
- [28] Stein, O. Von y J.Sherman, "Odd Order MESFET Multipliers with Broadband, Efficient, Low Spurious Response". IEEE MTT-S International Microwave Symposium Digest, San Francisco, CA, pp. 667-670, 1996.
- [29] Gilmore, R. J., Steer, M. B., "Nonlinear circuit analysis using the method of harmonic balance – A review of the art. Part I. Introductory concepts". Int. J. Microw. Mill. –Wave Comput. –Aided Eng. 1991.

