ESCUELA TÉCNICA SUPERIOR DE INGENIEROS INDUSTRIALES Y DE TELECOMUNICACIÓN

UNIVERSIDAD DE CANTABRIA



Trabajo Fin de Máster

Diseño de un amplificador monolítico en banda Ku utilizando tecnología GaN (GaN-HEMT LNA MMIC from 13.5 to 18 GHz)

Para acceder al Titulo de

Máster Universitario en Ingeniería de Telecomunicación

Autor: Daniel Lastra Lamarca

Julio - 2017



E.T.S. DE INGENIEROS INDUSTRIALES Y DE TELECOMUNICACION

MASTER UNIVERSITARIO EN INGENIERÍA DE TELECOMUNICACIÓN

CALIFICACIÓN DEL TRABAJO FIN DE MASTER

Realizado por: Daniel Lastra Lamarca Director del TFM: M^a Luisa de la Fuente Rodríguez

Título: "Diseño de un amplificador monolítico en banda Ku utilizando tecnología GaN" Title: "GaN-HEMT LNA MMIC from 13.5 to 18 GHz"

Presentado a examen el día:

para acceder al Título de

MASTER UNIVERSITARIO EN INGENIERÍA DE TELECOMUNICACIÓN

<u>Composición del Tribunal:</u> Presidente (Apellidos, Nombre): Secretario (Apellidos, Nombre): Vocal (Apellidos, Nombre):

Este Tribunal ha resuelto otorgar la calificación de:

Fdo.: El Presidente

Fdo.: El Secretario

Fdo.: El Vocal

Fdo.: El Director del TFM (sólo si es distinto del Secretario)

V° B° del Subdirector

Trabajo Fin de Máster N° (a asignar por Secretaría)

Índice general

1.	Intr	oducción	5
2.	MM	IICs y tecnologías empleadas	7
	2.1.	Sobre MICs y MMICs	7
	2.2.	Diferencias entre GaN y GaAs	9
	2.3.	Proceso D01GH de OMMIC	10
		2.3.1. Simulación y fabricación	12
		2.3.1.1. Substrato	12
		2.3.1.2. Activos	14
		2.3.1.3. Pasivos	15
		2.3.2. Reglas de diseño	17
3.	LNA	As	20
	3.1.	Figura de ruido	20
	3.2.	Círculos de ruido constante	23
4.	Proc	ceso de diseño	24
	4.1.	Objetivos del diseño	24
	4.2.	Consideraciones iniciales	25
		4.2.1. Elección del punto de polarización	26
		4.2.2. Modificación del modelo del transistor	28
		4.2.2.1. Simulación y de-embedding de los accesos a	
		puerta y a drenador	29
		4.2.2.2. Simulación de las líneas y pasos a tierra de la	
		fuente del transistor	31
		4.2.2.3. Verificación del modelo	34
	4.3.	Diseño del amplificador	37
		4.3.1. Elección del número de etapas	37
		4.3.2. Diseño de las redes de adaptación	37
		4.3.3. Redes de polarización y filtrado RC	43
		4.3.4. Cambios previos a la elaboración del <i>layout</i>	48
		4.3.5. Elaboración del <i>layout</i> final	49
	4.4.	Resultados obtenidos	55
		441 Simulación en pequeña señal	55

	4.4.2.	Simulación con modelo de gran señal	55
	4.4.3.	Punto de compresión 1 dB	57
	4.4.4.	Análisis de Montecarlo: cálculo del <i>yield</i>	59
5.	Conclusior	es finales y observaciones	62
6.	Referencia	5	64

4

Capítulo 1

Introducción

Este documento recoge todo el proceso de diseño de un amplificador monolítico de bajo ruido en banda Ku, así como los resultados finales obtenidos y las posibles líneas futuras. El diseño se ha realizado en un proceso en tecnología de nitruro de galio (GaN), generalmente empleado en aplicaciones de potencia debido a que sus características en cuanto a tensiones de ruptura, conductividad térmica o constante dieléctrica son mejores que en otras tecnologías, como las basadas en el arseniuro de galio (GaAs).

La tecnología GaN ha sido seleccionada como la mejor candidata para desarrollar la próxima generación de transistores para aplicaciones de transmisión/recepción (T/R). Aunque se ha puesto mayor atención en amplificadores de potencia, últimamente ha ido surgiendo un avance en el desarrollo de amplificadores de bajo ruido basados en esta tecnología. Una de las razones del interés de GaN en el lado del receptor es el hecho de que los transistores de GaN pueden manejar mucha más potencia, de tal forma que se pueda eliminar el limitador híbrido de la parte frontal (*front-end*). Aunque el nivel de ruido de los transistores de GaN es todavía mayor que el conseguido con dispositivos de GaAs o fosfuro de indio (InP), la contribución del limitador prácticamente equilibra el ruido total del receptor. [1]

El principal reto de este proyecto consiste en implementar esta tecnología en un diseño de bajo ruido e intentar conseguir la mínima figura de ruido posible. Para ello, será crítico el diseño de la red de entrada, así como de la primera inter-etapa del amplificador, que serán las dos redes que más condicionen la figura de ruido. En la actualidad ya existen diseños que indican la idoneidad de esta tecnología para aplicaciones donde el bajo ruido y la alta capacidad de potencia son requeridos, tal y como aparece en [2], [3] y [4]. El documento se organiza en varios capítulos y secciones, siendo los Capítulos 4 y 5 los correspondientes al diseño y las conclusiones, respectivamente. Los capítulos previos tratan temas de interés relacionados con el trabajo. En el Capítulo 2 se presentan las tecnologías empleadas, se comentan las diferencias entre los diseños monolíticos e híbridos y se detallan los modelos de simulación y el proceso de fabricación. El Capítulo 3 es el último previo al diseño y resume varios conceptos clave acerca de los amplificadores de bajo ruido (LNAs).

Capítulo 2

MMICs y tecnologías empleadas

En este capítulo se tratarán temas relacionados con las tecnologías empleadas en el diseño del amplificador, desde los circuitos monolíticos de microondas, pasando por los modelos de simulación, hasta las características del proceso de fabricación elegido.

2.1. Sobre MICs y MMICs

Los circuitos integrados monolíticos de microondas (MMICs) han sido una parte fundamental del desarrollo de las microondas desde que comenzó su uso alrededor de los años 70. Hoy en día, los MMICs cuentan con decenas, incluso centenares de componentes activos y pasivos.

El término MMIC no debe confundirse con el término MIC (circuito integrado de microondas). Un MIC es una combinación de elementos soldados sobre una PCB (placa de circuito impreso) similar a un circuito híbrido. En cambio, en los MMIC, todo el circuito se encuentra integrado en un bloque semiconductor. [7]

MICs y MMICs también se diferencian en su tamaño, los MMICs típicos pueden presentar áreas entre 1 y 9 mm² y aproximadamente 0.1 mm de espesor, resultando de tamaño mucho menor que los MICs, como puede verse en la Figura 2.1.

En la Tabla 2.1 se resumen las ventajas e inconvenientes de usar una u otra tecnología en el diseño. Como se verá más adelante, el diseño de este trabajo está realizado en tecnología MMIC, por lo que se consigue un tamaño y peso reducido. Este tipo de diseños, una vez acabados, resulta fácil reproducirlos y fabricarlos en grandes cantidades.

Pero no todo son ventajas. Las líneas de transmisión de este tipo de diseños presentan mayores pérdidas respecto a los MICs. Una vez fabricado un MMIC, no es posible realizar reajustes, por lo que la fase de diseño es de



FIGURA 2.1: MIC fabricado sobre cerámica (izda.) y MMIC fabricado sobre una oblea de semiconductor (dcha.)

importancia crítica. Además, debido también a restricciones en el tamaño y a las propiedades del substrato, los elementos pasivos del circuito alcanzan unos valores de impedancia, capacidad o inductancia limitados, comparativamente a lo que se puede conseguir en MIC. [5]

Todo lo relativo a la simulación y fabricación del diseño MMIC se detallará en una sección posterior (2.3.1).

	Híbridos (MIC)	MMIC
Ventajas	Bajo coste Reparación sencilla Fáciles de medir Líneas de bajas pérdidas	Pequeño tamaño y peso Alta fiabilidad Reproducible Diseño flexible
Desventajas	Diseño poco flexible Poco reproducible Gran tamaño Efectos parásitos Montaje de alto coste	Líneas con altas pérdidas No se pueden ajustar Equipamiento caro Limitación de valores

2.2. Diferencias entre GaN y GaAs

Durante la última década, el GaN se ha convertido en uno de los principales compuestos para semiconductores empleados en radiofrecuencia y microondas, especialmente en aplicaciones que requieren mucha potencia. Esto ha hecho que el uso del GaAs disminuyera a medida que aumentaba el del GaN. En esta sección, se estudiará a qué se debe este cambio de tendencia y cuáles son las diferencias que existen entre ambos compuestos. [8]

Tanto el GaN como el GaAs son materiales que forman parte de la composición de los semiconductores, que se depositan sobre obleas o *wafers* (Figura 2.2) donde se fabrican todos los elementos que forman parte de un circuito eléctrico. Ambos materiales se comercializan en forma de lingotes, con diámetros en torno a los 5 cm, siendo el GaAs el que más tiempo lleva en el mercado.



FIGURA 2.2: Oblea de semiconductor donde se deposita GaAs o GaN

El GaAs se encuentra actualmente bien establecido en el mercado como opción preferente para diseños de alta frecuencia en los que se necesita una figura de ruido lo menor posible, como en las primeras etapas de un equipo receptor de RF. Los MMICs basados en GaAs se usan en una amplia variedad de productos, como *smatphones, tablets* o dispositivos Wi-Fi. Por lo general, los componentes que forman parte de estos MMICs operan a tensiones y corrientes lo suficientemente bajas como para no necesitar más que una batería como alimentación.

Por otro lado, el GaN ha mostrado ser realmente útil para desarrollar aplicaciones de potencia, como amplificadores con tensiones de alimentación de 48 V o incluso mayores. Gracias a la capacidad del GaN para soportar mayores tensiones, el material se ha convertido en la opción preferida para diseñar amplificadores de potencia en estaciones base o para sustituir amplificadores basados en tubos de vacío. Para una potencia de

salida similar, los amplificadores basados en GaN tienden a ser más lineales y a presentar menor distorsión que los basados en GaAs.

A continuación, se enumeran algunas de las propiedades que han hecho que el uso del GaN en aplicaciones de radiofrecuencia y microondas haya ido en aumento los últimos años:

- El GaN es un material con una banda prohibida más ancha (unos 3.4 eV), que el GaAs (1.4 eV). Cuanta más anchura tiene esta banda, más energía necesita un electrón para pasar de la banda de valencia a la de conducción.
- Debido al punto anterior, las propiedades del GaN suelen superar a las del GaAs en cuanto a energía, potencia y velocidad para alcanzar estados de alta energía. La velocidad de saturación, en el GaN tiene un valor típico de 2.7 * 10⁷ cm/s, mientras que en el GaAs es de 2.0 * 10⁷ cm/s. La tensión de ruptura determina el nivel de tensión que se puede aplicar de forma segura a un dispositivo de estado sólido sin dañarlo, siendo la del GaN (4 * 10⁶ V/cm) muy superior a la del GaAs (5 * 10⁵ V/cm). El GaN también cuenta con una constante dieléctrica relativa mucho mayor (9) que la del GaAs (1.28), permitiendo así fabricar capacidades de más alto valor.
- Ya que la densidad de potencia en compuestos de GaN es mucho mayor que en compuestos de GaAs e incluso mayor que en otros materiales semiconductores de silicio, la conductividad térmica es un parámetro fundamental para caracterizar cómo de bien el dispositivo disipa calor debido a pérdidas en el dieléctrico e ineficiencias. La conductividad térmica del GaN es de 1.7 W/cm-K, más de tres veces superior a la del GaAs. Una conductividad térmica alta favorece que la temperatura crezca lo mínimo posible en conducción, algo que permite a los dispositivos basados en GaN manejar niveles mayores de potencia que aquellos basados en GaAs, usando ambos la misma estructura física.

2.3. Proceso D01GH de OMMIC

OMMIC es una empresa proveedora de circuitos MMIC, que ofrece servicios de fundición y obleas epitaxiales basadas en materiales III-V (GaAs, GaN e InP) para aplicaciones de telecomunicaciones, espacio y defensa. Las instalaciones de diseño y fabricación de OMMIC están ubicadas cerca de París, Francia.

Entre las tecnologías que OMMIC pone a disposición de sus clientes se incluyen PHEMTs (Pseudomorphic High-Electron-Mobility Transistor) de bajo ruido y potencia, MHEMTs metamórficos para muy bajo ruido e InP DHBT (Double Heterojunction Bipolar Transistor). Todas estas posibilidades permiten el diseño de una amplia gama de MMICs, incluyendo LNAs de 900 MHz a 160 GHz, funciones de transmisión y recepción altamente integradas y amplificadores de potencia para bandas milimétricas. [13]

De todas las opciones disponibles en OMMIC para diseñar MMICs, en este caso se ha optado por emplear el proceso D01GH:

- D: Transistores de deplexión.
- 01: Longitud de puerta de 0.10 μ m.
- GH: HEMTs fabricados en una capa GaN.

Como se puede observar en la Figura 2.3, existen tanto procesos bien establecidos, disponibles para la producción de grandes cantidades de diseños, y otros en que la tecnología aún están en una fase más temprana e inmadura, disponibles para producir pequeñas cantidades o desarrollos internos.

El proceso D01GH se encuentra actualmente entre ambos extremos y está basado en tecnología GaN sobre silicio, con longitudes de puerta de los transistores de 0.1 μ m. Como se ha comentado en una sección anterior (2.2), el GaN cuenta con prestaciones muy interesantes en cuanto a las capacidades de potencia y energía comparado con las opciones basadas en GaAs. Mediante este proceso se consiguen densidades de potencia de 3300 mW/mm frente a los 640 mW/mm del GaAs, o tensiones de drenador máximas de 25 V. La figura de ruido medida a 40 GHz es de 1.5 dB, peor que en el resto de opciones, pero es aquí donde encaja este trabajo, en intentar aprovechar las cualidades de potencia del GaN y tratar de conseguir, a la vez, la menor figura de ruido posible en la banda de funcionamiento.

Para ello, durante la simulación del diseño se empleó una librería que modelaba el comportamiento cada elemento disponible en el proceso y mediante la cual se generó el *layout* (dibujo final a fabricar por la fundición).

Process	ED02AH	D01PH	D01MH	D007IH	D004IH	D01GH	D006GH
Technology	GaAs p-Hemt	GaAs p-Hemt	GaAs m-Hemt	GaAs m-Hemt	GaAs m-Hemt	GaN / Si	GaN / SiC
Status	Production	Production	Production	Production	Developement	Released	Developement
Space Grade	Space Qualified	Space Qualified	In 2015	In 2017	-	—	-
Gate Length (um)	0,18	0,13	0,13	0,07	0,04	0,1	0,06
Wafer size (inches)	3	3	3	3	3	3	3
Thickness (um)	100	100	100	100/70	100/70	100	100
Gate write	E-beam	E-beam	E-beam	E-beam	E-beam	E-beam	E-beam
Ft (GHz)	60	100	150	300	400	110	170
Fmax (GHz)	110	180	250	450	600	160	250
Vbgd (V)	8	12	8	4	4	30	25
Vds max(V)	7	10	6	3	3	25	20
Idss(mA/mm)	250(on)/140(off)	500	300	200	200	700	800
Idss max(mA/mm)	400(on)/180(off)	700	500	400	400	1100	1200
MiM Capacitors (pF/mm ²)	49 and 400	400	400	400	400	400	400
NF (dB)	0,8 (18GHz)	1,1 (30GHz)	0,8 (30GHz)	0,5 (30GHz)	0,4 (30GHz)	1,5 (40GHz)	1 (50GHz)
Power density (mW/mm)	330	640	300	NA	NA	3300	1000
gm (mS/mm)	450	650	700	1600	2000	650	700

FIGURA 2.3: Procesos de fabricación de OMMIC

2.3.1. Simulación y fabricación

La librería de OMMIC para el proceso D01GH contiene la mayoría de los elementos necesarios para simular adecuadamente los diseños que vayan a ser fabricados empleando esta tecnología. Esta librería no solo se emplea en la etapa de simulación, sino que más adelante permite elaborar el *layout* del diseño que fabricará OMMIC. A continuación, se detallarán los modelos del substrato y de los elementos activos y pasivos que se encuentran en la librería, así como algunos aspectos relacionados con su fabricación. [14]

2.3.1.1. Substrato

La librería cuenta con un modelo del substrato sobre el que se construye todo el circuito. Este modelo cuenta con numerosos parámetros, como tensiones de ruptura o resistencias entre capas, cada uno de ellos definidos por un valor nominal. En condiciones ideales, si la oblea se fabrica correctamente, el substrato resultante tiene las mismas características que el modelo con sus valores nominales. Las salas limpias donde se fabrican las obleas mantienen de manera estricta las condiciones ambientales, como la humedad o la temperatura. Gracias a esto, las obleas fabricadas suelen presentar siempre características muy similares. Pese a ello, es posible que se produzca algún desajuste durante la fabricación, por lo que además de incluir los valores nominales, la librería añade una cierta dispersión a cada parámetro, en forma de variable aleatoria siguiendo una distribución de tipo gaussiana. Gracias a esto, es posible realizar simulaciones del *yield* o fiabilidad de fabricación, que permiten conocer cómo responde el diseño a las variaciones producidas en el substrato.



FIGURA 2.4: Capas del substrato

En la Figura 2.4 aparece representada la estructura de capas del modelo del substrato. En azul se pueden observar las diferentes capas que existen, cada una de un determinado espesor. La capa inferior está compuesta por silicio

y con casi 100 μ m es la capa de mayor espesor del substrato. A continuación, se deposita una capa de nitruro de galio mezclado con aluminio (AlGaN), una de óxido de silicio (SiO2) y una capa final de nitruro de silicio (SiN). En amarillo se muestran las máscaras y transiciones entre capas (CO y OC), los pasos a masa (vh) y las pistas metálicas que se pueden emplear para diseñar líneas de transmisión. En este diseño, las metalizaciones que se han empleado son IN+TIN, ubicada sobre la capa SiN y MET1, sobre AlGaN. En la medida de lo posible, se evitará emplear MET1, ya que tiene más pérdidas que IN+TIN.

Todos los elementos activos y pasivos del diseño se fabrican también en forma de capas, como aparece en la Figura 2.5. En ella, de izquierda a derecha, se pueden observar:

- Un *pad* de *bonding* para conectar al MMIC con el exterior, típicamente mediante un hilo de oro.
- Un transistor, formado por su puerta, fuente y drenador. En la sección de activos (2.3.1.2) se comentarán los modelos que tiene la librería.
- Dos resistencias elaboradas mediante diferentes capas del substrato. En la sección posterior de pasivos (2.3.1.3) se detallarán ambos tipos.
- Un cruce de una línea de transmisión con una cavidad llena de aire debajo (*air-bridge*). No se ha empleado en el diseño, pero está presente en las conexiones de las fuentes de los transistores.
- Una línea de transmisión formada por metalización IN+TIN.
- Dos condensadores MIM (Metal-Insulator-Metal) que, al igual que las resistencias, están elaborados a partir de diferentes capas. De nuevo, en la sección de pasivos (2.3.1.3) se detallarán ambos.
- Por último, un paso a tierra.

Sobre estos elementos activos y pasivos se profundizará a continuación.



FIGURA 2.5: Sección del substrato

2.3.1.2. Activos

La librería cuenta con dos tipos de transistores: uno pensado para diseñar amplificadores y otro para ser empleado en la zona óhmica o lineal para diseñar interruptores o *switches*.

Los transistores que se usan para diseñar amplificadores se encuentran optimizados en términos de potencia, transconductancia y figura de ruido mínima. Esto se consigue desviando un poco la puerta y acercándola a la fuente (como en el transistor de la Figura 2.5), aumentando así la tensión de ruptura drenador-fuente y reduciendo la resistencia de fuente.

En los *switches* se requieren transistores más simétricos, con tensiones de ruptura puerta-drenador y puerta-fuente idénticas. Por ello, estos transistores presentan una puerta más centrada que los anteriores. Como en los *switches* no hay corriente continua, se puede disminuir la distancia entre puertas, lo que reduce las capacidades parásitas cuando se encuentran en corte.

Para aumentar la corriente continua y la potencia de salida de los transistores, se debe aumentar la anchura total de la puerta (W en la Figura 2.6). Pero en ese caso, como la resistencia de la puerta depende de su anchura, será alta. Para valores de anchura elevados, la ganancia máxima disponible disminuirá y el ruido aumentará. El uso de varias puertas en paralelo evita estos efectos, ya que cada puerta presenta una resistencia menor. Un *layout* de un transistor con una única puerta aparece a la izquierda de la Figura 2.6 y a la derecha se puede encontrar la solución con dos puertas. Por su forma, las puertas de estos transistores se suelen denominar dedos o *fingers* en inglés.



FIGURA 2.6: Transistor *single finger* (izda.) y *multiple finger* (dcha.)

De los dos modelos disponibles, el que se ha empleado en el diseño es el que está pensado para diseñar amplificadores. Se trata de un modelo de gran señal que describe el comportamiento no lineal del transistor cuando se somete a señales de gran magnitud. Cuenta con información electrotérmica obtenida a partir de mediciones de parámetros de *Scattering* y de *load pull* de diversos transistores fabricados con diferentes tamaños de puerta.

Toda esta información es muy útil para trabajar en términos de potencia o diseñar un amplificador de alta potencia, pero el modelo no cuenta con información acerca de la figura de ruido. Este inconveniente se resolverá empleando otro modelo adicional, que se comentará en el capítulo sobre el diseño (4.2).

2.3.1.3. Pasivos

Para concluir con los modelos disponibles en la librería, queda mencionar los condensadores, las resistencias, las inducciones y los tramos de línea.

En cuanto a los condensadores, la librería ofrece dos posibilidades, siendo ambos condensadores tipo MIM, como ya se ha visto en la Figura 2.5:

- Condensadores de alta densidad (mediante dieléctrico SiN).
- Condensadores de baja densidad (mediante dieléctrico SiN+SiO2).

Los condensadores SiN se fabrican empleando la capa SiN de 145 nm que se encuentra entre las metalizaciones IN y MET1, eliminando mediante la máscara CO la capa SiO2 inferior. Los condensadores SiN+SiO2 sí que cuentan con esta capa SiO2 inferior. En la Figura 2.7 pueden observarse ambos modelos en un *layout*. Como se ve en los extremos izquierdo y derecho de cada condensador, ambos se conectan al resto del circuito de una manera similar, mediante metalización IN por un lado y con metalización MET1 por el otro. El modelo permite cambiar las anchuras de estas interconexiones, así como la anchura del área del condensador, pero lo más recomendable es mantener una forma cuadrada.

La elección entre uno y otro tipo dependerá del valor de capacidad necesario. El condensador SiN abarca valores entre 0.06 pF y 50 pF y el condensador SiN+SiO2 entre 1fF y 1 pF. Dependiendo de la necesidad se empleará uno u otro, pero para valores comprendidos entre 0.06 pF y 1 pF, es recomendable emplear el condensador SiN, ya que presenta un mejor comportamiento.

Con las resistencias pasa algo similar, ya que existen dos opciones (Figura 2.7):

- Resistencias de valor medio (mediante níquel-cromo (NiCr)).
- Resistencias de valor alto (mediante GaN).

Cuando se necesita una resistencia de bajo valor, de gran precisión y que su valor sea poco dependiente de la temperatura, se emplea NiCr. Este metal se deposita encima de la capa SiN. Si, en cambio, se requieren valores más altos, sin importar demasiado su precisión, lo mejor es optar por las resistencias de GaN.



FIGURA 2.7: Condensadores SiN (arriba izda.), condensador SiN+SiO2 (abajo izda.), resistencia GaN (arriba dcha.) y resistencia NiCr (abajo dcha.)

Las resistencias se definen físicamente por dos parámetros: la distancia entre los extremos de interconexión (L) y el ancho de la capa resistiva (W). Los modelos permiten variar uno de estos dos parámetros para ajustar un poco la forma de la resistencia, pero el valor de impedancia es el que determina fundamentalmente su tamaño.

Las inductancias se fabrican mediante la metalización IN y tienen forma de espiral. La línea de retorno usa metalización MET1 y se encuentra aislada de la propia inducción mediante la capa SiN+SiO2. El modelo permite modificar la anchura de las líneas que forman parte de la espiral, así como el espacio que hay entre ellas (entre 5 y 15 μ m). La orientación de la línea de retorno puede girarse con pasos de 90° para conseguir posicionar mejor la inducción en el *layout*. En la Figura 2.8 aparece una inducción a la izquierda y a la derecha una estructura elaborada mediante líneas de transmisión.

Esta estructura tiene una tonalidad diferente porque se ha elaborado mediante metalización TIN. Esta metalización se añade sobre IN para

reducir la resistividad y se suele emplear en aplicaciones de potencia para reducir las pérdidas o también para disminuir el ruido. Las líneas que forman parte de la inductancia también pueden usar esta metalización. En cuanto a la estructura, hay varios elementos que permiten conectar y cambiar la dirección de las líneas:

- *Tee*: Se trata de una metalización con forma de 'T', que permite conectar tres líneas, de cualquier anchura, en un mismo punto. La librería también cuenta con cruces (*crosses*) para conectar cuatro en vez de tres, pero aquí no se muestran.
- *Bend*: Permite cambiar la dirección de la línea en 90° y hay de dos tipos, normales (arriba a la izquierda) y con chaflán (arriba a la derecha). Los segundos eliminan gran parte de las capacidades parásitas que suelen presentar estos elementos, por lo que se usan a menudo.
- *Taper*: Estos elementos se emplean como transición entre líneas de diferente anchura y por tanto, de diferente impedancia. Son útiles para suavizar el salto de impedancia y mejorar la adaptación.



FIGURA 2.8: Inductancia (izda.) y líneas de transmisión (dcha.)

2.3.2. Reglas de diseño

Para que OMMIC fabrique el diseño elaborado, es necesario que el *layout* cumpla con una serie de requisitos. Además de enumerar los más importantes a continuación, en la Figura 2.9 aparece un esquema mostrando un *layout* correcto.

 En un área de 10 x 10 mm se incluirán todos los distintos circuitos, que se repetirán a lo largo de toda la oblea, es lo que se denomina celda patrón (General Pattern).

- Cada circuito se debe proporcionar en una celda separada, de modo que se pueda acceder a cada circuito individualmente. El nombre del diseño debe aparecer en algún lugar de la celda, con letras de al menos 50 μm de altura y todas en el mismo sentido.
- Los transistores del circuito deben tener sus puertas paralelas al eje X.
- Cada circuito debe contar con un margen exterior de corte (50 μm) y el origen de coordenadas debe situarse en la esquina inferior izquierda de este margen.
- El tamaño del circuito se define con este margen y debe ser un múltiplo de 10 μm.

Junto a los circuitos, la fundición añade celdas PCM (*Process Control Monitoring*) que contienen circuitos especiales que permiten conocer si se producen variaciones en el substrato durante el proceso de fabricación. Una vez que OMMIC recibe todos los diseños de sus clientes cumpliendo las normas vistas anteriormente, se realiza el mapeado de las obleas. Esto consiste en reunir todos los circuitos de los clientes, los PCM y las marcas de alineación, y ponerlos en una disposición regular para que la oblea pueda cortarse en trozos.



FIGURA 2.9: Definición del layout de un circuito

Este mapeado, de manera más detallada (Figura 2.10), consiste en:

- 1. Insertar todo el conjunto de módulos PCM en un patrón compatible con los tamaños de los circuitos. Este patrón se utiliza para el control de procesos y garantías eléctricas.
- 2. Insertar las marcas de alineación en un segundo patrón. Este patrón se utiliza para la posterior alineación de la máscara.
- 3. Insertar el área láser en un tercer patrón. Esto se usa para monitorear el grabado dieléctrico durante el proceso.
- 4. Inserción de la marca de prealineación (PAM) en un cuarto patrón.
- 5. Creación del mapa final de la oblea compuesto de:
 - Nueve patrones PCM uniformemente distribuidos sobre la oblea.
 - Dos patrones de alineación situados cerca de los bordes derecho e izquierdo de la oblea.
 - Un patrón láser y un patrón PAM.
 - Los Patrones Generales de los clientes llenando completamente el resto de la oblea.



FIGURA 2.10: Mapeado de una oblea

Capítulo 3

LNAs

El efecto del ruido es crítico en el rendimiento de la mayoría de comunicaciones de RF y microondas, sistemas radar y sistemas de sensado remoto, ya que el nivel de ruido determina el nivel mínimo de señal que se puede detectar. En un receptor, la potencia de ruido se introduce desde el exterior a través de la antena y también lo genera la propia circuitería del receptor.

Los amplificadores de bajo ruido cuentan con un papel fundamental en los equipos receptores, ya que se encargan de amplificar las señales que llegan a la antena, de muy poca potencia, degradando lo mínimo posible la relación señal-ruido (SNR). Para lograrlo, estos amplificadores se diseñan para tener la menor figura de ruido posible.

3.1. Figura de ruido

En un amplificador de microondas, se pueden medir pequeñas tensiones a la salida aunque no se introduzca ninguna señal a la entrada. Esta potencia que aparece a la salida se denomina potencia de ruido del amplificador. La potencia total de ruido que produce un amplificador se compone tanto del ruido de la señal de entrada, amplificado a la salida, como de lo que produce el propio amplificador. [9]

En la Figura 3.1 aparece el modelo de ruido de un amplificador de dos puertos. La potencia del ruido a la entrada se puede modelar como una fuente de ruido térmico. Este ruido se produce por las fluctuaciones de electrones debido a la agitación térmica. El valor medio de la tensión de ruido producido por una resistencia (R), para un determinado ancho de banda (B), viene dado por:

 $v_{n,rms} = \sqrt{4kTBR}$

Donde K es la constante de Boltzmann $(1.374 * 10^{-23} J/^{\circ} K)$ y T la temperatura de la resistencia. La potencia de ruido térmico depende del ancho de banda y no de una frecuencia central, por lo que sigue una distribución de ruido blanco:

$$P_N = \frac{v_{n,rms}^2}{4R} = KTB$$



FIGURA 3.1: Modelo de ruido de un amplificador

La figura de ruido (F) describe cuantitativamente el rendimiento, en cuanto al ruido, de un amplificador. Esta figura se define como la relación entre la potencia total de ruido disponible a la salida (P_{N_o}) y la potencia de ruido disponible a la salida debido al ruido térmico. Se expresa como:

$$F = \frac{P_{N_o}}{P_{N_i}G_A}$$

Siendo G_A la ganancia disponible en potencia, que, a su vez, se puede expresar como el cociente entre la potencia de señal disponible a la salida y a la entrada:

$$G_A = \frac{P_{S_o}}{P_{S_i}}$$

Mediante esta expresión de la ganancia, la figura de ruido se puede definir como el cociente entre las relaciones señal-ruido a la entrada y a la salida:

$$F = \frac{P_{S_i} \backslash P_{N_i}}{P_{S_o} \backslash P_{N_o}}$$

Esta expresión define la figura de ruido para un amplificador de una sola etapa, pero puede darse el caso de que el amplificador se componga de varias. En la Figura 3.2 aparece el modelo de ruido de un amplificador de dos etapas. P_{N_i} es la potencia de ruido disponible a la entrada, G_A la ganancia de cada etapa y P_n la potencia de ruido que aparece a la salida producida por cada etapa. En este caso, el factor de ruido total se puede

expresar en función de las figuras de ruido de cada etapa (F_1 y F_2):

$$F = \frac{P_{N_o}}{P_{N_o}G_{A_1}G_{A_2}} = 1 + \frac{P_{n_1}}{P_{N_i}G_{A_1}} + \frac{P_{n_2}}{P_{N_i}G_{A_1}G_{A_2}}$$
$$F = F_1 + \frac{F_2 - 1}{G_{A_1}}$$

donde

$$F_1 = 1 + \frac{P_{n_1}}{P_{N_i} G_{A_1}}$$

У

$$F_2 = 1 + \frac{P_{n_2}}{P_{N_i} G_{A_2}}$$



FIGURA 3.2: Modelo de ruido de un amplificador de dos etapas

A partir de estas expresiones se pueden extraer varias conclusiones, muy útiles de cara al diseño de amplificadores de bajo ruido. La figura de ruido de la segunda etapa se atenúa en función de la ganancia de la primera. De esta forma, la contribución de la segunda etapa al ruido será pequeña si la ganancia de la primera etapa es alta y viceversa.

No siempre es importante minimizar el ruido de la primera etapa si afecta demasiado a la ganancia. Puede darse el caso de que, al elegir una ganancia mayor, aumente el factor de ruido de la primera etapa, pero gracias al efecto de esta ganancia en la segunda etapa, la figura de ruido total sea menor. A la hora de diseñar, hay que llegar a un compromiso entre la ganancia y la figura de ruido.

Por último, si se siguen aumentando el número de etapas se puede llegar a la siguiente expresión:

$$F_{total} = F_1 + \frac{F_2 - 1}{G_1} + \frac{F_3 - 1}{G_1 G_2} + \ldots + \frac{F_n - 1}{G_1 G_2 \ldots G_{n-1}}$$

Esta expresión se conoce como la fórmula de Friis [10] y permite concluir que dado un determinado número de etapas, la figura de ruido mínima se conseguirá colocando el amplificador con menor medida de ruido (M) a la entrada [11], siendo M:

$$M = \frac{F-1}{1-1\backslash G_A}$$

3.2. Círculos de ruido constante

Los círculos de ruido constante son una de las herramientas más empleadas en el diseño de LNAs [6]. Estos círculos permiten elegir el coeficiente de reflexión que se debería ver a la entrada para obtener una determinada figura de ruido. Estos círculos se pueden representar tanto en el plano de entrada como en el de salida del transistor. El punto más crítico para lograr una figura de ruido mínima es el de la entrada.

En la Figura 3.3 aparecen los círculos de ruido del plano de entrada para un transistor dado. Como se puede observar, a cada uno de estos círculos le corresponde una figura de ruido constante, siendo la mínima la del punto Γ_{opt} .

En los diseños de bajo ruido siempre suele existir un compromiso entre la ganancia y la figura de ruido, ya que no se puede encontrar un coeficiente de reflexión que, presentado al transistor, consiga la mínima figura de ruido y a la vez, la máxima ganancia, aunque existen algunas técnicas que permiten aproximarlos, como se verá en el capítulo de diseño.



FIGURA 3.3: Círculos de ruido constante en el plano de entrada

Capítulo 4

Proceso de diseño

En este capítulo, se tratará todo lo relativo al diseño del amplificador de bajo ruido. Para comenzar, se presentarán los objetivos y las consideraciones iniciales que se tuvieron en cuenta antes de empezar a diseñar, como el comportamiento en diversos puntos de polarización. Tras esto, se analizará detalladamente el diseño de cada una de las etapas del transistor, mostrando los resultados obtenidos y las dificultades encontradas hasta llegar a la elaboración del *layout* final.

4.1. Objetivos del diseño

A continuación, en la Tabla 4.1 se muestran las figuras de mérito que debe cumplir el diseño del amplificador para considerarlo adecuado.

Ya que se trata de un LNA, la figura más crítica y en torno a la cual girará todo el diseño será la figura de ruido. Es un valor bajo de ruido el que se persigue, sobre todo tratándose de la parte alta de la banda Ku, y cualquier problema en la primera etapa del amplificador puede incrementarlo considerablemente. Todo el énfasis que se haga sobre el ruido, irá en detrimento de la ganancia y/o la adaptación de entrada, ya que por lo

Parámetro	Requisito
Ancho de banda (BW)	13.5 - 18 GHz
Ganancia (S21)	> 23 dB
Figura de ruido (NF)	< 1.5 dB
Adaptaciones (S11 y S22)	< -15 dB
P1dB (entrada)	>0 dBm

TABLA 4.1: Objetivos del diseño

general, la adaptación para bajo ruido implica disminuir, en mayor o menor medida, la ganancia. [6]

En cuanto a las adaptaciones, 15 dB tanto a la entrada como a la salida es un valor típico en este tipo de diseños y el P1dB dependerá en parte del punto de polarización elegido, mejor cuanto más alejado del *pinch-off* del transistor, y del tamaño del transistor.

4.2. Consideraciones iniciales

Todos los diseños de este trabajo han sido realizados mediante el programa de diseño Advanced Design System 2015.01 (Keysight ADS). Mediante este programa, es posible realizar análisis de tensión continua o alterna, de pequeña o gran señal a cualquier circuito eléctrico, entre otras muchas aplicaciones. ADS cuenta con una serie de librerías propias, que contienen tanto elementos ideales como reales de ciertos fabricantes. Salvo en las etapas iniciales de diseño, donde se emplearon elementos ideales para simplificar los cálculos, en el resto de etapas se empleó la librería de OMMIC para su proceso de fabricación D01GH0, comentado en una sección anterior (2.3).

Pese a disponer de todos estos modelos para comenzar a diseñar, uno de los primeros impedimentos surge con el modelo del transistor de la librería de OMMIC, ya que no modela el ruido. En la librería solo hay un modelo de transistor de gran señal, pero sin modelo de ruido. Para comenzar el diseño, y dado que OMMIC no suministra un modelo de pequeña señal con ruido, se opta utilizar ficheros de medidas de Scattering y parámetros de ruido para varios tamaños de transistor y para varios puntos de polarización. Por otro lado, el *layout* de todos los transistores medidos aparece en la Figura 4.1 y como se puede observar, aparecen otra serie de elementos además del transistor. [13][14]

El transistor se encuentra en el centro, con su puerta (G) a la izquierda, drenador (D) a la derecha y fuente (S) tanto arriba como abajo. A ambos lados de la imagen, aparecen *pads* de radiofrecuencia, que son los puntos donde se colocan las sondas coplanares que introducen la señal de radiofrecuencia al transistor. Entre estos *pads* y el transistor aparecen tramos de línea de transmisión de distintas anchuras, así como tramos de adaptación a la geometría del propio transistor. En ambas fuentes, aparece un tramo de línea muy pequeño, seguido de un paso a tierra (*via hole*), con forma octogonal.

En las dos secciones posteriores, se comentarán los puntos de polarización elegidos, así como el proceso de eliminación de estos tramos y pasos a masa, proceso que se conoce como *de-embedding*.



FIGURA 4.1: Layout del transistor medido

4.2.1. Elección del punto de polarización

Inicialmente, se disponía de un amplio abanico de opciones en cuanto a puntos de polarización se refiere, con tensiones de drenador-fuente variando de 2.5 V hasta 7 V y tensiones de puerta en torno a -1.2 V y -1.6 V. Para cada punto de polarización, OMMIC suministra las medidas de los parámetros de *Scattering*, parámetros de ruido y corrientes de drenador y puerta, entre otros datos. Para cada punto de polarización, se realizó un barrido frecuencial, con saltos de 250 MHz, que va desde 400 MHz hasta 40 GHz. Se profundizará en ello más adelante, pero no disponer de datos para frecuencias menores de 400 MHz crea cierta incertidumbre respecto a la estabilidad del amplificador en frecuencias bajas.

Para la elección del punto de polarización se tuvo en cuenta fundamentalmente la figura de ruido mínima que se podría alcanzar, así como la ganancia disponible en ese punto.

En la Figura 4.2 se puede observar la evolución de la figura de ruido mínima para cinco posibles puntos de polarización. En la banda de trabajo elegida, que va de 13.5 GHz hasta 18 GHz, se pueden apreciar diferencias de hasta 0.2 dB. Esta diferencia puede parecer diminuta, pero lo cierto es que es de vital importancia, sobre todo en el caso de la primera etapa. El factor de ruido de la primera etapa es la que más afecta al conjunto, como ya se ha comentado anteriormente en la sección 3.1.



Evolución de la figura de ruido mínima

FIGURA 4.2: Evolución de la figura de ruido mínima del transistor

Teniendo esto en cuenta y observando las curvas de la Figura 4.2, se puede deducir que los puntos de polarización que mejores prestaciones ofrecen en cuanto a ruido son los siguientes:

- $V_{qs} = -1.3 V \text{ y} V_{ds} = 2.5 V$
- $V_{gs} = -1.5 V \text{ y} V_{ds} = 7 V$
- $V_{qs} = -1.56 V \text{ y} V_{ds} = 7 V$

Pese a ser el mejor de los tres en cuanto a ruido, $V_{gs} = -1.3 V$ y $V_{ds} = 2.5 V$ presenta un problema debido al valor tan bajo de la tensión V_{ds} , lo que provocaría un nivel de compresión pequeño. Este hecho, junto con que es el que menor ganancia disponible consigue, como aparece en la Figura 4.3, hizo que se descartara esta polarización.

De nuevo, de las curvas de ganancia disponible de la Figura 4.3 se pueden extraer cuales son los mejores puntos de polarización en cuanto a ganancia:

- $V_{gs} = -1.5V \text{ y} V_{ds} = 7V$
- $V_{gs} = -1.38V \text{ y } V_{ds} = 5V$
- $V_{qs} = -1.56V \text{ y} V_{ds} = 7V$

De estos tres puntos, dos de ellos ya se caracterizaban por ofrecer una muy buena figura de ruido mínima. Entre estas dos opciones, finalmente se optó



FIGURA 4.3: Evolución de la ganancia disponible del transistor

por emplear $V_{gs} = -1.5V$ y $V_{ds} = 7V$ para todas las etapas que formaran parte del amplificador.

A continuación y como último paso previo al diseño, se realizará un proceso de *de-embedding* sobre el modelo del transistor de pequeña señal obtenido a partir de las medidas suministradas por OMMIC.

4.2.2. Modificación del modelo del transistor

En la Figura 4.1 aparece el *layout* del transistor del que se han obtenido las medidas. El problema es que estas medidas no se pueden emplear en el proceso de diseño tal cual, ya que en el *layout* están presentes otros elementos además del propio transistor. Para eliminar la contribución de las líneas de transmisión, los *pads* de RF y los pasos a tierra, se realizó un proceso de *de-embedding* mediante el simulador Momentum.

Momentum es un simulador electromagnético planar en 3D utilizado para modelado y análisis de circuitos pasivos. Acepta geometrías de diseño arbitrarias y utiliza una tecnología basada en el método de momentos (MoM) del dominio de la frecuencia para simular con precisión efectos electromagnéticos complejos. Además, se encuentra perfectamente integrado en ADS.

El proceso de *de-embedding* realizado consta de varias fases, que se detallan a continuación.

4.2.2.1. Simulación y *de-embedding* de los accesos a puerta y a drenador

La primera fase del *de-embedding* consiste en eliminar ambos *pads* de radiofrecuencia que se encuentran tanto antes de la puerta como tras el drenador del transistor, así como los tramos de línea que los separan. Para ello, es necesario emplear el *layout* original, el de la Figura 4.1. Este *layout* está formado por numerosas capas, que se pueden identificar por cada color que se ve en la Figura. Mediante ADS, se genera un nuevo *layout*, al que se importa el que aparece en la Figura 4.1. A continuación, se elimina todo menos el *pad* de RF de la entrada y el tramo de línea que hay hasta el transistor, tal y como aparece en la Figura 4.4.



FIGURA 4.4: Layout del acceso a puerta del transistor medido

El proceso es completamente análogo para el caso del acceso al drenador, eliminando esta vez todo menos lo que aparece en la parte derecha de la Figura 4.1. El paso siguiente consiste en configurar la simulación de Momentum. Existen muchos parámetros que se pueden editar, como el tipo de simulación, la composición del substrato o el tamaño del mallado que se emplea durante la simulación, pero entre los más destacables, se encuentran el barrido frecuencial y los puertos del *layout*.

Number	Name	Calibration	Ref Impedance [Ohm]	Ref Offset [um]	Term Type
 1 P1 P2 P3 	P1	TML	50 + 0i	0	inputOutput
⊿ <u>†</u> 0 2 ⊕ P4 ⊕ Gnd	P4	TML	50 + 0i	0	inputOutput

FIGURA 4.5: Configuración de los puertos en Momentum

El barrido efectuado en Momentum es el mismo que se realizó al tomar las medidas del transistor, es decir, de 400 MHz a 40 GHz, con saltos de 200 MHz. En cuanto a los puertos, el *pad* de RF es un tanto especial, ya que es coplanar con plano de masa. Esto implica que la tierra de la línea central tiene que ir referida a las dos líneas que tiene en paralelo, que van conectadas a los pasos a masa. El puerto del otro extremo, al ser una línea *microstrip*, tiene su tierra referida a la del substrato. La configuración de los puertos aparece reflejada en la Figura 4.5.



FIGURA 4.6: De-embedding de los accesos a puerta y drenador

Tras acabar de editar la configuración se ejecuta la simulación y se obtiene un fichero .ds con los parámetros de *Scattering* del acceso de puerta. Al terminar de realizar el mismo proceso con el acceso a drenador, llega el momento de hacer el *de-embedding*. Para ello, de vuelta en ADS, se genera un esquemático como el que se ve en la Figura 4.6. En el esquemático aparecen tres componentes, los dos puertos de la simulación y la caja de configuración del tipo de simulación, que será de pequeña señal. De los tres componentes, los dos de los extremos emplean los *datasets* generados por Momentum y descontarán sus propiedades del componente central, en cuyo *dataset* se encuentran las medidas correspondientes al *layout* de la Figura 4.1. El fichero .ds generado en esta simulación, tendrá descontados los accesos de puerta y drenador. A continuación, solo queda descontar también las líneas y los pasos a tierra de los accesos de fuente.

4.2.2.2. Simulación de las líneas y pasos a tierra de la fuente del transistor

El *de-embedding* de los elementos adicionales de la fuente del transistor se realiza de una forma un poco diferente al caso anterior. El *layout* que se simula esta vez es solo uno de los pasos a tierra, tal y como aparece en la Figura 4.7. En esta ocasión, el *layout* solo tiene un puerto, el que se conectaría justo a la fuente del transistor. La simulación en Momentum se realiza para las mismas frecuencias que en el caso anterior y se configura el puerto como corresponde.



FIGURA 4.7: *Layout* de los elementos adicionales en la fuente del transistor medido

Una vez acabada la simulación y obtenido el fichero .ds correspondiente, se genera un esquemático como el que aparece en la Figura 4.8. En el *layout* de la Figura 4.1 se puede observar que el transistor tiene dos fuentes, no solo una. En el esquemático de la Figura 4.8 se aproxima este hecho poniendo ambos *datasets* en paralelo. Realmente, en el *layout*, las conexiones a las fuentes no están en el mismo punto físico, pero a las frecuencias de trabajo la distancia es tan pequeña que se puede aproximar como si fuese el mismo punto eléctrico. Una vez simulado el esquemático, tan solo queda descontar este nuevo *dataset* al que se hizo en la sección anterior, tal y como aparece en la Figura 4.9.

El *dataset* generado en la simulación del último esquemático, el de la Figura 4.9, es el que se usará durante toda la etapa de diseño. Todo este proceso de







FIGURA 4.9: De-embedding final

de-embedding que se ha realizado mediante Momentum ha culminado en un modelo del transistor mucho más realista que el inicial. Dado que en este diseño existen numerosos requisitos críticos, como los relacionados con la estabilidad, la figura de ruido o la ganancia, es de especial interés contar con un modelo lo más cercano a la realidad posible. De lo contrario, los resultados obtenidos mediante simulación inducirían a error, ya que no se corresponderían con los obtenidos una vez fabricado el amplificador. Es importante también recordar que en total se van a emplear tres transistores en el diseño, no solo uno, siendo además el componente más importante de todo el circuito. Con este proceso de *de-embedding* se ha conseguido evitar todo el error acumulado en cada etapa.

Al eliminar los elementos adicionales del *layout*, no solo se ha conseguido crear un modelo que refleje mejor la realidad, sino que además sus principales figuras de mérito han mejorado un poco. En la Figura 4.10



FIGURA 4.10: Comparación de NFMin y S21 (original y *de-embedded*)

aparecen dos gráficas comparando las ganancias y las figuras de ruido mínimo del modelo original (azul) y del modelo descontado (rojo). Al no tener ahora en cuenta las pérdidas que producen los *pads* de RF y las líneas, la ganancia en pequeña señal aumenta aproximadamente en 0.7 dB con respecto al original. La figura de ruido disminuye un poco, unos 0.1 dB, lo que dará algo más de margen durante el diseño.

En la Figura 4.11 aparecen otras dos gráficas comparando esta vez la estabilidad y la adaptación de entrada. En cuanto a la estabilidad, la impedancia que pudieran mostrar las líneas o los *pads* al transistor, ayuda a mejorarla y por tanto, es normal que haya bajado al descontarlos. Con la adaptación de entrada y de salida pasa algo similar, las líneas están adaptadas para una impedancia de 50 Ω , por lo que al eliminarlas, la figura cae. Ambos parámetros han sufrido una degradación, pero era esperable y probablemente no plantee un problema a la hora de diseñar.

Los resultados obtenidos son en líneas generales muy buenos, pero antes de poder emplear el modelo descontado en el diseño, es necesario comprobar que el *de-embedding* no haya producido algún error. Para ello, se comparará este modelo con el de la librería de OMMIC de gran señal. El modelo de la

Comparación Estabilidad 1.0 Est Deemb Est_Original 0.5 Estabilidad 0.0 -0.5 12 21 24 27 à 6 ġ 15 18 30 Frecuencia (GHz) Comparación S11 0 S11 (dB) S11 Deemb S11_Original -2 -3 12 10 14 16 18 20 Frecuencia (GHz)

librería no cuenta con información acerca de la figura de ruido, pero nos dará una idea de si el comportamiento del modelo descontado es el adecuado.

FIGURA 4.11: Comparación de la estabilidad y S11 (original y *de-embedded*)

4.2.2.3. Verificación del modelo

Para comprobar que el modelo descontado del transistor se ha generado correctamente, se compararon algunas de sus características, como la ganancia y las adaptaciones en pequeña señal, con el modelo de la librería de OMMIC.

La corriente de drenador del modelo de gran señal no coincide con el valor obtenido del fichero de parámetros de Scattering y ruido. Esto es debido a variaciones en el valor de "pinch-off" entre distintas obleas.

Para poder comparar ambos modelos es necesario que las corrientes en el drenador sean lo más parecidas posible. Para lograrlo, es necesario cambiar el punto de polarización de puerta del transistor, manteniendo los 7 V del drenador. En la Figura 4.12 aparece ya el transistor correctamente polarizado,



FIGURA 4.12: Simulación del modelo de transistor de librería

con $V_{gs} = -1.1 V$. Ahora tan solo queda simular el esquemático en pequeña señal para obtener su *dataset* y así compararlo con el modelo descontado.

En la Figura 4.13 se muestran las adaptaciones a la entrada y a la salida de ambos modelos y en la Figura 4.14 las ganancias en pequeña señal. Como se puede observar en ambas Figuras, el ajuste es bastante bueno.

Una vez que el modelo descontado del transistor ha sido verificado, se utilizará para el diseño del amplificador.



FIGURA 4.13: Comparación de las adaptaciones (librería y *deembedded*)



FIGURA 4.14: Comparación de la ganancia (librería y *de-embedded*)

4.3. Diseño del amplificador

En esta sección se describirá todo el proceso de diseño del amplificador. El diseño se llevó a cabo en varias fases, aumentando progresivamente la complejidad del esquemático. En un principio, se comenzó diseñando las redes de adaptación únicamente, con componentes reales, para cada una de las etapas, optimizándolas para cumplir con los objetivos de la forma más eficiente posible. Una vez que ya estaban diseñadas las tres etapas con sus redes de adaptación, comenzaron a introducirse las redes de polarización y los elementos de unión y discontinuidades entre estructuras. Siempre que se realizaban cambios al circuito se realizaban optimizaciones para corregir los cambios que se produjesen. El último paso consistió en procurar que el *layout* del amplificador cumpliera las reglas de diseño en cuanto a anchura y distancia entre capas.

A continuación, se describen más detalladamente todas estas fases y dificultades encontradas durante el diseño del amplificador.

4.3.1. Elección del número de etapas

El número de etapas del amplificador vino condicionado principalmente por el requerimiento en ganancia. Como se detallará posteriormente, en las etapas iniciales se diseñaron las redes de adaptación para ofrecer la menor figura de ruido posible, pero con estas redes habitualmente no se alcanzaba la máxima ganancia disponible.

Como ya se ha comentado, la primera etapa es crítica en cuanto a la figura de ruido del amplificador, por lo que se adaptó con una red para minimizarla lo mejor posible. Tras realizar una simulación del diseño con una sola etapa, a partir de la ganancia obtenida se estableció que el número de etapas para cumplir con el requisito debería ser tres.

En la sección correspondiente al diseño de la primera etapa se comentarán los resultados obtenidos en cuanto a ruido y ganancia más detenidamente.

4.3.2. Diseño de las redes de adaptación

Una vez concluidas todas las consideraciones previas vistas en la sección anterior, comienza el proceso de diseño. Lo primero de todo es obtener las curvas de mínimo ruido, de ganancia y de estabilidad del modelo descontado del transistor. Para ello, se crea un esquemático en el que tan solo se colocan dos terminales y el *dataset* del modelo para realizar una simulación en pequeña señal. En la pestaña de resultados, es posible emplear un *template* de ADS que genere automáticamente las ecuaciones necesarias para visualizar estos círculos. En la Figura 4.15 aparecen dos gráficas. La que está a la izquierda muestra los círculos de ganancia y de mínimo ruido, mientras que la de la derecha muestra los círculos de estabilidad a la entrada y a la salida del transistor. Evidentemente, estos círculos varían con la frecuencia, así que para elegir un punto se ha empleado la frecuencia central del diseño, 15.7 GHz.



FIGURA 4.15: Círculos de ganancia, ruido y estabilidad

Mediante los círculos de ganancia y ruido, es posible elegir las impedancias que el transistor debe tener a la entrada para presentar un determinado valor de ganancia y ruido. En la gráfica se puede ver que aquellos con menor radio están bastante cerca, por lo que se podría adaptar para una figura de ruido mínima alcanzando casi toda la ganancia disponible, al menos en esta primera etapa. De menor a mayor radio, los círculos de ganancia varían entre 15.5 y 12.5 dB, con saltos de 1 dB, y los de ruido entre 0.9 dB y 1.5 dB, con saltos de 0.2 dB.

Los círculos de estabilidad de la otra gráfica aparecen cortando la carta de Smith de radio normalizado, por lo que el transistor es condicionalmente estable. En la gráfica también aparecen representados S11 y S22 dentro del radio unidad (su módulo es menor de uno). Esto implica que la zona inestable es la zona del corte entre los círculos y la carta (parte superior izquierda), y la parte estable es el resto. Pese a que el centro del círculo de ruido está alejado de la zona inestable, se añadirá al transistor una realimentación inductiva en fuente que mejore la estabilidad y a la vez, aproxime los valores de impedancia para mínimo ruido y máxima ganancia. Como contrapartida, se perderá algo de ganancia. [12]

Al añadir la realimentación al circuito, también se desplazan un poco los círculos de la Figura 4.15, por lo que se vuelve a simular todo. Para generar la primera red de adaptación de entrada, se escoge un punto del círculo de mínimo ruido. Este punto tiene una impedancia asociada en la carta de Smith, que, con la ayuda de la herramienta *Impedance Matching*, nos



FIGURA 4.16: Herramienta Impedance Matching

permitirá generar la red para transformar esta impedancia a 50 Ω . En la Figura 4.16 se muestra tanto la ventana de configuración de la herramienta como el componente que se debe colocar en el esquemático para que funcione. En la configuración, se debe indicar a qué frecuencia se diseñará la red, que será la frecuencia central del diseño, 15.7 GHz y las impedancias a la entrada y a la salida de la red. Dado que esta red se colocará entre el terminal de entrada y el transistor, la impedancia de entrada serán 50 Ω y la de salida aquella que hayamos elegido con los círculos de ruido.



FIGURA 4.17: Transistor con red de adaptación a la entrada

Al pulsar el botón *Design*, aparecerán varias posibilidades. Todas las redes tendrán dos elementos, uno en serie y otro en paralelo, que podrán ser bobinas o condensadores. La elección de la topología dependerá de si se trata de una red de entrada o de salida y de si se puede aprovechar en el futuro para combinarla con la red de polarización. Hay que puntualizar que

la herramienta *Impedance Matching* crea estas redes con elementos ideales, por lo que será necesario re-optimizar al sustituirlos por los elementos de la librería de OMMIC.

En la Figura 4.17 aparece el transistor con la realimentación fuente y la red de adaptación a la entrada, formada por un condensador en serie y una inducción en paralelo. Estos elementos pasivos tienen múltiples parámetros que pueden ser configurados, como la anchura del condensador, las anchuras de sus terminales, la distancia entre las líneas que forman la inductancia o el ángulo entre sus terminales. Todas estas opciones no se tuvieron demasiado en cuenta ahora, sino en las etapas finales, a la hora de pasar del esquemático al *layout*.

En la Figura 4.18 se muestran algunas figuras de mérito de la primera etapa. Gracias a la realimentación serie, se ha estabilizado el transistor, al menos en la banda de trabajo. Más adelante, con ayuda de las redes de polarización, se forzará a que la estabilidad se mantenga desde 400 MHz hasta 40 GHz (que corresponde al margen de frecuencias medido por OMMIC). En cuanto a la figura de ruido, se ha conseguido un valor de 1.14 dB en el centro de la banda, valor un poco superior a los 0.9 dB mínimos que aparecían anteriormente, pero hay que tener en cuenta que la red de adaptación no es ideal y sus pérdidas contribuyen al ruido. La ganancia sí que ha disminuido sustancialmente hasta los 9 - 10 dB, debido mayoritariamente a la realimentación. Además, en la banda la ganancia presenta una pendiente muy brusca, que habrá que intentar ecualizar más adelante.

FIGURA 4.18: Estabilidad, ganancia y figura de ruido de la primera etapa

Una vez finalizada la primera red de adaptación, se continúa añadiendo una segunda etapa formada por un transistor y una red inter-etapa entre el primero y el segundo. El diseño de esta segunda red es muy similar al de la anterior, con la salvedad de que esta vez no habrá 50 Ω a la entrada, sino la impedancia que marque la impedancia de salida del primer transistor.

Como impedancia de salida de la red, se recurrirá de nuevo a los círculos de ruido de la Figura 4.15.

Se repite el mismo proceso para la segunda red inter-etapa, ubicada entre el segundo y tercer transistor y para la red de salida. El resultado es el que aparece en la Figura 4.19. Respecto al diseño anterior, se puede observar que se han añadido condensadores de *bypass* junto a las inductancias que terminaban en un paso a masa. Estos condensadores, todos de 1.5 pF, suponen un cortocircuito a la frecuencia central del diseño, pero permiten aislar el paso a tierra de la tensión continua. Se han añadido realimentaciones a todos los transistores, cada vez de menor longitud para lograr en las etapas finales algo más de ganancia y tener un cierto margen de cara a las optimizaciones posteriores.

FIGURA 4.19: Amplificador con redes de adaptación

Todas estas líneas que forman parte del circuito son de una anchura mínima para evitar efectos de electromigración. La electromigración es el transporte de material causado por el movimiento gradual de los iones en un conductor debido a la transferencia de momento lineal entre los electrones de conducción y los átomos del metal. En este caso, la anchura debe ser suficiente como para que las corrientes de continua no produzcan este efecto. De producirse, el material podría acumularse en algunas zonas o desaparecer de otras, creando discontinuidades en las líneas, dando lugar a pérdidas de continuidad o aumentos de la resistencia eléctrica.

Metal	Max value migration	Max value destruction
IN	$12~mA/\mu m$	$60 \ mA/\mu m$
IN+TIN	21.6 $mA/\mu m$	$88 mA/\mu m$
M1	$9.5 mA/\mu m$	$56 mA/\mu m$

TABLA 4.2: Valores máximos de corriente

Para evitarlo, OMMIC da una serie de recomendaciones, en forma de valores límites, considerando que en el circuito existan densidades de corriente entre $10^6 A/cm^2$ y $2*10^6 A/cm^2$. En la Tabla 4.2, se muestran los valores máximos de electromigración y destrucción necesarios para calcular la anchura mínima. Las líneas de transmisión se realizan en las capas IN, IN+TIN y MET1.

Como se puede ver, además de un valor máximo para la electromigración, existe otro para la destrucción del circuito, que ocurre cuando se supera entre 5 y 10 veces el primer valor. Sabiendo que para el punto de polarización elegido, $V_{gs} = -1.5V$ y $V_{ds} = 7V$, la corriente que atravesará las líneas es de 44.4 mA, la anchura mínima se puede calcular mediante la siguiente expresión:

 $Anchura_{min} = \frac{Corriente_{DC}}{Electromigracin_{max}}$

Usando como valor de corriente continua el doble, por seguridad, es decir, 90 mA, se obtienen anchuras mínimas de 7.5 μ *A* para IN, 9.5 μ *A* para MET1 y de 4.2 para IN+TIN. Durante las primeras fases del diseño, se emplearon anchuras distintas para las capas MET1 e IN+TIN, pero finalmente se optó por usar 25 μ *m* en casi todo el circuito, por simplicidad y para poder soportar más potencia de RF.

En la Figura 4.20 aparecen representadas las adaptaciones, la ganancia y la figura del ruido del amplificador. La ganancia sigue presentando una pendiente muy pronunciada en la banda de diseño, variando entre 26 - 30 dB. Lo ideal sería conseguir una variación que no superara los 2 dB, como mucho, en la banda. Respecto al ruido, ya se han alcanzado 1.45 dB en los extremos de la banda, lo que no dará mucho juego una vez que se añadan todos los elementos restantes al circuito. Finalmente, la adaptación de entrada cumple sobradamente el requisito de -15 dB mientras que la de salida no. Una opción para mejorar la adaptación de salida, si sigue dando problemas en el futuro, sería colocar una pequeña resistencia a la salida del circuito. Bajaría un poco la ganancia pero no sería un problema, ya que hay suficiente margen hasta los 23 dB.

A medida que se vayan añadiendo más elementos, como se verá en las secciones posteriores, estas figuras de mérito se irán degradando y será necesario reajustarlas y reoptimizarlas a medida que se avanza en el diseño. En la sección siguiente, se añadirán las redes necesarias para polarizar los transistores.

FIGURA 4.20: Figuras de mérito del amplificador con redes de adaptación

4.3.3. Redes de polarización y filtrado RC

Tras introducir las redes de adaptación al diseño, el paso siguiente consiste en añadir otro tipo de redes, encargadas de mantener a los transistores en su punto de polarización. Para ilustrar mejor en qué consisten las redes de polarización, se compararán las Figuras 4.19 y 4.21. Entre los cambios añadidos, se observará que ya se han introducido las transiciones de substrato en el diseño. La Figura 4.19 aparecía en la sección anterior y en ella se puede observar la red de polarización completa, pero para esta comparación, tan solo será necesario fijarse en la entrada y en la primera inter-etapa. En la Figura 4.21 aparece la red de polarización del primer transistor junto con toda la parte de adaptación.

Para funcionar en el punto de polarización establecido, el transistor necesita de dos fuentes que le suministren tensión continua, una para la puerta a -1.5 V (V_G) y otra para el drenador a 7 V (V_D). Dado que los elementos que se encuentren entre la puerta, el drenador y sus respectivas fuentes producirán pérdidas resistivas, V_G y V_D en las fuentes tendrán que ser un poco mayores que los valores nominales, para compensarlo.

La idea consiste en diseñar una red que confine la tensión continua para hacerla llegar al punto de interés, evitando que se desvíe hacia otra parte del circuito y evitando, además, que la señal de RF se desvíe hacia la fuente de tensión. Esto se consigue empleando inducciones y capacidades. Las inducciones funcionan como cortocircuitos en continua y se diseñan para que presenten una impedancia alta a la frecuencia de RF. Pasa lo contrario con las capacidades, que en continua se comportan como un circuito abierto. Sabiendo esto, resulta interesante diseñar las redes de adaptación de forma que las capacidades y las inducciones que lo forman puedan ser aprovechadas también para la red de polarización, minimizando así el número de elementos.

FIGURA 4.21: Red de polarización de la primera etapa

En la Figura 4.19 aparecen a la entrada un condensador en serie (TCP3) y una inductancia en paralelo (IP2). En la Figura 4.21 se ha mantenido esta estructura (TCP14, IP2) y se ha añadido, tras la inducción, la red de polarización y un filtro RC, que se comentará más adelante. Posteriormente, en los puntos donde aparecen las fuentes, se colocarán *pads* de contacto.

En este primer caso ha sido posible aprovechar la red de adaptación para polarizar el transistor, pero no ocurría lo mismo en la red inter-etapa, por lo que se cambió su topología. De manera similar a la red de entrada, ahora la red de polarización está formada por una inducción en paralelo y un condensador en serie, por lo que la red de polarización del drenador queda muy similar a la red de la puerta. Este proceso se repite para los dos transistores restantes.

Además de la red de adaptación, al circuito de la Figura 4.21 se han añadido también unos filtros RC. Estos filtros, se colocarán a lo largo de todo el diseño, en las puertas y los drenadores de los transistores. Su función

consiste en filtrar las componentes de baja frecuencia de la señal entrante, evitando así realimentaciones que podrían originar oscilaciones. En la Figura 4.22 se puede observar la respuesta del filtro, de tipo paso bajo, con una banda de paso que llega hasta los 800 MHz (-3 dB). Mediante este filtrado se consigue aumentar enormemente la estabilidad del amplificador a frecuencias bajas.

FIGURA 4.22: Filtro RC

Al final de esta sección, en la Figura 4.25 se muestra cómo queda el diseño tras añadir las redes de polarización y los filtros RC a todas las etapas. Hay un par de cuestiones que merece la pena resaltar de este diseño. La primera, es que la realimentación del segundo transistor, fue sustituida por una inductancia. La segunda, es que, tras añadir todos estos cambios al circuito, apareció un máximo en la ganancia cerca de la banda de trabajo, en torno a los 9-11 GHz, tal y como aparece en la Figura 4.23. Aunque este valor máximo no venía asociado a inestabilidad, se consideró importante reducir su valor, por seguridad. Para lograrlo, se añadió un filtro LC, de rechazo de banda, en la tercera etapa, ya que no se pudo ecualizar sin añadir esta red.

FIGURA 4.23: Máximo en la ganancia

En la Figura 4.24 se pueden observar las prestaciones del amplificador en esta fase del diseño. La adaptación de entrada se mantiene por debajo del requisito de -15 dB y la de salida ahora también. En cuanto a la ganancia, se puede constatar la ecualización comparando esta gráfica con la de la Figura 4.20. Como contrapartida, el nivel ha bajado hasta los 25 dB. La figura de ruido, pese a cumplir con el requisito de 1.5 dB, se encuentra demasiado cerca del límite. Para tener un margen de seguridad, será necesario reoptimizar el amplificador para que la figura de ruido baje en la medida de lo posible. Finalmente, en cuanto a la estabilidad, se puede comprobar que, para todo el ancho de banda simulado, el factor de estabilidad siempre se encuentra por encima de 1.

En la siguiente sección se tratará la última fase del diseño.

FIGURA 4.24: Prestaciones del amplificador con ambas redes y filtros RC

FIGURA 4.25: Esquemático con ambas redes y filtros RC

4.3.4. Cambios previos a la elaboración del *layout*

Partiendo del esquemático que se muestra en la Figura 4.25, se hicieron una serie de cambios antes de pasar a ajustar el *layout* del amplificador.

Para empezar, se añadieron *tees* al circuito, en la conexión de tres líneas de transmisión. Esta es una primera aproximación al *layout*, ya que todos los componentes del circuito estarán posteriormente separados por líneas de transmisión. Las *tees* introducidas tienen en cuenta la capa del substrato en que se encuentran, variando su anchura en función de si están en MET1 o en IN. Además de las *tees*, se introdujeron *tappers* para cambiar de anchura entre tramos de línea, suavizando un poco la discontinuidad. En la Figura 4.26, se muestra cómo queda la primera etapa del amplificador.

FIGURA 4.26: Esquemático de la primera etapa con *tees* y *tappers*

Debido a las desadaptaciones que comenzaban a observarse y previendo que aumentarían en el futuro al introducir tramos de línea que separasen los componentes, se decidió colocar una resistencia serie a la salida del amplificador para garantizar la adaptación a la salida. También se ajustaron algunas de las realimentaciones serie y el filtro LC. En la Figura 4.27 se muestran los resultados obtenidos tras realizar estos cambios. Las adaptaciones han sufrido cierto deterioro y parece que la adaptación a la salida necesitará un reajuste. La figura de ruido y la ganancia han sufrido pocos cambios. Por otro lado, la estabilidad ha aumentado bastante en las frecuencias más altas.

El último paso del diseño, que se detallará a continuación, consistirá en ajustar el circuito para que su *layout* cumpla todas las reglas del DRC.

FIGURA 4.27: Prestaciones del amplificador con los cambios realizados

4.3.5. Elaboración del *layout* final

La parte final del diseño consistió en añadir tramos de línea de transmisión entre cada elemento del circuito, de forma que estuvieran suficientemente separados en el *layout*. Este proceso se hizo de forma iterativa y alternando entre las vistas de esquemático y de *layout* de ADS. Hay un punto, en que los cambios realizados en una de las vistas resultan muy complicados de llevar a la otra, como aquellos relacionados con las formas de las líneas de transmisión.

Durante este proceso, se tomaron varias decisiones en cuanto a las dimensiones de ciertos elementos y a las capas del substrato empleadas.

En primer lugar y por simplicidad, se modificaron las anchuras de todas las líneas del circuito. Todas las inducciones del circuito se encuentran formadas por tramos de línea de 15 μm de ancho, así que los accesos a las mismas se cambiaron a esta anchura. El resto de líneas que conectan los elementos del circuito tienen una anchura de 25 μm . Con esto, se pudieron eliminar los *tappers* del circuito, que se introducían cada vez que aparecía una inducción. Otro problema que presentaban estos *tappers*, es que los ángulos internos del lado más ancho debían de ser de 45°, lo que no era posible en algunos casos.

Otro cambio importante es que se añadió a la capa IN una metalización por encima (TIN). Se puede comprobar en la Tabla 4.2 que las anchuras elegidas cumplen con el criterio de dejar al menos el doble del ancho mínimo para la máxima corriente.

Teniendo esto en cuenta, se fueron introduciendo líneas en el circuito etapa a etapa y optimizando en cada iteración. Para evitar acoplos, se trató de dejar suficiente espacio entre líneas próximas, al menos del doble de su anchura.

En la sección siguiente y última de este capítulo se analizarán y presentarán todos los resultados de simulación obtenidos del amplificador final de la Figura 4.28.

Capítulo 4. Proceso de diseño

FIGURA 4.28: Esquemático final del amplificador

FIGURA 4.29: Layout final del amplificador

4.4. Resultados obtenidos

A continuación, se presentan los resultados obtenidos en todas las simulaciones realizadas tras finalizar el diseño. Se presentarán las figuras de mérito del amplificador en pequeña y gran señal, así como su comportamiento en compresión (P1dB). Por otro lado, se realizará un análisis de Montecarlo para comprobar el funcionamiento del amplificador teniendo en cuenta las variaciones del proceso de fabricación.

4.4.1. Simulación en pequeña señal

Como se ha ido haciendo durante todo el proceso de diseño, se ha realizado una última simulación en pequeña señal del esquemático final. A partir de esta simulación, se podrá comprobar si el amplificador, al menos en teoría, cumple con los requisitos establecidos al principio del capítulo. La Figura 4.30 muestra los resultados de esta simulación.

La adaptación de entrada se encuentra por debajo de -15 dB en toda la banda, con un valor máximo de -15.8 dB y mínimo de -22.5 dB. La resistencia serie que se ha añadido al final del amplificador hace que la adaptación en la salida sea muy buena, con un máximo de -17 dB y mínimo de -17.8 dB en la banda de trabajo.

La ganancia varía de 24.7 a 27.3 dB, cumpliendo con el valor mínimo de 24 dB en la banda. Durante todo el diseño se ha intentado ecualizar la ganancia lo máximo posible, pero en las últimas fases del diseño, pese a todos los ajustes y optimizaciones que se han realizado, no se ha conseguido disminuir esa diferencia de 2.6 dB que hay entre su punto máximo y mínimo en la banda de trabajo sin penalizar el ruido y las adaptaciones.

La figura de ruido ha mejorado con respecto a la iteración anterior del diseño, alejándose del valor máximo de 1.5 dB en los extremos de la banda, puntos en los que solía haber problemas. Del mismo modo que sucede con la adaptación a la entrada, la figura de ruido está muy próxima al límite en 18 GHz.

Finalmente, para garantizar la estabilidad del amplificador, es necesario que el factor de estabilidad sea superior a la unidad. Como se puede ver, este factor se mantiene muy por encima de dicho valor hasta los 40 GHz.

4.4.2. Simulación con modelo de gran señal

Además de la simulación anterior, con la que se han obtenido los parámetros de *Scattering* del amplificador, se ha realizado otra simulación sustituyendo este modelo por el modelo gran señal de la librería de OMMIC. De esta manera, se podrán contrastar las diferencias que existen

FIGURA 4.30: Simulación final en pequeña señal

entre el modelo de simulación de librería y el modelo obtenido a partir de las medidas del fabricante.

Para poder emplear este modelo original, es necesario polarizar cada una de las etapas de forma que por cada transistor haya unos 44 mA en el drenador. Para ello, se realizó una simulación de DC en la que se fueron variando los valores de las fuentes de puerta y drenador de cada uno de los transistores. En la Tabla 4.3 se muestra como quedaron finalmente dichos valores y en la Figura 4.31 aparecen los resultados de la simulación de parámetros-S.

El cambio más evidente que se observa en la Figura 4.31, con respecto a lo visto en la Figura 4.30, es un descenso importante en la ganancia. Tanto las

Etapa	VDS (V)	IDS (mA)
1	6.913	43.43
2	6.952	42.74
3	6.933	43.86

TABLA 4.3: Polarización de los modelos de librería

adaptaciones, como la estabilidad del amplificador mantienen valores similares, cumpliendo los requisitos. Como el modelo de librería no cuenta con información acerca del ruido, no se tiene en cuenta en esta simulación.

FIGURA 4.31: Simulación final con el modelo de librería

4.4.3. Punto de compresión 1 dB

Los amplificadores mantienen una ganancia constante siempre que la señal de entrada sea de baja potencia. A medida que aumenta en potencia esta señal, la ganancia deja de ser constante y comienza a disminuir. El punto de compresión 1 dB (p1dB) indica el nivel de potencia en el cual la ganancia desciende 1 dB por debajo de su valor en pequeña señal. En amplificadores de potencia, lo habitual es dar este punto respecto a la potencia de salida, pero en este caso, tal y como aparece en la Figura 4.32, se representará con respecto a la entrada.

Para hallar este punto, en ADS se realiza una simulación de balance armónico a la frecuencia central del diseño y se barre la potencia de entrada mediante una variable. La gráfica superior muestra la ganancia frente a la potencia de entrada y la inferior la potencia de salida respecto a la de

FIGURA 4.32: Punto de compresión 1 dB del amplificador

entrada. La compresión se produce con una potencia de -6 dBm a la entrada del amplificador, consiguiendo 15.78 dBm a la salida con una ganancia de 21.78 dB. El requisito visto al comienzo del capítulo se cumple con un margen de 3 dB.

Como no se cumple con el requisito, resulta interesante conocer cuál de los tres amplificadores es el primero en comprimir o en saturar. Esto se puede conocer mediante los ciclos de carga de los transistores. Para representarlos, primero se realizó una simulación de DC de las curvas I_{DS} vs. V_{DS} de los transistores y a continuación, una simulación de balance armónico, para una potencia de entrada de -6 dBm. El resultado es el que aparece en la Figura 4.33, en rojo las curvas de continua y en azul las variaciones de I_{DS} y V_{DS} en el balance armónico.

Se puede observar que es el tercer transistor el responsable mayoritariamente de la compresión, aunque el segundo está parte del ciclo de la señal próximo al valor de *pinch-off*, con lo que es posible, que exista algo de saturación en esta etapa.

FIGURA 4.33: Ciclos de carga de los transistores

4.4.4. Análisis de Montecarlo: cálculo del yield

Para finalizar el capítulo, se realizó una última simulación para conocer el *yield* de fabricación. En las simulaciones que se han mostrado en las secciones anteriores se han considerado los valores nominales de los elementos, sin embargo, el fabricante indica que estos valores pueden sufrir variaciones debido a los cambios en el proceso de fabricación. El fabricante indica unos límites en estas variaciones. Si se producen alteraciones mayores a las garantizadas, se descarta la oblea y se comienza de nuevo. El diseñador conoce previamente dichos límites y se debe diseñar un circuito lo suficientemente robusto, para que estos cambios no afecten al comportamiento del mismo.

Para comprobar cómo de robusto es el amplificador, se realizaron unas simulaciones de Monte Carlo, de 500 iteraciones cada una, en las que se variaron los parámetros del substrato conforme al margen de variación indicado por el fabricante. Tras completar las iteraciones, se comprueba automáticamente en cuántas de ellas se cumplen los requisitos de diseño y en cuáles no. El *yield* es el cociente del número de iteraciones exitosas entre el total.

FIGURA 4.34: Yield con modelo de-embedded

La primera de estas simulaciones aparece en la Figura 4.34. En este caso se ha dejado el modelo del transistor que se ha usado durante todo el diseño. El problema es que este modelo es tan solo una caja de parámetros de *Scattering* y no le afectan los cambios en el substrato, pero sirve para hacerse una idea de cómo afectan las variaciones al resto de elementos.

En esta simulación, se puede observar que existe mucha dispersión en la mayoría de figuras, pero en ningún caso se incumplen los requisitos. La ganancia, por ejemplo, toma valores alrededor de 28 dB en la mayoría de iteraciones y puede llegar a bajar hasta 24.5 dB en el peor caso. Pasa de forma similar con el resto de figuras de mérito, haciendo que el *yield*, en este caso, sea de un 100 %.

Para conocer cómo afectan las variaciones del substrato a los transistores, se hizo una segunda simulación, en la Figura 4.35, empleando el modelo de librería. Habiendo realizado previamente la simulación de parámetros-S con este modelo y conociendo cuáles eran las prestaciones del amplificador (Figura 4.31), se ajustó la comprobación de la ganancia para dar por buenas ganancias mayores de 19 dB en la banda.

Como se ha comentado anteriormente, la figura de ruido no se ha considerado en esta simulación, ya que este modelo no cuenta con información sobre el ruido. En esta segunda simulación se consiguió un *yield* del 84%, bastante elevado teniendo en cuenta la inmadurez del proceso de fabricación.

A continuación, ya explicado todo el proceso de diseño y comentados los

60

resultados obtenidos, comenzará un nuevo capítulo en el que se recogerán las conclusiones alcanzadas, algunas observaciones y las líneas futuras para mejorar el diseño.

FIGURA 4.35: Yield con modelo de librería

Capítulo 5

Conclusiones finales y observaciones

En el capítulo anterior se han detallado todas las fases que han formado parte del diseño del amplificador hasta su conclusión. Primeramente, se eligió un punto de polarización para los transistores a partir de las medidas realizadas por OMMIC, teniendo en cuenta la ganancia, figura de ruido y compresión que se conseguían con cada uno de ellos. A continuación, se realizó el proceso de *de-embedding* sobre el modelo previsto, eliminando todos los elementos indeseados y consiguiendo un modelo cuyo comportamiento se ajustaba bastante bien al modelo de gran señal.

Ya con el modelo verificado, comenzó el proceso de diseño, etapa a etapa, con especial cuidado en la primera, debido a lo crítica que resulta respecto al ruido. Las dos figuras de mérito que más complicado ha resultado ajustar han sido la ganancia y la figura de ruido. En cuanto a la ganancia, durante todo el diseño se ha intentado ecualizarla lo máximo posible en la banda, llegando a un compromiso para no perjudicar a otros parámetros. La figura de ruido se ha mantenido al límite durante casi todo el diseño, pero finalmente se ha cumplido con el objetivo de 1.5 dB.

En la Tabla 5.1 se recogen los requisitos que aparecían al comienzo del capítulo anterior, junto con los valores obtenidos (máximos o mínimos, según el caso) en las simulaciones finales. Como se puede comprobar, se ha conseguido cumplir con casi todos los objetivos propuestos inicialmente, exceptuando la compresión en potencia. Además, los resultados de las simulaciones del *yield* reflejan que el amplificador es robusto frente a variaciones en el proceso de fabricación, por lo que el cumplimiento de estos requisitos está asegurado.

En cuanto a líneas futuras, sería interesante intentar seguir ecualizando la ganancia, para aplanarla lo máximo posible en la banda de trabajo y sobretodo, mejorar lo máximo posible el punto de compresión 1 dB. Para ello, hay que acudir a las gráficas de los ciclos de carga vistas anteriormente (Figura 4.33). Sabiendo que los transistores de la segunda y tercera etapa se encuentran comprimiendo o saturando, para mejorar el punto de

compresión habría que rediseñar la tercera etapa, utilizando técnicas de *load-pull* para conseguir una potencia de salida más alta, seguramente con un dispositivo de mayor tamaño de puerta. Por otro lado, la segunda etapa debería estar polarizada para valores de tensión de puerta más alta, lo que la permitiría manejar un nivel de potencia mayor, evaluando su impacto en la figura de ruido.

Objetivo	Resultado
> 23 dB	24.6 dB
< 1.5 dB	1.47 dB
< -15 dB	-15.9 dB
< -15 dB	-17 dB
> 0 dBm	-6 dBm
> 1	8
	Objetivo > 23 dB < 1.5 dB < -15 dB < -15 dB > 0 dBm > 1

TABLA 5.1: Comparación entre requisitos y resultados

Capítulo 6

Referencias

[1] Kim, Bumjim; Gao, Weixiang. 'X-Band Robust Current-Shared GaN Low Noise Amplifier for Receiver Applications'. Qorvo. 2016.

[2] Maroldt, Stephan; Aja, Beatriz; van Raay, Friedbert; [et al.]. 'QFN-Packed Highly-Linear Cascode GaN LNA MMIC from 0.5 to 3 GHz'. *Proceedings of the 43rd European Microwave Conference*. 2013.

[3] Andrei, Cristina; Doemer Ralf; Bengtsson, Olof; [et al.]. 'Highly Linear X-Band GaN-Based Low-Noise Amplifier'. IEEE. 2012.

[4] Bettidi, A.; Corsaro, F.; Cetronio, A.; [et al.]. 'X-Band GaN-HEMT LNA Performance versus Robustness Trade-Off'. 2009.

[5] Artal, Eduardo; Aja, Beatriz; de la Fuente, Luisa; [et al.]. Contenido del curso: 'Circuitos Integrados de Radiofrecuencia y Microondas para Comunicaciones'.

[6] de la Fuente, Luisa. García, Jose Ángel. Contenido del curso: 'Circuitos Activos de Microondas'. *Máster Universitario en Ingeniería de Telecomunicación*. 2017.

[7] Penn, John; Moore, Craig. 'Reviewing the Basics of MMIC Design'. *Microwaves & RF*. June 2001. pp. 55-70.

[8] Browne, Jack. 'What's the Difference between GaN and GaAs?'. *Microwaves & RF*. July 2016. pp. 54-55.

[9] González, Guillermo. 'Microwave Transistor Amplifiers: Analysis and Design'. *Prentice Hall, second edition*.

[10] Friis, H.T.; 'Noise Figures of Radio Receivers'. *Proc. Of the IRE*. July 1944. pp. 419-422.

[11] Haus; Adler. 'Optimum noise performance of Linear amplifiers'. *Proc. of the IRE*. 1958. pp. 1517-1533.

[12] Sherrer, D.; Apostolakis, P.J.; Middleton, J.; [et al.]. 'Optimal Noise Matching of 0.25 micron Gate GaAs MESFETs for Low Power Personal Communications Receiver Circuit Designs'. IEEE MTT-S. 1994. pp. 1439-1442.

[13] OMMIC Foundry Web Page. [Consulta: marzo - junio 2017]. Disponible en: http://www.ommic.fr/.

[14] OMMIC D01GH Design Manual. July 2016.