



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA

⑪ Número de publicación: **2 288 353**

⑫ Número de solicitud: 200501354

⑬ Int. Cl.:
H03B 19/14 (2006.01)

⑫

PATENTE DE INVENCION

B1

⑭ Fecha de presentación: **24.05.2005**

⑮ Fecha de publicación de la solicitud: **01.01.2008**

Fecha de la concesión: **07.07.2009**

⑰ Fecha de anuncio de la concesión: **23.07.2009**

⑱ Fecha de publicación del folleto de la patente:
23.07.2009

⑲ Titular/es:
**Universidad de las Palmas de Gran Canaria
Juan de Quesada, nº 30
35001 Las Palmas de G. Canaria, Las Palmas, ES
Universidad de Cantabria**

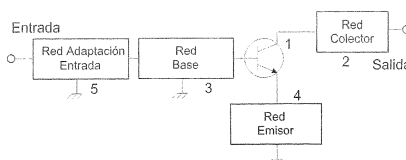
⑳ Inventor/es: **Araña Pulido, Víctor Alexis;
Dorta Naranjo, Blas Pablo y
Suárez Rodríguez, Almudena**

㉑ Agente: **No consta**

㉒ Título: **Divisor de frecuencia sincronizado dual.**

㉓ Resumen:

Divisor de frecuencia sincronizado dual, de tipo analógico, destinado a la banda de microondas, que posee dos oscilaciones estables y por tanto, dos bandas de funcionamiento asociadas a cada una de ellas. El circuito propuesto permite dividir en dos bandas de frecuencia sin necesidad de conmutadores, usando un circuito compuesto por un sólo transistor (1) y una red de realimentación apropiada. La red de salida situada en el colector (2) presenta dos nulos en la parte imaginaria de la admitancia a las frecuencias de oscilación. Las redes de base (3) y emisor (4) se obtienen de forma que se cumpla la condición de oscilación en la salida a las dos frecuencias de oscilación. La red de entrada (5) se encarga de adaptar las bandas de frecuencia de la señal de entrada.



ES 2 288 353 B1

Aviso: Se puede realizar consulta prevista por el art. 37.3.8 LP.

DESCRIPCIÓN

Divisor de frecuencia sincronizado dual.

5 Sector de la técnica

El divisor de frecuencia sincronizado dual es un circuito analógico típicamente utilizado en las bandas de microondas. Se ubica dentro de la familia de los divisores de carácter autónomo sincronizados, también llamados por inyección armónica, es decir, oscilan en ausencia de señal de entrada, por lo que la potencia de entrada necesaria para que se produzca la división es mucho menor que en el caso de los regenerativos, que no oscilan en ausencia de señal de entrada.

Estado de la técnica

Los divisores de frecuencia analógicos sincronizados presentan una oscilación estable en el circuito, por lo que las bandas de funcionamiento se encuentran en múltiplos del valor de dicha oscilación, es decir, si el circuito puede oscilar a f_0 , las bandas estarán alrededor de $2 \cdot f_0$ (divisor por dos), $3 \cdot f_0$ (divisor por 3) y así sucesivamente.

En aplicaciones donde se requiere varias bandas de funcionamiento con este tipo de divisores, se debe utilizar tantos divisores como bandas se necesite, y utilizar conmutadores en la entrada y la salida de los mismos para que la señal se dirija hacia el divisor correspondiente.

El circuito propuesto permite fijar dos oscilaciones estables pero no coexistentes, f_1 y f_2 , que no poseen una relación racional ($f_1 \neq m \cdot f_2 / n$, donde m y n son enteros), a partir de un transistor y las redes apropiadas conectadas en sus terminales. Por ello, permite dividir en cada una de las bandas asociadas a cada una de ellas. Además, el paso de una banda a la otra lo produce la propia señal de entrada, sin necesidad de añadir conmutadores externos.

Si el circuito está inicialmente oscilando a f_1 , al inyectar una señal próxima a $2 \cdot f_1$, el circuito se sincroniza y se produce la división por dos en los alrededores de dicha frecuencia (banda de sincronización). Si estando el circuito oscilando a f_1 , inyectamos una potencia superior al umbral de conmutación en $2 \cdot f_2$, se extingue la oscilación en f_1 y se produce la sincronización con la frecuencia f_2 . El circuito que se explica a continuación, permite elegir de forma arbitraria las dos frecuencias de oscilación, por lo tanto, las bandas de frecuencia a dividir.

Explicación técnica de la invención

La finalidad del divisor de frecuencia es disponer de dos bandas de frecuencia sin necesidad de conmutadores usando el circuito de la figura 1. El circuito se compone básicamente de 4 redes conectadas al transistor: Red de colector, red de base, red de emisor y red de adaptación de entrada.

La clave del diseño está en fijar la condición de oscilación a las dos frecuencias estables y no coexistentes, f_1 y f_2 . Los valores de dichas oscilaciones son seleccionadas a partir de los valores de las redes de colector, base y emisor. Para ello, se parte de la red de colector de la figura 2, donde la frecuencia de resonancia (f_{o1} y f_{o2}) de los circuitos serie y paralelo, sus factores de calidad (Q_s y Q_p) y la impedancia de entrada (Y_c) en función de la frecuencia vienen dados por las siguientes expresiones:

$$f_{o1} = \frac{1}{2\pi \sqrt{Lc2Cc1}} \quad Q_p = 2\pi f_{o1} \cdot Cc1 \cdot Ro$$

$$f_{o2} = \frac{1}{2\pi \sqrt{Lc3Cc2}} \quad Q_s = \frac{2\pi f_{o2} \cdot Lc3}{Ro}$$

$$Y_c(f) = j2\pi f \cdot Cc1 + \frac{1}{j2\pi f \cdot Lc2} + \frac{1}{Ro + j2\pi f \cdot Lc3 + \frac{1}{j2\pi f \cdot Cc2}}$$

Si $Q_s > Q_p$, existen tres frecuencias en las que se anula la parte imaginaria de la admitancia Y_c , siendo f_1 y f_2 la menor y la mayor en las que ello ocurre. Si esta admitancia es conectada a un dispositivo que presente una admitancia con parte real negativa e imaginaria cero en dichas frecuencias, se obtiene un circuito que presenta dos oscilaciones estables a dichas frecuencias.

Para el cálculo de la red de colector, se parte de los valores de frecuencia deseados, f_1 y f_2 , se imponen las condiciones $Q_s > Q_p$, $Y_c(f_1) = 0$, $Y_c(f_2) = 0$ y para simplificar, $f_{o1} = f_{o2} = f_c = (f_1 \cdot f_2)^{1/2}$ y R_o igual al valor de la resistencia de carga (típicamente 50 Ω).

Una vez calculada la red de colector, se obtienen las impedancias que conectadas en el emisor y base del transistor, logran que la admitancia vista desde su colector presente parte real negativa e imaginaria cero a las dos frecuencias

de interés, f_1 y f_2 . Seguidamente, utilizando condensadores, bobinas y líneas de transmisión, se sintetizan las redes de base y emisor que presentan los valores de impedancia previamente calculados.

Por último, se diseña la red de adaptación de entrada a las frecuencias $2*f_1$ y $2*f_2$ (divisor por 2) de forma que no perturbe a ninguna de las oscilaciones previamente diseñadas, es decir, que en el punto de conexión debe presentar una alta impedancia a f_1 y f_2 , y que mejore la transferencia de la potencia de las frecuencias de entrada al circuito oscilador. Para ello se utilizarán dos líneas La_2 y La_3 de longitud $\lambda/4$ en abierto y conectadas en paralelo a una tercera de longitud $\lambda/4$ (La_4), siendo λ la longitud de onda a la frecuencia $f_c=(f_1*f_2)^{1/2}$. Para aumentar ligeramente la impedancia del circuito a las frecuencias de entrada $2*f_1$ y $2*f_2$, se añade un circuito serie formado por la resistencia R_{ae} y el condensador C_{ae} entre el punto de unión de la red de entrada a la red de base y masa.

Descripción de los dibujos

La descripción del objeto de la invención se realizará en base a los dibujos que se acompañan, en los que a título de ejemplo y sin carácter limitativo alguno por tanto, se ha representado lo siguiente:

La figura primera muestra un esquema simplificado del divisor de frecuencia analógico de doble banda.

La figura segunda corresponde a la red de colector conectada a la resistencia de carga compuesta por el circuito resonante serie y paralelo.

La figura tercera muestra una representación de la admitancia de la red de colector de la figura segunda cuando $Q_s > Q_p$ donde se aprecian los ceros de la parte imaginaria en las frecuencias f_1 y f_2 . En este dibujo queda reflejado el sentido de la curva a medida que aumenta la frecuencia.

La figura cuarta representa la topología del divisor de frecuencia analógico no regenerativo de doble banda.

Exposición detallada de uno de los modos de realización de la invención

En la topología del circuito resultante que se muestra en la figura 4 cabe destacar:

Un transistor (1) que funciona en zona no lineal, cuyo punto de trabajo es fijado por la red de polarización compuesta por las fuentes de alimentación de base (V_b) y colector (V_c), las bobinas L_{b1} que presentan alta impedancia en las frecuencias de las oscilaciones f_1 y f_2 y los condensadores C_{b1} , que estabilizan la tensión de las fuentes de alimentación y cortocircuitan las componentes de oscilación anteriores; además, los condensadores C_{bc} y C_{bb} que son los encargados de desacoplar la componente continua del resto de las redes del divisor y que presentan baja impedancia en las frecuencias de oscilación. El colector del transistor va unido a la bobina L_{b1} y entre el otro borne de la misma y el punto de masa del circuito irá el circuito paralelo formado por la fuente de alimentación V_c y el condensador C_{b1} . El punto de base del transistor va conectado a un circuito análogo al anterior formado por una bobina L_{b1} , condensador C_{b1} y fuente V_b . El condensador C_{bb} conecta en serie el punto de base del transistor con el resto de la red de base y el condensador C_{bc} conecta en serie el punto de colector del transistor con el resto de la red de colector.

En la parte superior aparecen los elementos característicos de cualquier circuito de polarización del transistor. Las fuentes de alimentación de base (V_b) y colector (V_c). Las bobinas y condensadores de aislamiento y estabilización del circuito de polarización (L_{b1} y C_{b1}). Las bobinas presentan alta impedancia en radiofrecuencia y los condensadores baja impedancia. Los condensadores C_{bc} y C_{bb} son los encargados de desacoplar la componente continua de dicha tensión de polarización del resto de las redes que componen el divisor dual.

En la parte central izquierda (2), aparecen los elementos de la red de colector (L_{c2} , L_{c3} , C_{c1} y C_{c2}). A ellos se ha añadido una línea de transmisión (L_{c1}) que sirve para mejorar la adaptación de salida y realizar la conexión con el transistor. La red de colector (2) esta compuesta por una red doblemente resonante que presenta tres nulos en la parte imaginaria de la admitancia Y_c vista desde el borne del circuito paralelo (L_{c2} y C_{c1}), donde los dos nulos a frecuencia inferior y superior corresponden con las frecuencias de diseño f_1 y f_2 . Dicha red se obtiene a partir de las expresiones del circuito resonante serie compuesto por la bobina L_{c3} y el condensador C_{c2} , del circuito resonante paralelo compuesto por la bobina L_{c2} y el condensador C_{c1} y por la resistencia R_o que presenta la carga, es decir: la frecuencia de resonancia de la red serie, $f_{o1}=1/(2\pi(L_{c3}*C_{c2})^{1/2})$, la frecuencia de resonancia de la red paralelo, $f_{o2}=1/(2\pi(L_{c2}*C_{c1})^{1/2})$, el factor de calidad de la red serie, $Q_s=L_{c3}*2*\pi*f_{o2}/R_o$, el factor de calidad de la red paralelo, $Q_p=C_{c1}*2*\pi*f_{o1}*R_o$ y la admitancia de la red de colector que depende de la frecuencia, $Y_c(f)=j2\pi f*C_{c1}+1/(j2\pi f*L_{c2})+1/(R_o+j2\pi f*L_{c3}+1/(j2\pi f*C_{c2}))$; e imponiendo las condiciones $Y_c(f_1)=0$, $Y_c(f_2)=0$, $Q_s > Q_p$ y $f_{o1}=f_{o2}=f_c=(f_1*f_2)^{1/2}$. Además, se añade una línea de transmisión L_{c1} que permite la conexión entre el condensador serie de desacoplo del colector del transistor (1), C_{bc} , con el circuito descrito. Dicha línea se conecta al borne de la red resonante paralelo conectada a masa y formada por L_{c2} y C_{c1} y desde este mismo punto se conecta el circuito serie formado por C_{c2} y L_{c3} , siendo el borne de este último componente la salida en la que se conecta la carga.

En la parte inferior del transistor (3), aparecen los elementos de la red de emisor que presentan la impedancia apropiada para conseguir la oscilación a las dos frecuencias de diseño. Está compuesta por una resistencia (R_e), un condensador (C_e) y una línea de transmisión (L_e). La resistencia de emisor (R_e) se utiliza, además, para conseguir la polarización del transistor y simplificar así, el circuito final. La red de emisor se conecta en el emisor del transistor

ES 2 288 353 B1

de forma que la resistencia R_e y el condensador C_e están en paralelo y conectados a masa, mientras que la línea L_e queda también en paralelo conectada directamente al emisor del transistor y donde el otro borne queda en abierto con el objeto de no cortocircuitar el emisor del transistor, que queda polarizado por R_e .

En la parte central inferior (4), están los elementos de la red de base que presentan la impedancia apropiada para conseguir la oscilación a las dos frecuencias de diseño. Está compuesta por una resistencia (R_b), una bobina (L_b) y dos tramos de línea de transmisión (L_{b2} y L_{b1}). El punto de conexión de la red de adaptación de entrada está ubicado entre dichas líneas. La red de base (3) junto a la red de emisor (4), asegura la estabilidad de las dos oscilaciones al presentar las impedancias necesarias a las frecuencias f_1 y f_2 que anulan la parte imaginaria de la admitancia que presenta el circuito en la salida del colector del transistor y que hacen que el valor de la parte real de dicha admitancia sea negativo en esas frecuencias. Además, la resistencia R_e se utiliza conjuntamente como parte del circuito de polarización del transistor, permitiendo así simplificar el circuito resultante. La red de base se conecta al borne del condensador de desacoplo C_{bb} . En este punto se conecta la resistencia R_b en serie con la bobina L_b y la línea L_{b2} . El borne de dicha línea es el punto de unión con la red de entrada y a este mismo punto se conecta la línea de transmisión L_{b1} .

Finalmente, en la parte inferior izquierda (5), están los elementos de la red de adaptación de entrada (L_{a1} , L_{a2} , L_{a3} , L_{a4} , C_{ae} y R_{ae}). Esta red debe presentar alta impedancia en el punto de conexión situado entre L_{b2} y L_{b1} a las frecuencias de oscilación y realizar la adaptación de las señales de entrada. La red de entrada (5) esta conectada en el borne de la línea de transmisión de base L_{b2} que adapta las dos bandas de frecuencia de entrada, situadas alrededor de $2*f_1$ y $2*f_2$, y que une el circuito con el generador de la señal de entrada, compuesto por cuatro líneas de transmisión (L_{a1} , L_{a2} , L_{a3} y L_{a4}) y por una red serie compuesta por un condensador C_{ae} y una resistencia R_{ae} . Las líneas L_{a2} , L_{a3} y L_{a4} poseen una longitud $\lambda/4$, siendo λ la longitud de onda correspondiente a la frecuencia $(f_1*f_2)^{1/2}$ de forma que presenten alta impedancia a las frecuencias de oscilación del circuito en el punto de conexión a la red de base. Así se consigue que el circuito de adaptación de entrada no altere el comportamiento del circuito encargado de oscilar a las frecuencias f_1 y f_2 . El circuito resonante serie, compuesto por la resistencia R_{ae} y el condensador C_{ae} , debe presentar alta impedancia a las frecuencias de oscilación en el punto de conexión al circuito de base y aumentar la impedancia de entrada vista a las frecuencias $2*f_1$ y $2*f_2$, frecuencias de entrada. La línea L_{a1} tiene por objeto llevar el punto de entrada del circuito a un conector exterior. La línea L_{a4} se conecta en serie al borne de la línea del circuito de base L_{b2} , y en su otro extremo se conectan en paralelo las dos líneas L_{a3} y L_{a4} , de forma que sus dos extremos queden en abierto. En el mismo punto de unión de estas dos líneas se conecta en serie la línea L_{a1} que permite llevar la señal de entrada al circuito. Entre el punto de unión de la red de entrada a la red de base y masa se conecta la red serie compuesta por el condensador C_{ae} y la resistencia R_{ae} .

REIVINDICACIONES

1. Divisor de frecuencia sincronizado dual que presenta dos oscilaciones estables no coexistentes constituido por un solo transistor y una red conectada al mismo que está compuesta por una red de colector, una red de base y una red de emisor, encargadas de generar las dos frecuencias de oscilación, y una red de entrada encargada de la adaptación de las bandas de frecuencia de entrada a dividir.

2. Divisor según la reivindicación anterior **caracterizado** porque el transistor (1) funciona en zona no lineal, cuyo punto de trabajo es fijado por la red de polarización compuesta por las fuentes de alimentación de base (Vb) y colector (Ve), las bobinas Lb1 que presentan alta impedancia en las frecuencias de las oscilaciones f1 y f2 y los condensadores Cb1, que estabilizan la tensión de las fuentes de alimentación y cortocircuitan las componentes de oscilación anteriores; además, los condensadores Cbc y Cbb que son los encargados de desacoplar la componente continua del resto de las redes del divisor y que presentan baja impedancia en las frecuencias de oscilación. El colector del transistor va unido a la bobina Lb1 y entre el otro borne de la misma y el punto de masa del circuito irá el circuito paralelo formado por la fuente de alimentación Vc y el condensador Cb1. El punto de base del transistor va conectado a un circuito análogo al anterior formado por una bobina Lb1, condensador Cb1 y fuente Vb. El condensador Cbb conecta en serie el punto de base del transistor con el resto de la red de base y el condensador Cbc conecta en serie el punto de colector del transistor con el resto de la red de colector.

3. Divisor según las reivindicaciones anteriores **caracterizado** porque la red de colector (2) esta compuesta por una red doblemente resonante que presenta tres nulos en la parte imaginaria de la admitancia Yc vista desde el borne del circuito paralelo (Lc2 y Cc1), donde los dos nulos a frecuencia inferior y superior corresponden con las frecuencias de diseño f1 y f2. Dicha red se obtiene a partir de las expresiones del circuito resonante serie compuesto por la bobina Lc3 y el condensador Cc2, del circuito resonante paralelo compuesto por la bobina Lc2 y el condensador Cc1 y por la resistencia Ro que presenta la carga, es decir: la frecuencia de resonancia de la red serie, $f_{o1}=1/(2\pi(Lc2*Cc1)^{1/2})$, la frecuencia de resonancia de la red paralelo, $f_{o2}=1/(2\pi(Lc3*Cc2)^{1/2})$, el factor de calidad de la red serie, $Q_s=Lc2*2*\pi*f_{o2}/Ro$, el factor de calidad de la red paralelo, $Q_p=Cc1*2*\pi*f_{o1}*Ro$ y la admitancia de la red de colector que depende de la frecuencia, $Y_c(f)=j2\pi f*Cc1+1/(j2\pi f*Lc2)+1/(Ro+j2\pi f*Lc3+1/(j2\pi f*Cc2))$; e imponiendo las condiciones $Y_c(f1)=0$, $Y_c(f2)=0$, $Q_s>Q_p$ y $f_{o1}=f_{o2}=f_c=(f1*f2)^{1/2}$. Además, se añade una línea de transmisión Lc1 que permite la conexión entre el condensador serie de desacoplo del colector del transistor (1), Cbc, con el circuito descrito. Dicha línea se conecta al borne de la red resonante paralelo conectada a masa y formada por Lc2 y Cc1 y desde este mismo punto se conecta el circuito serie formado por Cc2 y Lc3, siendo el borne de este último componente la salida en la que se conecta la carga.

4. Divisor según las reivindicaciones anteriores **caracterizado** porque la red de base (3) esta compuesta por una resistencia Rb, una bobina Lb y dos tramos de línea Lb2 y Lb1, que junto a la red de emisor, aseguran la estabilidad de las dos oscilaciones al presentar las impedancias necesarias a las frecuencias f1 y f2 que anulan la parte imaginaria de la admitancia que presenta el circuito en la salida del colector del transistor y que hacen que el valor de la parte real de dicha admitancia sea negativo en esas frecuencias. Además, la resistencia Re se utiliza conjuntamente como parte del circuito de polarización del transistor, permitiendo así simplificar el circuito resultante. La red de base se conecta al borne del condensador de desacoplo Cbb. En este punto se conecta la resistencia Rb en serie con la bobina Lb y la línea Lb2. El borne de dicha línea es el punto de unión con la red de entrada y a este mismo punto se conecta la línea de transmisión Lb1.

5. Divisor según las reivindicaciones anteriores **caracterizado** porque la red de emisor (4), está compuesta por una resistencia Re, un condensador Ce y un tramo de línea Le. La red de emisor se conecta en el emisor del transistor de forma que la resistencia Re y el condensador Ce están en paralelo y conectados a masa, mientras que la línea Le queda también en paralelo conectada directamente al emisor del transistor y donde el otro borne queda en abierto con el objeto de no cortocircuitar el emisor del transistor, que queda polarizado por Re.

6. Divisor según las reivindicaciones anteriores **caracterizado** porque la red de adaptación de entrada (5) está conectada en el borne de la línea de transmisión de base Lb2 que adapta las dos bandas de frecuencia de entrada, situadas alrededor de $2*f1$ y $2*f2$, y que une el circuito con el generador de la señal de entrada, compuesto por cuatro líneas de transmisión (La1, La2, La3 y La4) y por una red serie compuesta por un condensador Cae y una resistencia Rae. Las líneas La2, La3 y La4 poseen una longitud $\lambda/4$, siendo λ la longitud de onda correspondiente a la frecuencia $(f1*f2)^{1/2}$ de forma que presenten alta impedancia a las frecuencias de oscilación del circuito en el punto de conexión a la red de base. Así se consigue que el circuito de adaptación de entrada no altere el comportamiento del circuito encargado de oscilar a las frecuencias f1 y f2. El circuito resonante serie, compuesto por la resistencia Rae y el condensador Cae, debe presentar alta impedancia a las frecuencias de oscilación en el punto de conexión al circuito de base y aumentar la impedancia de entrada vista a las frecuencias $2*f1$ y $2*f2$, frecuencias de entrada. La línea La1 tiene por objeto llevar el punto de entrada del circuito a un conector exterior. La línea La4 se conecta en serie al borne de la línea del circuito de base Lb2, y en su otro extremo se conectan en paralelo las dos líneas La3 y La4, de forma que sus dos extremos queden en abierto. En el mismo punto de unión de estas dos líneas se conecta en serie la línea La1 que permite llevar la señal de entrada al circuito. Entre el punto de unión de la red de entrada a la red de base y masa se conecta la red serie compuesta por el condensador Cae y la resistencia Rae.

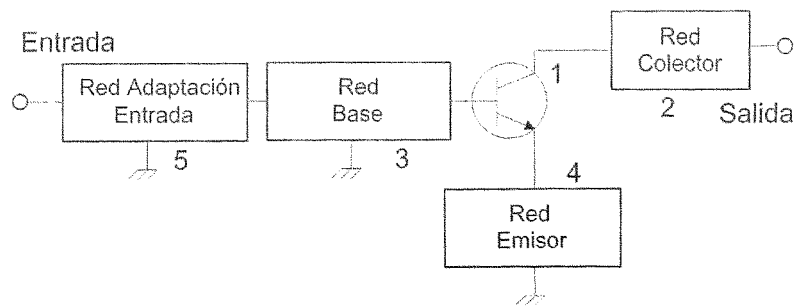


Figura 1.

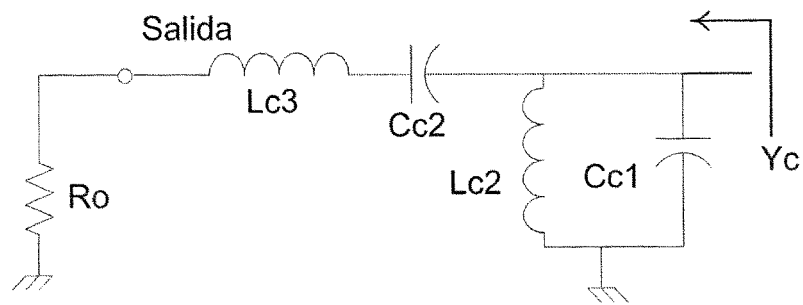


Figura 2.

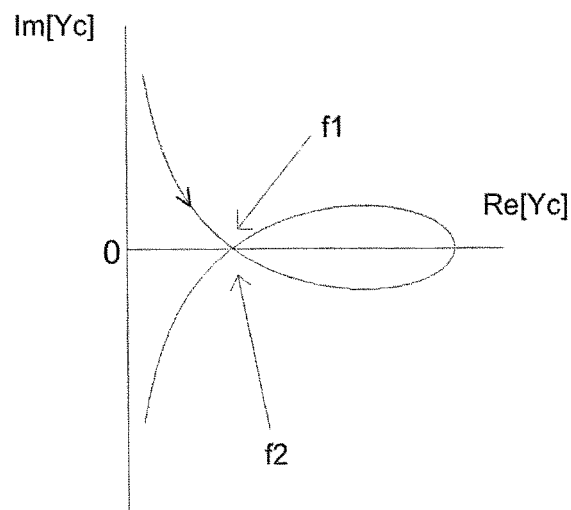


Figura 3..

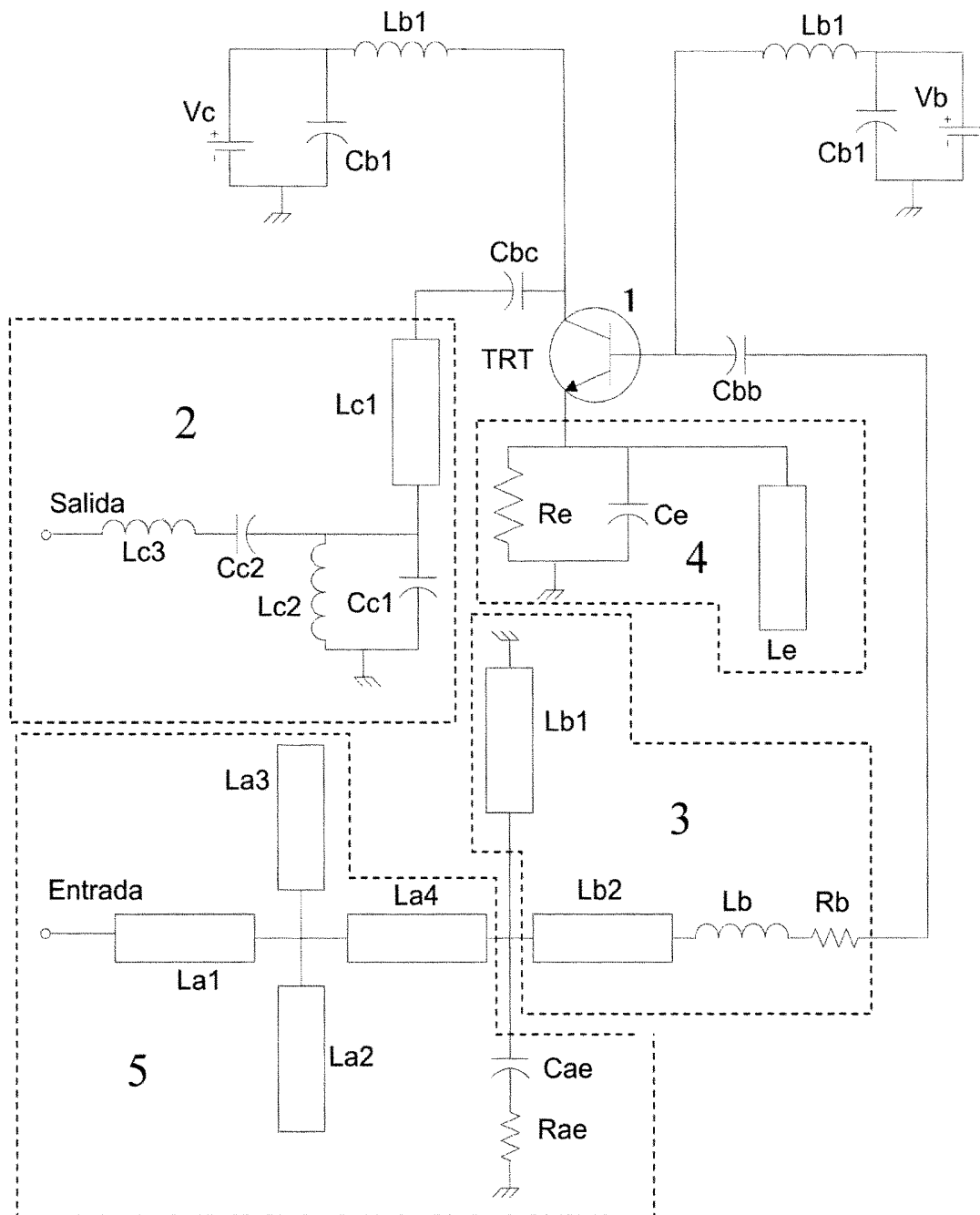


Figura 4.



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA

⑪ ES 2 288 353

⑫ Nº de solicitud: 200501354

⑬ Fecha de presentación de la solicitud: 24.05.2005

⑭ Fecha de prioridad:

INFORME SOBRE EL ESTADO DE LA TÉCNICA

⑮ Int. Cl.: H03B 19/14 (2006.01)

DOCUMENTOS RELEVANTES

Categoría	⑯ Documentos citados	Reivindicaciones afectadas
X	ARANA, V.; SUAREZ, A.; DORTA, P.. "Dual-band frequency divider based on oscillation control", Microwave Symposium Digest, 2004 IEEE MTT-S International Volumen 3, 6-11 Junio 2004 Páginas: 1501-1504 Vol. 3 [en línea] [recuperado el 12.11.2007]. Recuperado de internet: <URL:http://ieeexplore.ieee.org/iel5/9277/29524/01338859.pdf?tp=&arnumber=1338859&isnumber=29524>	1-6
A	QUERE, R.; NGOYA, E.; CAMIADE, M.; SUAREZ, A.; HESSANE, M.; OBREGON, J.. "Large signal design of broadband monolithic microwave frequency dividers and phase-locked oscillators", Microwave Theory and Techniques, IEEE Transactions on Volumen 41, Issue 11, Nov. 1993 Páginas: 1928-1938 [en línea] [recuperado el 12.11.2007]. Recuperado de internet: <URL:http://ieeexplore.ieee.org/iel1/22/6768/00273418.pdf?tp=&arnumber=273418&isnumber=6768>	
A	FR 2647983 A1 (THOMSON HYBRIDES ET MICROONDES) 07.12.1990	

Categoría de los documentos citados

X: de particular relevancia

Y: de particular relevancia combinado con otro/s de la misma categoría

A: refleja el estado de la técnica

O: referido a divulgación no escrita

P: publicado entre la fecha de prioridad y la de presentación de la solicitud

E: documento anterior, pero publicado después de la fecha de presentación de la solicitud

El presente informe ha sido realizado

☒ para todas las reivindicaciones

☐ para las reivindicaciones nº:

Fecha de realización del informe

30.11.2007

Examinador

J. Botella Maldonado

Página

1/1